

위상배열 안테나를 위한 저 전력용 5 비트 디지털 위상기의 설계

준회원 김 태 현*, 정회원 전 계 석*

The Design of 5-Bit Digital Phase Shifter with Low Power for Phased Array Antenna

Tae-Hyoun Kim*, Kye-Suk Jun* *Regular Members*

요 약

본 논문에서는 위상 배열 안테나에서 사용할 수 있는 저 전력용 Surface Mount PIN 다이오드 위상기를 설계한다. 위상기는 스위치 선로방식, 3dB 하이브리드 결합방식, 부하 선로방식을 사용하여 180°, 90°, 45°, 22.5°, 11.25° 등 5 비트로 설계한다. 1.9~2.1GHz의 주파수 범위에 대해 각 위상 비트를 측정하여 결과, 모든 비트가 설계 중심주파수에서 위상오차 12°를 벗어나지 않았으며, 평균 0.866°의 위상오차로 아주 우수한 결과를 얻었다. 중심주파수에서 삽입손실은 평균 -2.959dB, 정재파비는 평균 1.2988로 약간 크지만, 이는 디지털 위상기를 다단인 5 비트로 구성하였기 때문이며, 각 단의 위상기는 평균 0.592dB의 삽입손실을 갖는다.

ABSTRACT

In this paper, the low power surface mount PIN diode phase shifter has been used for phased array antenna. The phase shifter has been designed by 5 bits of 180°, 90°, 45°, 22.5°, and 11.25° by using switched line type, 3 dB hybrid coupled type, and loaded line type. The measuring results of phase bits in the frequency range from 1.9 GHz to 2.1 GHz have been within $\pm 2^\circ$ phase error at each bit, and within 0.866° average phase error at center frequency. The insertion loss and the VSWR have been -2.959 dB and 1.2988 respectively in center frequency. This results have been little bigger than conventional devices, due to the digital phase shifter consisted of multistage 5 bits. But each stage has shown the insertion loss of 0.592 dB on average.

I. 서 론

위상기는 전자적으로 조사하는 위상배열 안테나 및 위상 변조기 등에 광범위하게 사용된다. 위상기는 페라이트를 이용하는 방법과 반도체 소자를 사용하는 두 가지 방법이 있다. 반도체 위상기는 관련 회로와 함께 쉽게 집적화 할 수 있고, 소형화 및 빠른 스위칭 속도를 갖는다는 장점이 있다. 반도체 위상기는 크게 반사형과 전송형 두 그룹으로 나눌 수

있다. 주로 사용되는 전송형은 부하 선로방식, 스위치 선로방식 등이 있고 반사형은 3dB 하이브리드 결합방식 등이 있다^[1,2].

반도체 위상기의 소자로는 PIN 다이오드, GaAs FET 그리고 Schottky 다이오드가 있으며 이 중 PIN 다이오드는 평면 하이브리드 위상기로 FET는 monolithic 위상기로 광범위하게 사용된다.

본 연구에서는 Surface Mount PIN 다이오드를 이용하여 마이크로스트립 선로 상에 저 전력용 5비트(180°, 90°, 45°, 22.5°, 11.25°) 위상기를

* 경희대학교 전자공학과(thkim@cvs2.kyunghee.ac.kr, gsjun@nms.kyunghee.ac.kr)

논문번호 : 99318-0811, 접수일자 : 1999년 8월 11일

※ 본 연구는 정보통신 우수시범학교 지원사업(우수 98-123) 지원 및 경희대학교 교비 지원으로 수행되었습니다.

구성한다. 여기서 180° 비트는 스위치 선로방식, 90° 비트는 3dB 하이브리드 결합방식, 45°, 22.5°, 11.25° 비트는 부하 선로방식을 채택하였으며 동작 주파수는 1.9~2.1GHz이다. 실험에 사용한 Surface Mount PIN 다이오드는 Hewlett Packard 사의 HSMP-4890으로 3GHz 정도의 주파수까지 우수한 동작특성을 보이며, 저 전력으로 바이어스 상태를 동작할 수 있다.

II. Surface Mount PIN Diode의 특성

일반적으로 PIN 다이오드는 고유영역 I와 그 양쪽에 높은 농도로 도핑된 p+와 n+영역 3개의 층으로 구성되어있다^[2]. 저주파수(약 1KHz 이하)에서 PIN 다이오드의 ac 동작특성은 PN 다이오드와 동일하게 정류작용을 한다. 그러나 마이크로파 주파수에서 PIN 다이오드의 동작특성은 순방향과 역방향 바이어스 상태 사이에서 동작시켜 고정된 스위치로 사용할 수 있다. 순방향 dc 바이어스가 PIN 다이오드에 공급되면, 다이오드는 단락회로와 같이 동작하며 dc 위에 얹혀진 마이크로파 신호는 어떤 정류작용도 없이 다이오드를 통과한다. 반대로 역바이어스가 공급되었을 때, 다이오드는 큰 용량성 리액턴스를 가진 개방회로와 같이 동작한다^[3].

Surface Mount PIN 다이오드는 저가의 소자이지만 수 GHz까지 위와 같은 완전한 스위치 동작을 하는 우수한 동작특성을 보이며 10mA 내외의 저 전력으로 바이어스 상태를 조정할 수 있다. Surface Mount PIN 다이오드의 등가회로는 그림 1과 같이 나타낼 수 있다^[4].

그림 1의 회로에서 다이오드 양단에 순방향 바이어스가 걸리면 ①로, 역방향 바이어스가 걸리면 ②로 스위칭 한다. 여기서 C_p 는 패키지 캐패시턴스, L_p 는 패키지 인덕턴스, C_j 는 결합 캐패시턴스, R_R 과 R_F 는 각각 역방향과 순방향 바이어스시 임의저항, 그리고 L_{ext} 는 마운트에 의존하는 외부 인

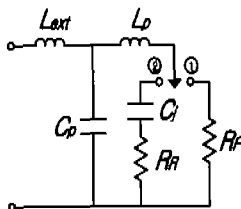


그림 1. Surface Mount PIN 다이오드의 등가회로

덕턴스이다. 이것은 원하는 다이오드 임피던스를 만들기 위해서 다이오드의 외부 연결을 변화시켜 바꿀 수 있다. Surface Mount PIN 다이오드의 파라미터는 식(1)~(4)로 계산할 수 있다^[4].

$$L_{ext} = X_f - \frac{L_p}{1 - \omega^2 L_p C_p} \tag{1}$$

$$R_F = R_f(1 - \omega^2 L_p C_p)^2 \tag{2}$$

$$C_j = \frac{1 + \omega C_p(X_f - \omega L_{ext})}{\omega[(\omega L_{ext} - X_f)(1 - \omega^2 L_p C_p) + \omega L_p]} \tag{3}$$

$$R_R = R_f \left[1 - \omega C_p \left(\omega L_p - \frac{1}{\omega C_j} \right) \right]^2 \tag{4}$$

여기서 L_p 와 C_p 는 다이오드 생산업체에서 주어지는 값이며, 순방향 및 역방향 바이어스일 때 다이오드 임피던스는 다음과 같이 표현된다.

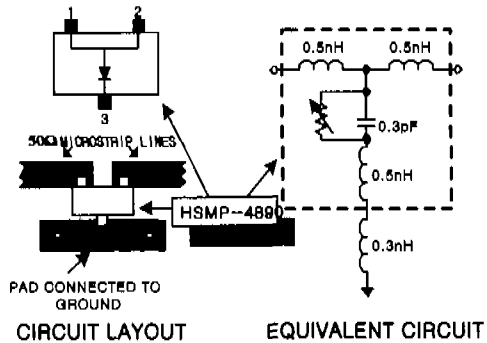


그림 2. HSMP-4890 패키지 리드선, 회로 레이아웃 및 등가회로

표 1. HSMP-4890의 규격

TA=25℃

Maximum Break down Voltage V_{BR} (V)	Maximum Series Resistance R_s (Ω)	Typical Total Capacitance C_T (pF)	Maximum Total Capacitance C_T (pF)	Typical Total Inductance L_T (nH)
100	2.5	0.33	0.375	1.0

$$Z_f = R_f + jX_f, \quad Z_r = R_r + jX_r,$$

본 연구에서 사용한 Surface Mount PIN 다이오드는 Hewlett Packard사의 HSMP-4890으로 그림 2의 구조 및 등가회로를 가지며 3GHz 정도의 주파수까지 우수한 특성을 보인다. 그리고 이것은 Dual

Anode 방식으로 인덕턴스를 줄일 수 있으며 병렬 방식에서 높은 격리도를 보인다. HSMP-4890의 규격은 표 1과 같다^[4].

III. 위상기의 구조

1. 스위치 선로방식

그림 3에서 보는 바와 같이 스위치 선로방식 위상기는 길이가 다른 두 전송선로를 PIN 다이오드로 스위칭하여 위상변화를 얻는 시간지연 회로이다. 두 스위칭 상태에 의한 위상변화의 차이는 식(5)와 같이 주어진다.

$$\Delta\phi = \beta(l_2 - l_1) = 2\pi \frac{\Delta l}{\lambda} \quad (5)$$

여기에서 β 는 전송선로의 전파상수, l_1 은 하단경로의 전송선로 길이, l_2 는 상단경로의 전송선로 길이 그리고 Δl 은 하단경로와 상단경로의 전송선로 길이 차이이다. 여기서 길이 1은 위상 오차와 높거나 불균형할 수 있는 삽입손실을 피하기 위해서 주의 깊게 선택해야 한다. 특히 off 경로의 실효길이가 $\lambda/2$ 이거나 그것의 정수배일 때 큰 오차가 발생하는데 이 문세는 그림 3과 같이 주 교차점에서 l_0 만큼 떨어진 곳에 병렬로 다이오드를 구성하여 극복할 수 있다. 만약 PIN 다이오드가 on 상태에서 무시할 수 있을 정도로 작은 순방향 바이어스 저항을 공급할 때, $l_0 = \lambda/4$ 로 설계하면 주 교차점에서 높은 임피던스를 보장함으로 on 다이오드의 격리도를 크게 해준다.

그림 3에서 D_1, D_2, D_3, D_4 는 네 개의 이상적인 PIN 다이오드를 나타내며, 이것의 임피던스는 순방향 바이어스일 때 Z_f , 역방향 바이어스일 때

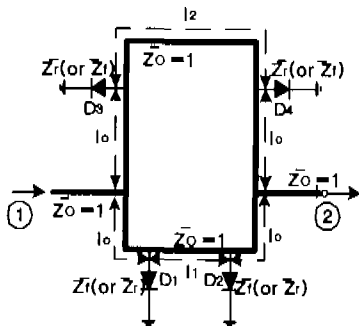


그림 3. 스위치 선로방식 위상기

Z_r 을 가진다. 그리고 모든 임피던스를 전송선로의 특성 임피던스 Z_0 로 정규화하여 $\bar{Z}_0 = Z_0/Z_0 = 1, \bar{Z}_f = Z_f/Z_0, \bar{Z}_r = Z_r/Z_0$ 로 나타낸다.

(a) 상태 1 : 신호가 그림 3의 전송선로 하단 경로를 통해 흐른다고 가정한다. 이는 다이오드 D_1 과 D_2 가 역방향, D_3 와 D_4 가 순방향 바이어스 상태이다. 이 때 전송계수 $S_{21}^{(1)}$ 는 식(6)과 같다.

$$S_{21}^{(1)} = |S_{21}^{(1)}| e^{j\phi_1} = \left[1 + \frac{\bar{Z}_f \left(\tan\left(\beta \frac{l_2}{2}\right) \cot \beta l_0 + 1 \right) - j \cot \beta l_0}{1 - j \bar{Z}_f \left(\cot \beta l_0 - \tan\left(\beta \frac{l_2}{2}\right) \right)} \right]^{-1} + \frac{\bar{Z}_r \left(\tan\left(\beta \frac{l_2}{2}\right) \cot \beta l_0 + 1 \right) - j \cot \beta l_0}{1 - j \bar{Z}_r \left(\cot \beta l_0 - \tan\left(\beta \frac{l_2}{2}\right) \right)} \right]^{-1} - \left[1 + \frac{\bar{Z}_f \left(-\cot\left(\beta \frac{l_2}{2}\right) \cot \beta l_0 + 1 \right) - j \cot \beta l_0}{1 - j \bar{Z}_f \left(\cot \beta l_0 + \cot\left(\beta \frac{l_2}{2}\right) \right)} \right]^{-1} + \frac{\bar{Z}_r \left(-\cot\left(\beta \frac{l_2}{2}\right) \cot \beta l_0 + 1 \right) - j \cot \beta l_0}{1 - j \bar{Z}_r \left(\cot \beta l_0 + \cot\left(\beta \frac{l_2}{2}\right) \right)} \right]^{-1} \quad (6)$$

(b) 상태 2 : 상태 1과 반대로 신호가 그림 3의 전송선로 상단 경로를 통해 흐른다고 가정한다. 이는 다이오드 D_1 과 D_2 가 순방향, D_3 와 D_4 가 역방향 바이어스 상태이다.

전송계수에 대한 식 $S_{21}^{(2)} = |S_{21}^{(2)}| e^{j\phi_2}$ 는 \bar{Z}_f 과 \bar{Z}_r 가 서로 바뀐다는 것만 제외하고 식(6)과 같다. 따라서 위상차가 $\Delta\phi$ 는 식(7)과 같이 얻어진다^[3].

$$\Delta\phi = (\phi_2 - \phi_1) \quad (7)$$

두 스위칭 상태에서 삽입손실은 식(8)의 관계식을 이용하여 얻을 수 있다.

$$\begin{aligned} \alpha(\text{dB}) &= 20 \log_{10} |S_{21}^{(1)}|, & \text{상태 1} \\ &= 20 \log_{10} |S_{21}^{(2)}|, & \text{상태 2} \end{aligned} \quad (8)$$

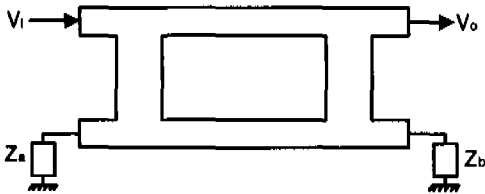
2. 3dB 하이브리드 결합방식(반사형)

반사형 위상기의 기본 원리는 전송선로의 종단에서 신호의 반사를 수반한다는 것이다. 한 위치에서도 다른 위치로 전기적 반사면을 적절히 변경함으로써, 다른 위상 차이가 발생한다. 이와 같은 위상 차이는 그림 4의 3dB 하이브리드 결합기와 PIN 다이오드를 이용하여 얻을 수 있다.

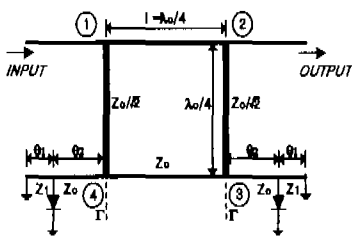
기본적인 반사형 위상기는 그림 4(a)에서 보는 바

와 같이 비결합 포트에서 출력이 나타나도록 3dB 하이브리드 tee의 두 포트를 종단하는 스위칭 임피던스 요소 Z_a 와 Z_b 로 구성된다. 하이브리드의 출력신호는 식(9)와 같다.

$$V_0 = j\frac{V_i}{2}[\Gamma_a(Z_a) + \Gamma_b(Z_b)] \quad (9)$$



(a)



(b)

그림 4. 3dB 하이브리드 결합방식 위상기
 (a) 반사형 위상기로 사용하기 위해 종단된 하이브리드 결합기
 (b) PIN 다이오드와 결합한 3dB 하이브리드 결합방식 위상기

여기서 V_i 는 입사파이고 $\Gamma_a(Z_a)$ 와 $\Gamma_b(Z_b)$ 는 종단 Z_a 와 Z_b 의 반사계수이다. 만약 $Z_a = Z_b = Z_0$ 로 같다면 입력에서 반사파는 0이다. PIN 다이오드를 포함하고 있는 임피던스 Z 가 각각 on 상태에서 Z_1 의 입력 임피던스를 갖고 off 상태에서 Z_2 의 입력 임피던스를 갖는다면 위상기의 출력은 식(10)과 같이 ϕ 의 위상차를 얻을 수 있다.

$$\Gamma_1(Z_1) = e^{j\phi}\Gamma_2(Z_2) \quad (10)$$

그림 4(b)의 3dB 하이브리드 결합방식 위상기는 단락 또는 개방된 종단 전송선로에 병렬 구성된 PIN 다이오드를 삽입하여 반사회로망을 구성한 형태이다. 위상기의 분석은 결합기의 수행을 포함하기 때문에 결합기 수행을 지배하는 설계식을 먼저 이용하며 좌, 홀 모드 기법을 이용하여 4-포트 대칭

결합기를 해석한다. 그림 4(b)에서 산란행렬은 $f=f_0$ 에서 $S_{11} = S_{12} = 0$, $S_{13} = -1/\sqrt{2}$, $S_{14} = -j/\sqrt{2}$ 가 된다. $\Gamma = |\Gamma|e^{j\phi}$ 가 반사부하의 반사계수라고 하면, 포트 1에 인입된 단위신호에 대해 포트 3과 4에서 신호 S_{13} 과 S_{14} 가 반사된다. 반사된 신호 ΓS_{13} 과 ΓS_{14} 는 각각 포트 3과 4에 입력을 형성한다. 그리고 이 신호는 4개의 포트 사이에 분포한다. 포트 1과 2에 나타나는 신호는 그것이 정합 종단되었을 경우에는 흡수되지만 포트 3과 4에 나타난 신호는 종단에 의해 다시 반사된다. 포트 3과 4로부터 이와 같은 다중반사물 고려하여 포트 1에서 2로의 총 투과계수 T_{21} 과 포트 1에서의 총 반사계수 Γ_{in} 을 유도하면, 그림 4에서 고려된 바와 같이 대칭 종단에 대해 식(11), (12)와 같이 표현된다.

$$T_{21} = S_{12} + \Gamma \begin{bmatrix} S_{13} & S_{14} \\ -\Gamma S_{12} & 1 - \Gamma S_{11} \end{bmatrix} \begin{bmatrix} S_{14} \\ S_{13} \end{bmatrix} \quad (11)$$

$$\Gamma_{in} = S_{11} + \Gamma \begin{bmatrix} S_{14} & S_{13} \\ -\Gamma S_{12} & 1 - \Gamma S_{11} \end{bmatrix} \begin{bmatrix} S_{14} \\ S_{13} \end{bmatrix} \quad (12)$$

식(11)과 (12)의 유도에서, 다음과 같은 모든 eigenvalue와 진폭이 1보다 작다고 가정하였다.

$$\begin{bmatrix} \Gamma S_{11} & \Gamma S_{12} \\ \Gamma S_{12} & \Gamma S_{11} \end{bmatrix}$$

식(11)과 (12)는 대칭의 4-포트 하이브리드와 대칭의 반사 종단을 이용한 하이브리드 결합방식 위상기에 적용할 수 있다.

3. 부하 선로방식

그림 5는 부하 선로방식 위상기의 일반적인 등가 회로를 보여준다. 여기서 Y_i 는 주선로에 부하시킨 병렬 스테브의 복소 어드미턴스를 나타낸다. 부하 선로방식 위상기는 2×2 산란 행렬 S_i 를 이용하여 분석한다. 산란 행렬은 일반 회로 파라미터의 ABCD 행렬을 변환하여 쉽게 얻을 수 있다. 그림 5의 등가 회로에 대한 ABCD 행렬 요소는 식(13)과 같다^[7,8].

$$A_m = D_m = (\cos \theta - B_i Z_c \sin \theta) + j G_i Z_c \sin \theta \quad (13a)$$

$$B_m = j Z_c \sin \theta \quad (13b)$$

$$C_m = 2 G_i (\cos \theta - B_i Z_c \sin \theta) + j Z_c [2 B_i Y_c \cos \theta + (Y_c^2 + G_i^2 - B_i^2) \sin \theta] \quad (13c)$$

여기서 $Y_i = G_i + jB_i$, $i=1$ 또는 2이고 첨자 m 은 행렬 요소에서 사용되며, 첨자 $i=1$ 또는 2는 스위칭 소자의 두 바이어스 상태를 나타낸다. 식 (13)을 유도할 때 전송선로는 손실이 없는 것으로 가정하였다. 그리고 G_i 는 다이오드의 유한한 저항으로 인한 손실을 설명한다. 가역적이고, 대칭적인 2-포트에 대한 산란 행렬에서 변환은 식(14), (15)와 같다.

$$S_{11} = S_{22} = \frac{B_m Y_0 - C_m Z_0}{2A_m + B_m Y_0 + C_m Z_0} \quad (14)$$

$$S_{21} = S_{12} = \frac{2}{2A_m + B_m Y_0 + C_m Z_0} \quad (15)$$

여기서 $Z_0 = 1/Y_0$ 는 위상기의 입력력부가 연결된 곳으로 회로의 복성 임피던스이다. 설계할 위상천이 $\Delta\phi$ 는 부하 요소가 Y_1 에서 Y_2 로, 또는 다이오드의 손실이 없는 경우에 jB_1 에서 jB_2 로 변화할 때 $S_{21}(Y_i)$ 의 독립변수 ϕ ,의 변화에 해당한다. 위상천이 $\Delta\phi$ 의 규격은 회로 파라미터를 결정하기 위해 충분하지 않으며, 부가적인 제한이 요구된다. 전통적으로 도입된 제한은 입력 정합의 요구이다. 위상기에 대한 입력에서 반사된 파의 제거는 입력 정합에 의해 반사손실을 감소시키고, 위상 비트가 연속 구성됐을 때 인접한 단계와 반사파의 상호 작용에 의해 야기될 수 있는 위상 오차의 발생을 제거시킨다^{7,8)}. 무손실의 가정하에, 2-포트의 산란 행렬은 특성 $|S_{11}|^2 + |S_{12}|^2 = 1$ 을 갖는 단위 행렬이다. 따라서 입력 반사 계수 S_{11} 는 사라지고, 위상천이의 전송 계수 S_{21} 은 1이다.

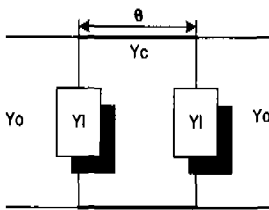


그림 5. 부하 선로방식 위상기

입력 정합의 조건은 식(14)에서 $S_{11}=0$ 을 요구함으로써 특성화 된다. 이것은 식(16)을 유도한다.

$$B_m Y_0 = C_m Z_0 \quad (16)$$

식(16)이 식(15)에 사용될 때, 전송 행렬 요소 S_{21} 은 식(17)과 같다.

$$S_{21} = \frac{1}{A_m + B_m Y_0} \quad (17)$$

무손실을 가정하면, 식(13a)에서 G_i 는 0으로 놓고 이것을 식(17)에 대입하면

$$S_{21} = \frac{1}{(\cos \theta - B Z_c \sin \theta) + j Z_c Y_0 \sin \theta} \quad (18)$$

입력 정합된 무손실인 경우에, S_{21} 의 크기는 1이므로, 식(18)에서

$$\cos \phi = \cos \theta - B Z_c \sin \theta \quad (19a)$$

$$\sin \phi = -Z_c Y_0 \sin \theta \quad (19b)$$

따라서 위상천이 차에 대한 식은 식(20)과 같다.

$$\Delta\phi = \cos^{-1}(\cos \theta - B_1 Z_c \sin \theta) - \cos^{-1}(\cos \theta - B_2 Z_c \sin \theta) \quad (20)$$

식(19)에서 $\sin \phi$ 는 부하 스위칭 하는 동안 상수로 남는 반면, 식(19)에서 $\cos \phi$ 는 두 가지 부하 어드미턴스 상태에 따라 두 개의 값을 갖는다. 이 조건이 $\pm \Delta\phi/2$ 의 충분값으로 약 90° 에서 대칭적으로 스위치 된다면 식(19)에 $\phi = (90 \pm \Delta\phi/2)$ 를 대입하여 식(21)과 (22)를 얻는다.

$$Z_c = Z_0 \frac{\cos(\Delta\phi/2)}{\sin \theta} \quad (21)$$

$$\frac{B_i}{Y_0} = \frac{\cos \theta}{\cos(\Delta\phi/2)} \pm \tan(\Delta\phi/2) \quad (i=1, 2) \quad (22)$$

식(21)과 (22)는 위상천이 $\Delta\phi$ 를 위한 무손실 부하 선로방식 위상기에 대한 설계식이다.

IV. 실험 및 결과

5 비트 디지털 위상기 설계를 위해 180° 비트에는 스위치 선로방식, 90° 비트에는 3dB 하이브리드 결합방식, 45° , 22.5° , 11.25° 비트에는 부하 선로방식 위상기를 사용하여 마이크로스트립에 사진 식각법으로 제작하였다. 위상기의 삽입손실, VSWR, 위상을 측정하기 위해 HP8520C 회로망 분석기를 사용하여 측정하였다.

사용한 기판은 유전율 4.5, 등박 두께 0.0178mm, 기판 두께 1.5748mm인 FR-4 에폭시 기판을 사용하였고, 선정된 Surface Mount PIN 다이오드는

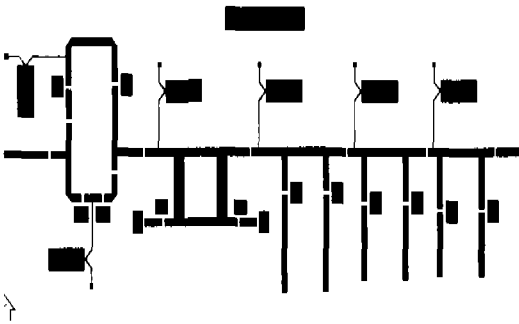
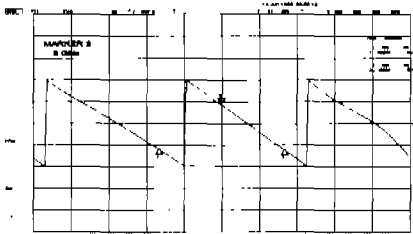


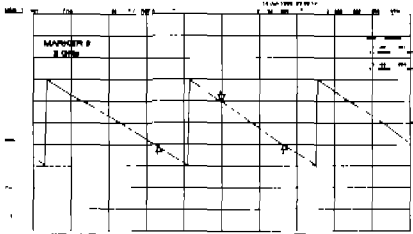
그림 6. 5비트 디지털 위상기의 레이아웃

Hewlett Packard사의 HSMP-4890이며, 설계 주파수는 1.9~2.1GHz이다. 다이오드에 인가되는 바이어스는 TTL 논리회로용 PCB 기판에 구성하여 컴퓨터로 제어하였으며 순방향 바이어스일 때 위상기의 PIN 다이오드에 인가되는 전압은 +5V, 전류는 11mA 이고 역방향 바이어스일 때 인가되는 전압은 -25V 이다.

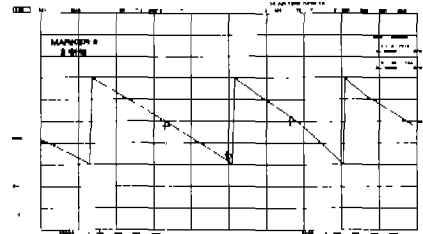
그림 6은 180°, 90°, 45°, 22.5°, 11.25° 비트로 구성된 5 비트 디지털 위상기에 대한 레이아웃이다. 이 5 비트 위상기에서 0°, 11.25°, 22.5°, 33.75°, 45°, 56.25°, 67.5°, 78.75°, 90°, 101.25°, 112.5°, 123.75°, 135°, 146.25°, 157.5°, 168.75°, 180°, 191.25°, 202.5°, 213.75°, 225°, 236.25°, 247.5°, 258.75°, 270°, 281.25°, 292.5°, 303.75°, 315°, 326.25°, 337.5°, 348.75° 등 총 32가지의 위상차출 얻을 수 있다.



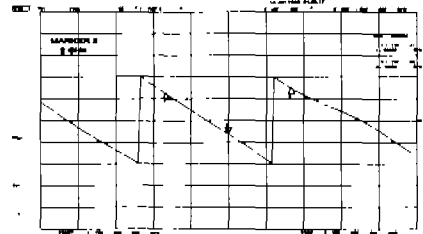
(a)



(b)



(c)



(d)

그림 7. 0°, 22.5°, 112.5°, 225° 비트에 대한 위상

- (a) 0° 비트
- (b) 22.5° 비트
- (c) 112.5° 비트
- (d) 225° 비트

회로망 분석기에 의해 측정된 몇 가지 비트의 위상 결과는 그림 7에 실었다. 그리고 모든 위상 비트에 대해 중심주파수 2GHz에서의 삽입손실, 위상천이, VSWR, 그리고 위상오차의 결과는 표 2에 실었다.

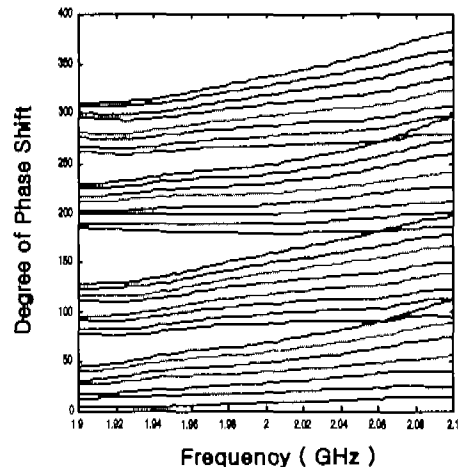


그림 8. 위상기의 주파수에 따른 측정된 위상천이 차

표 2에서 보는 바와 같이 모든 비트에서 중심주파수에 대해 위상오차는 ±2°를 벗어나지 않았으

표 2. 각 비트에서의 Phase shifters 측정결과

설계위상 천이 (deg)	삽입손실 S21(dB)	측정위상 천이 $\Delta\phi$ (deg)	VSWR	위상오차 (deg)
0	-3.134	0	1.451	0
11.25	-3.003	11.068	1.431	0.182
22.5	-2.971	21.766	1.382	0.734
33.75	-2.841	33.466	1.339	0.284
45	-2.770	44.676	1.227	0.324
56.25	-2.662	56.826	1.177	0.576
67.5	-2.702	68.296	1.148	0.796
78.75	-2.634	80.296	1.153	1.546
90	-3.708	90.146	1.144	0.146
101.25	-3.536	101.986	1.168	0.736
112.5	-3.458	112.266	1.218	0.234
123.75	-3.263	124.066	1.261	0.316
135	-3.196	135.996	1.332	0.996
146.25	-3.056	147.126	1.379	0.876
157.5	-3.104	158.706	1.422	1.206
168.75	-3.036	169.706	1.445	0.956
180	-2.981	180.389	1.484	0.389
191.25	-2.849	191.676	1.469	0.429
202.5	-2.830	201.504	1.421	0.996
213.75	-2.678	214.087	1.378	0.337
225	-2.600	225.451	1.251	0.451
236.25	-2.481	237.490	1.196	1.240
247.5	-2.533	248.980	1.155	1.480
258.75	-2.454	260.107	1.150	1.357
270	-3.436	271.172	1.142	1.172
281.25	-3.258	282.657	1.159	1.407
292.5	-3.182	293.394	1.212	0.894
303.75	-3.014	304.750	1.257	1.000
315	-2.915	315.887	1.339	0.887
326.25	-2.787	328.121	1.392	1.871
337.5	-2.834	338.658	1.441	1.158
348.75	-2.781	350.629	1.472	1.879

과 일치하였다.

V. 결 론

본 연구에서는 마이크로스트립 선로상에 Surface Mount PIN 다이오드를 이용하여 저 전력용 5 비트 디지털 위상기를 설계 제작하였다.

위상기는 스위치 선로방식, 3dB 하이브리드 결합 방식, 부하 선로방식으로 구성되며, 스위치 선로방식으로 180°비트, 3dB 하이브리드 방식으로 90°비트, 부하 선로방식으로 45°, 22.5°, 11.25°비트를 각각 설계 제작하였다. 1.9~2.1GHz의 주파수 범위에서 각 위상기를 측정된 결과 모든 비트가 중심 주파수에서 위상오차 ±2°를 벗어나지 않았으며, 평균 0.866°의 위상오차로 아주 우수한 결과를 얻었다. 설계 대역의 상하한 주파수 범위인 1.9GHz와 2.1GHz에서도 평균 위상 오차가 ±14.174°로 설계 위상과 일치하였다. 중심주파수에서 삽입손실과 VSWR은 각각 평균 -2.959dB, 1.2988로 약간 크지만, 이는 디지털 위상기를 단단인 5비트로 구성하였기 때문이며, 각 단의 위상기는 평균 0.592dB의 삽입손실을 갖는다.

본 연구에서 설계한 위상기는 위상배열 안테나에 부착하여 기지국 및 중계기용 안테나에 적용할 수 있으며, 저 비용 고 품질의 소자 개발에 일조 할 것으로 기대된다.

참 고 문 헌

- [1] M. H. Kori and S. Mahapatra, "Integral Analysis of Hybrid Coupled Semi-conductor Phase Shifter", *IEE Proc.*, Vol. 134, Pt. H, No. 2, pp. 156-252, April 1987.
- [2] J. P. Starski, "Optimization of the Matching Network for a Hybrid Phase Shifter", *IEEE Trans. on Microwave Theory and Tech.*, Vol. MTT-25, No. 8, pp. 662-666, August 1977.
- [3] S. K. Koul and B. Bhat, *Microwave and Millimeter Wave Phase Shifters*, Artech House, MA, pp. 419-421, 1991.
- [4] *Communications Components Designer's Catalog*, Hewlett Packard, pp. 2-1-2-82.
- [5] J. F. White, "High Power, p-i-n Diode Controlled, Microwave Transmission Phase Shifter", *IEEE Trans. on Microwave Theory and Tech.*,

며, 평균 0.866°의 위상오차로 아주 우수한 결과를 얻었다. 그리고 삽입손실은 평균 -2.959dB, 정재파비는 1.2988로 약간 크지만, 이는 디지털 위상기를 단단인 5비트로 구성하였기 때문이며, 각 단의 위상기는 평균 0.592dB의 삽입손실을 갖는다.

그림 8은 위상기의 중심주파수 뿐만 아니라 다른 주파수 대역에서도 어느 정도 적은 위상 오차가 유지되고 있는지를 보기 위해 각 위상기 비트에 대해 주파수에 따른 위상차물 도시킨 그림이다.

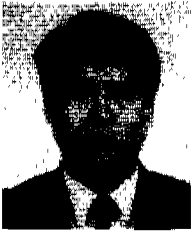
그림 8에서 보는 바와 같이 기온기가 완만한 11.25°, 22.5°, 90°, 180°, 202.5°비트 등은 설계대역의 상하한 주파수 범위인 1.9GHz와 2.1GHz에서도 평균 위상 오차가 ±5° 이내였으며, 나머지 비트도 평균 위상 오차가 ±14.174°로 설계 위상

Vol. MTT-13, pp. 233-242, March 1965.

- [6] R. W. Burns, R. L. Holden, and R. Tang, "Low Cost Design Techniques for Semiconductor Phase Shifters", *IEEE Trans. on Microwave Theory and Tech.*, Vol. MTT-22, No. 6, pp. 675- 688, June 1974.
- [7] H. A. Atwater, "Circuit Design of the Loaded Line Phase Shifter", *IEEE Trans. on Microwave Theory and Tech.*, Vol. MTT-33, No. 7, pp. 626- 634, July 1985.
- [8] I. J. Bahl and K. C. Gupta, "Design of Loaded-Line p-i-n Diode Phase Shifter Circuit", *IEEE Trans. on Microwave Theory and Tech.*, Vol. MTT-28, No. 3, pp. 219-224, March 1980.
- [9] R. V. Garver, *Microwave Diode Control Devices*, Artech House, MA, 1976.
- [10] R. V. Garver, "Broadband Diode Phase Shifters", *IEEE Trans. on Microwave Theory and Tech.*, Vol. MTT-20, No. 5, pp. 314-323, 1972.

김 태 현(Tae-Hyoum Kim)

준회원

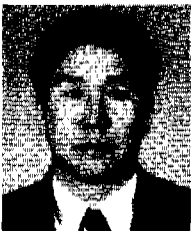


1992년 2월 : 경희대학교 전자
공학과 졸업
1994년 2월 : 경희대학교 전자
공학과 공학석사
1994년 3월~현재 : 경희대학교
전자공학과 박사과정

<주관심 분야> 위상배열 안테나, 이동통신

전 계 석(Kye-Suk Jun)

정회원



1983년 8월 : 연세대학교 전자
공학과 박사
1979년 3월~현재 : 경희대학교
전자정보학부 교수
1988년 1월~1991년 12월 : 경희
대학교 학생처장

1998년 12월~현재 : 경희대학교 공과대학장

2000년 1월~현재 : 한국통신학회 부회장

<주관심 분야> 배열안테나, 이동통신, NDT, 신호처리