

# 전압 강하 변환기용 CMOS 구동 회로

정희원 임신일\*, 서연곤\*

## A CMOS Voltage Driver for Voltage Down Converter

Shin-Il Lim\*, Yeon-Gon Seo\* *Regular Members*

요 약

전압 강하 변환기의 구동 회로를 제안하였다. 구동 회로의 load regulation 특성을 개선하기 위하여 적응 바이어스(adaptive biasing) 개념을 제안하였고 이 개념을 도입한 NMOS 구동 회로를 설계하였다. 적응 바이어스 전류 구동 개념이 적용된 NMOS 구동 회로는 구동단에서의 밀러(Miller) 효과가 없으므로 위상 여유가 크고 안정된 주파수 특성을 보여주고 있다. NMOS 구동단은 같은 구동 전류를 흘려줄 경우 PMOS 구동단에 비해 훨씬 적은 트랜지스터 크기 비로 설계 제작이 가능하므로 칩 면적을 크게 줄일 수 있으며 PMOS 구동단에서와 같은 보상 커패시터나 보상 추가 회로가 없다. 제안된 회로는 0.8  $\mu\text{m}$  CMOS공정 기술을 이용하여 구현되었으며 설계가 간단하고, 대기 전력(quiescent power)이 60  $\mu\text{W}$ 로 측정되었다. 전체 크기는 150  $\mu\text{m}$   $\times$  360  $\mu\text{m}$ 이고 100  $\mu\text{A}$  부터 50 mA 까지의 구동 전류 변화 조건하에서 5.6 mV의 load regulation 값을 얻었다.

ABSTRACT

A CMOS voltage driver circuit for voltage down converter is proposed. An adaptive biasing technique is used to enhance load regulation characteristics. The proposed driver circuit uses the NMOS transistor as a driving transistor, so it does not suffer from large Miller capacitances which is one of the problems with conventional PMOS driving transistor, and hence achieves good phase margin and stable frequency response. No additional complex circuit for frequency compensation such as compensation capacitor is required in this implementation. For the same current capability, the size of NMOS transistor in driver circuit is smaller than that of PMOS counterpart. So the smaller die area can be achieved. The circuit is implemented using a 0.8  $\mu\text{m}$  CMOS process and has a die area of 150  $\mu\text{m}$   $\times$  360  $\mu\text{m}$ . Proposed circuit has a quiescent power of 60  $\mu\text{W}$ . In the current driving range from 100  $\mu\text{A}$  to 50 mA, load regulation of 5.6 mV is measured.

### I. 서 론

이동 전화 단말기, 노트북 PC 등 휴대용 전자 통신 시스템에서는 배터리의 수명이 제한되어 있으므로 시스템의 장기간 사용을 위하여 소모 전력을 줄이려는 노력이 중요시되고 있다. 이를 위해 시스템을 구성하는 전자 회로의 저 전압화 저 전력화 설계 기술 개발이 부각되고 있다<sup>[1]-[6]</sup>. 또한 최근 반도체 공정 기술이 발달하여 sub-micron 시대에 접어

들고 있으므로 채널 길이가 짧아지고 있으며 hot-carrier 발생 등으로 인한 특성 훼손 및 성능 저하를 줄이기 위해 소자에 공급되는 전압을 낮추고 있는 추세에 있다. 따라서 메모리, 휴대용 전자 통신 시스템 IC 등 최근의 시스템 칩에서는 외부 시스템이나 소자와 연결은 5 V나 3.3 V의 기존 신호로 수행하면서, 칩 내부에서는 2.5 V나 1.8 V 또는 그 이하로 동작시키는 경향이 있다. 이때 칩 내에 필요한 것이 전압 강하 변환기(voltage down converter)이며 일종의 on-chip DC-to-DC 변환기이다.

\* 서경대학교 컴퓨터공학과

논문번호 : 99358-0908, 접수일자 : 1999년 9월 8일

\* 본 논문은 교육부(과제번호 97-E-5010)의 과제 지원에 의해 수행되었음.

칩 내에서 사용되는 전압 강하 변환기 회로는 기준 전압 발생부와 구동회로부로 구성된다. 즉 외부 공급 전압의 변화, 온도 변화, back bias(VBB) 변화 등의 영향을 받지 않고 일정한 전압을 생성하는 기준전압 발생기를 만든 후, 그 기준 전압이 부하 구동전류 변화에도 일정한 전압 값을 갖도록 구동 회로가 이어진다. 다음 그림 1은 이러한 전압 강하 변환기의 블록도를 보여주고 있다. 기본적인 블록은 시동회로, 기준전압 발생기, 차동 증폭기 및 구동 트랜지스터로 연결된 구동 회로로 구성되어 있다.

일반 CMOS 기술을 이용하여 온도, 공급전압, back bias 변화 등에 대해 변화가 적은 특성을 가지고 있는 기동회로 및 기준전압 발생기는 참고 문헌 [9]에 기술되어 있으며 본 논문에서는 기동회로 및 기준전압 발생기를 제외한 전압 강하 변환기용 구동 회로만을 설계하는 것에 대해 언급한다(그림 1의 점선내부). 전압 강하 변환기용 구동회로는 일종의 DC 전압 follower 역할을 하는 것으로서 수시로 변하는 부하에서도 일정한 전압을 공급하는 것이 중요하게 된다. 즉 통신회로에 사용된 저전압 디지털 로직들은 한 순간에 동작하는 부분과 동작하지 않는 부분의 회로 양이 수시로 변하게 되므로 이러한 부하 변화에 대해서도 일정한 기준 공급 전압을 제공할 수 있어야 한다. 따라서 이러한 구동회로는 아주 작은 출력 임피던스를 가져야 하고 출력단에 큰 전류를 공급할 수 있어야 한다. 또 부하가 급작스럽게 변할 때(on, off 스위치 변화 등)도 안정되게 그리고 빨리 기준 전압을 공급하는 구동회로가 되어야 한다. 이를 위하여 안정도 문제나 슬루율(slew rate)을 고려하여야 한다. 본 연구에서는 부하의 큰 전류 변화에 대해서 일정한 전압이 공급되도록 전압 강하 변환기용 구동회로를 설계하였으며

이를 위하여 부하 전류 저용 회로를 이용한 구동회로를 제안하였다. 즉 부하의 전류량을 감지하여 이것을 궤환 시킴으로서 구동 전류가 증가함에 따라 공급되는 출력 전압 값이 크게 변하는 현상을 현저히 줄였다.

## II. 기존의 전압 강하 변환기용 구동회로

다음 그림 2는 일반적으로 사용하는 전압 강하 변환기용 구동회로를 나타낸 것으로서<sup>[11][8]</sup> 오차(error) 증폭기(OPA)와 구동 트랜지스터로 구성되어 있다. 오차 증폭기는 일반적인 차동 증폭기를 사용하며 구동 트랜지스터는 PMOS형을 사용하였다. 차동 증폭기는 경우에 따라 큰이득을 잡는 folded cascode 형태나 2단(two-stage) 증폭기 또는 여러 종류의 고성능 증폭기를 사용할 수도 있으나 간단하고 설계하기 쉬우며 저전압 회로에도 유용한 단일 단(single-stage) 차동 증폭기를 많이 사용한다. PMOS 트랜지스터의 소오스 단은 외부 공급 전원 VDD (Vext)에 연결되어 있고 드레인은 출력단에 연결되어 부하에 출력 전압(Vint)이 나타나도록 한다. PMOS 구동 트랜지스터은 큰 전류를 구동할 수 있어야 하므로 일반적으로 증폭기에 사용되는 트랜지스터보다 크기가 현저하게 커야한다. 한편 PMOS 구동 트랜지스터를 이용한 경우 구동단의 자체 증폭 이득과 구동 트랜지스터의 큰 사이즈 등에 의해 Miller 효과에 의한 큰 캐패시터 성분이 존재하고 이로 인해 구동 트랜지스터의 게이트 단에서 또 하나의 주 극점(extra pole)이 발생할 수 있으므로 주파수 보상 회로가 필요하게 된다. 따라서 PMOS 구동 트랜지스터를 사용한 구동 회로는 주파수 보상을 수행해야 하거나 또는 주파수 shaping 회로<sup>[10],[11]</sup>

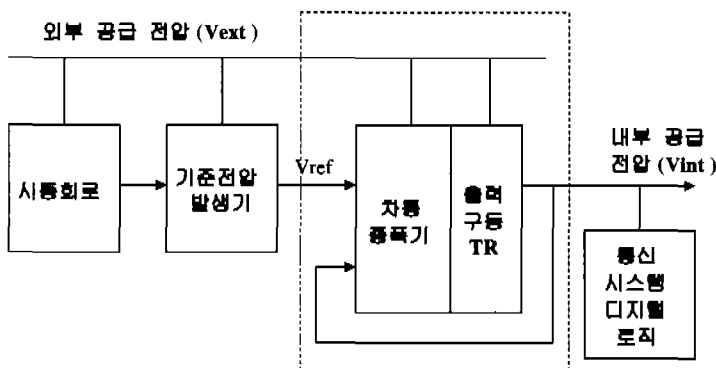


그림 1. 전압 강하 변환기의 전체 블록도

를 내장시키는 등 별도의 조치를 수행해야 한다. 이 주파수 shaping 개념의 구동 회로는 별도의 오차 증폭기를 추가 내장시켜 DC 이득을 향상시키고 극점/제로(pole/zero) 점을 추가하여 주파수 특성을 개선한 것인데 회로가 복잡하고 이론이 어려워 구현이 어려운 문제점을 가지고 있다.

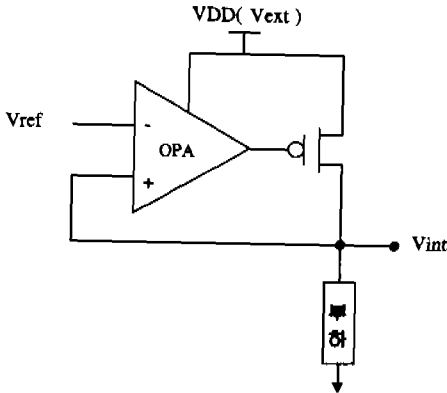


그림 2. 일반적인 전압 강하 변환기용 구동회로

구동회로의 load regulation 특성 즉 부하(전류) 변화에 따르는 출력전압의 변화는, 구동회로 시스템의 개방 루프 이득의 변화가 작을수록 작아지게 된다. 실제 전체 load regulation 값 즉 구동회로 출력 전압의 변화량  $\Delta V_{out}$ 은 구동 트랜지스터의 출력 저항 값을  $R_{od}$ 라고 했을 때 대략 다음 수식 (1)과 같이 주어질 수 있다.<sup>[11]</sup>

$$\Delta V_{out} = \frac{R_{od}}{(1 + A_v \times \beta)} \cdot \Delta I \quad (1)$$

여기서  $\beta$ 는 구동 회로의 폐환인자(feedback factor)를 나타내는 항이다. 또 전체 구동회로의 출력 저항값을  $R_o$ 라고 하고 부하 저항을  $R_L$ 로 했을 때  $R_o$ 는  $R_o = \Delta V_{out} / \Delta I = R_{od} // R_L$ 로 주어질 수 있다. 실제로 그림 2의 PMOS 구동 트랜지스터를 사용한 2단 구동회로에서 증폭기(또는 오차(error)증폭기)의 이득을  $A_{amp}$ 라고 하고 구동단의 이득을  $A_{drip}$ 라고 하면 전체 구동회로의 이득  $A_v$ 는 다음 수식 (2)와 같이 기술할 수 있다.

$$A_v = A_{amp} \cdot A_{drip} = A_{amp} \cdot \{g_{md} \cdot (R_{od} // R_L)\} \quad (2)$$

여기서  $g_{md}$ 는 구동 트랜지스터의 트랜스컨덕턴스이고  $R_{od}$ 는 구동 트랜지스터의 출력 저항 값이다. 출력 전류 변화에 대한 출력 전압의 변화를 줄

이기 위해서는 구동 시스템의 개방 루프 이득  $A_v$ 를 키워야 하는데 구동 전류가 커질수록  $g_{md}$ 의 크기는  $\sqrt{I}$ 에 비례하면서 커지게 되고  $R_{od}$ 는  $I$ 에 반비례하여 감소하게 되므로 전체 이득이 일정치 않고 감소하게 된다. 만약 출력 전류가 상당히 커져서  $R_{od}$  값이 무시 할 수 있을 정도로 작게 되면  $A_{drip}$ 가 거의  $\sqrt{I}$ 에 반비례하여 감소하게 되고 이로 인해 전체 이득은  $\sqrt{I}$ 에 반비례하는 형태로 나타나게 된다. PMOS 구동 트랜지스터를 사용한 2단 구동 회로에서는 증폭 이득이 큰 장점이 있으나 구동 전류에 따르는 전압이득이 작아지면서 변화가 너무 커지는 단점이 있다. 따라서 수식 (1)에서 알 수 있듯이 부하 구동 전류( $I_L$ )가 커질수록 전압 이득도 더욱 감소하여 심한 출력 전압 변화 즉 더 큰  $\Delta V_{out}$ 을 갖게 된다.

이러한 PMOS 구동 회로의 문제점들을 개선하기 위해 이미 여러 가지 방법들이 발표되었었다. 혼성 모드(mixed mode)의 구동회로는 D급 전력 증폭(출력) 회로의 개념을 구동 회로 설계에 적용한 것으로 그림 2와 같은 아날로그 형태의 전압 강하 구동 회로에 디지털 형태의 전압 강하 구동 회로를 더하여 동시에 병렬 사용함으로써 부하 전류 변화에 따른 출력 전압의 변화를 줄이도록 설계한 것이다<sup>[12]</sup>. 부하 전류의 급격한 변화에 대해 빠르게 대처할 수 있으나 전체적으로 회로가 너무 복잡하고 구동단을 제외한 나머지 회로부의 소모전력이 큰 단점이 있다. 또 디지털 구동회로 부에서는 구동 트랜지스터 위에 또 다른 트랜지스터를 cascode형으로 쌓아 올리므로 출력 전압  $V_{out}$ 과 공급전압  $V_{DD}$ 의 차가 어느 정도 이상되는 응용에만 사용할 수 있는 단점이 있다.

한편 전하 펌프(charge pump) 회로를 사용하여 구현된 구동 회로도 존재한다<sup>[13]</sup>. 그러나 이러한 구동회로는 원하는 출력 전압을 쉽게 얻지 못하고 회로가 복잡하며 캐패시터와 플럭스를 사용하는 문제가 있다. 또 출력 전압이 공급 전압  $V_{DD}(V_{ext})$ 의 흔들림에 따라 영향을 많이 받고 회로 중간에  $V_{DD}$ 보다 높은 전압이 발생하여 저전압 회로 동작상 신뢰성의 문제가 발생할 수 있는 등 여러 가지 단점들이 있다. 구현된 회로의 칩 면적이 상당히 커서 경제적인 이유로 사용하기 어려운 문제점도 가지고 있다.

또 전류 boosting 기술을 이용한 구동 회로도 발표되었다<sup>[10]</sup>. PMOS 구동 트랜지스터의 bulk와 source 사이에 Schottky diode를 연결한 후, 구동

전류에 따른 일부 감지 전류를 Schottky diode에 제한시켜 흘려 준다. PMOS 구동 트랜지스터의 구동 전류가 증가하면 감지된 boosting 전류가 Schottky diode 전압 강하를 증가시켜 source와 bulk 사이의 전압  $V_{bb}$ 를 증가시키는데, 이렇게 하면 PMOS 구동 트랜지스터의 문턱 전압(threshold voltage)  $V_{th}$ 이 낮아져 구동 능력을 향상시킨다. 이것은 간단한 구조를 가지고 있고 자체 소모 전력(quiescent current)도 적게되나, Schottky diode를 만들기 위한 공정상의 변화가 가해져야 하므로 일반 CMOS공정에 약간의 공정 스텝이 더 필요하게 되는 문제점을 가지고 있다.

PMOS를 이용한 구동 회로대신 구동 트랜지스터로 NMOS 트랜지스터를 사용할 수 있다. 이렇게 NMOS 구동 트랜지스터를 사용 경우 위의 문제점을 상당부분 모두 해결할 수 있다. NMOS 구동단의 이득은 source follower 형태이므로  $R_L/(R_L+1/G_{m\text{dn}})$ 로 주어지는데 이 값은 거의 1이며 구동 전류가 상당히 크더라도 그 값은 1/2 이하로 변하지 않는다. 따라서 전체 이득  $A_v$  절대 값은 PMOS를 이용한 구동 회로보다 작을 수 있지만  $A_v$ 의 변화는 훨씬 적다. 또 NMOS 트랜지스터의 이동도(mobility)가 PMOS 트랜지스터에 비해 2-3배 크므로 같은 전류를 구동시킬 때 NMOS 트랜지스터를 사용한 경우의 구동회로 칩 크기가 PMOS 트랜지스터를 사용한 경우에 비해 현저하게 줄어들 수 있는 장점도 있다. 이제 이러한 NMOS 트랜지스터를 사용한 제안된 구동 회로를 살펴보자.

### III. 제안된 적응 바이어스 구동 회로

본 연구에서 수행한 구동회로 설계는 적은 소모 전력을 가지고, 간단하여 설계가 용이하며 적은 칩 면적을 갖고 또 부하 전류 변화에 대한 출력 전압의 변화 즉 load regulation이 적은 것을 목표로 한다. NMOS 트랜지스터를 사용한 구동단의 이득을  $A_{\text{drin}}$  라고 하면 구동회로 전체 이득은 다음 수식 (3)과 같다.

$$A_v = A_{\text{amp}} \cdot A_{\text{drin}} = A_{\text{amp}} \cdot \frac{R_L}{(R_L + 1/G_{\text{m\text{dn}}})} \quad (3)$$

여기서  $R_L$ 은 부하를,  $1/G_{\text{m\text{dn}}}$ 은 NMOS 구동 트랜지스터의 출력 저항을 나타낸다. NMOS 트랜지스터를 사용한 구동 회로의 단점은 수식 (3)중  $A_{\text{drin}}$  이득이 거의 1이거나 그 이하이므로 전체 이

득  $A_v$  이 낮다는 것이다. 이득  $A_v$ 가 낮으면 실제 출력 전압은 입력 전압  $V_{\text{ref}}$ 의 값보다 작은 값이 나타나게 된다. 이것을 보완하기 위해 일단 입력 트랜지스터의 크기를 키워  $g_m$ 을 키움으로서 차동 오차 증폭기  $A_{\text{amp}}$ 의 이득을 향상시켰다. 한편 구동 전류가 클 때는  $R_L$ 이 적은 경우이므로 NMOS 트랜지스터를 사용한 구동 회로의 이득  $A_{\text{drin}}$ 은 거의 1이 안되고 1 이하로 적어질 수 있다.

이러한 문제를 해결하기 위해 현재의 간단한 차동 오차 증폭기를 사용한 상태에서 구동되는 부하 전류 크기를 감지하여 구동 전류 크기가 커지면 전체 구동 시스템의 이득  $A_v$ 를 커지도록 하는 적응 바이어스(adaptive bias) 구동 회로를 설계하였다. 이것은 구동 회로의 이득  $A_{\text{drin}}$ 의 이득 변화량이 작으므로 오차 증폭기의 이득을 크게 변화시키지 않음으로서 충분히 조절 가능한 영역 내에 있기 때문에 가능하다. 한편 출력 구동 전류가 변화 할 때 PMOS 트랜지스터를 사용한 구동 회로의 이득  $A_{\text{drin}}$ 의 변화량은 살펴보면 NMOS 트랜지스터를 사용한 구동 회로의 이득  $A_{\text{drin}}$ 의 변화량에 비해 현저하게 크다.

다음 그림 3은 이러한 적응 바이어스 개념이 도입된 구동회로를 보여주는 그림이다. 다음 그림 3에서 MN1, MN2, MP3, MP4와 MN0는 가장 기본적인 차동 증폭기를 구성하고 있으며 이것의 바이어스는 외부에서 MNB0를 통하여 tail current  $I_o$ 를 공급하고 있다. MND는 부하  $R_L$ ,  $C_L$ 에 전류를 공급하는 NMOS형 구동 트랜지스터이고, 앞에 기술한 트랜지스터들과 함께 일반적인 NMOS형 구동 회로를 이룬다.

이제 적응 바이어스 개념을 도입하기 위해 MN10, MN11, MN12, MN13, MN14의 트랜지스터로 구성된 replica adaptive bias 공급 회로를 추가하였다. MN10은 구동 트랜지스터 MND와 같은 게이트로 연결되어  $I_o$  전류에 비례하는 전류를 탐지한다. 실제 MN10은 크기가 MND에 비해 약 1/1000이하로 작으므로 이 복사(replica) 전류는 아주 적은 전류가 흐르게 되고 이것으로 인한 구동 전류  $I_o$ 의 변화는 거의 없다. 복사전류는 구동전류  $I_o$ 이 변하는 만큼 비례하여 변하게 된다. 이 복사전류는 MN11, MN12 그리고 MP13, MP14로 구성된 전류 거울 회로에 의해  $I_{\text{ada}}$ 만큼 증폭기 입력단 source 노드 SO에 가해지게 된다. 이때 MN1이나 MP3 그리고 MN2나 MP4에 각각  $I_o/2$ 씩 흐르던 전류가  $(I_o - I_{\text{ada}})/2$ 로 줄어들게 된다.

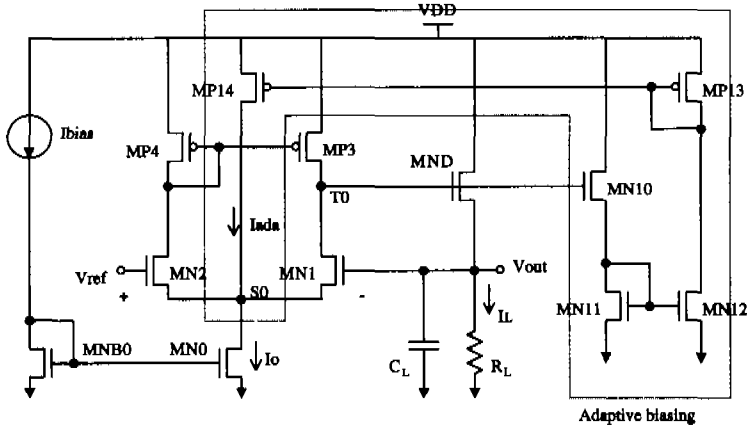


그림 3. 제안된 적응 바이어스 구동회로

Tail current  $I_o$ 는 일정한 값이고  $I_{ada}$ 는 구동전류  $I_L$ 이 커지면 증가하고  $I_L$ 이 작아지면 같이 따라서 감소하게 되는 값이므로 부하 구동전류가 커질수록  $(I_o - I_{ada})/2$ 는 감소하게 된다. 증폭기의 트랜지스터에 흐르는 DC 전류 값이 작아지면  $1/\sqrt{I}$  만큼 이득이 증가한다. 즉 구동전류가 커질수록 오차 증폭기의 바이어스 전류를 감소시킴으로써 Aamp의 이득을 증가시키는 역할을 하게 된다. 따라서 구동전류  $I_L$ 이 커질수록 전체 이득  $A_v$ 가 감소하였던 것이 적응 전류 구동 회로에 의해 보상할 수 있다.

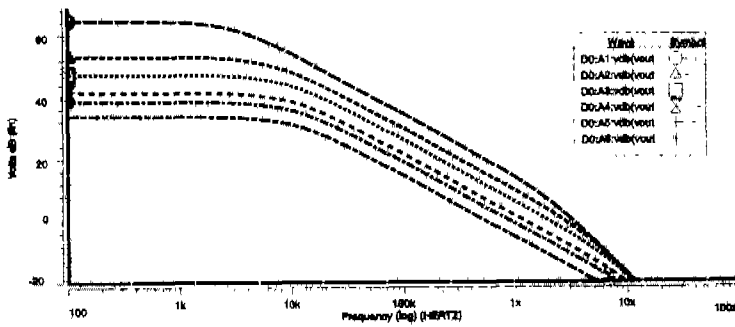
실제 이 적응 바이어스 회로를 이용한 구동 회로 설계에서는 원래 tail current  $I_o$ 의 값과 적응 바이어스 전류  $I_{ada}$ 의 최대 값 및 전류 범위 설정이 중요하다. 최대 적응 바이어스 전류  $I_{ada}$ 값이 tail current  $I_o$ 의 값보다 커서는 안 되며  $I_o - I_{ada}$ 의 값도 증폭기의 주파수 특성이 나빠지지 않도록 너무 작은 값이 안 되도록 해야 한다.  $I_o - I_{ada}$  값이 너무 적으면 증폭기의 극점이 낮아지거나, 위상 여유가 적어지며 이로 인해 주파수 특성이 나빠지는 문제가 생길 수 있다. 본 연구에서는  $I_o$ 와  $I_o - I_{ada}$  값의 비율 최대 약 10대 1정도가 되도록 설계하였다.

#### IV. 모의 실험

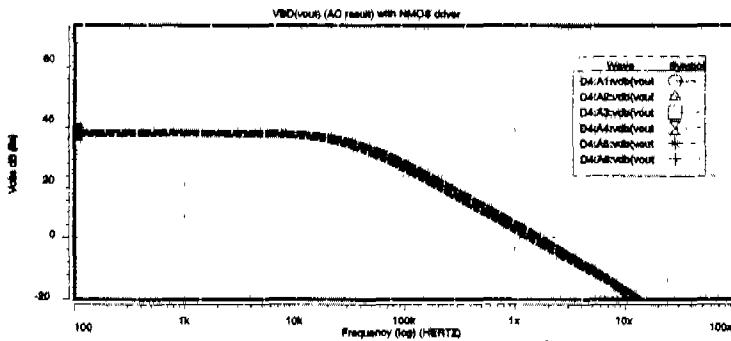
다음 그림 4(a)는 PMOS 구동 트랜지스터를 사용한 경우의 AC 시뮬레이션 결과를 보여준 것이다. 여기서 오차 증폭기의 바이어스 전류(tail current)  $I_o$ 는 20  $\mu A$ 를 사용하였고 부하 캐패시터  $C_L$ 은 300 pF로 가정하였다. 부하 저항( $R_L$ )은 10 K $\Omega$ , 1 K $\Omega$ , 200  $\Omega$ , 100  $\Omega$ , 50  $\Omega$ , 35  $\Omega$ 의 6 가지 경우를 사

용하였다. 출력 전압이 1.8 V이므로 이에 대응되는 부하 전류  $I_L$ 는 약 180  $\mu A$ (그림 중 A1) 부터 약 50 mA(그림 중 A6)까지 250배정도 변하게 된다. 그림 4(a)에서 PMOS 구동단으로 구성된 구동 회로 전체 D.C 이득은 부하 저항이 적어질수록 즉 구동 부하 전류가 커질수록 감소하는 것을 알 수 있다. 부하 저항이 변하더라도 오차 증폭기만의 DC 개루프 이득은 거의 38 dB 정도를 유지하지만 구동단이 포함된 구동 회로 전체 이득은 부하 저항(구동 전류)에 따라 약 20 dB(10 배) 정도 변하는 것을 알 수 있다.

이제 NMOS 구동단을 이용한 경우를 살펴보자. NMOS 구동단을 사용하게 되면 source follower 형태로 되므로 구동단에서의 이득이 거의 존재하지 않는다고 보는 것이 좋다. 다음 그림 4(b)는 NMOS 구동단을 이용한 구동 회로의 AC 시뮬레이션 결과를 보여주고 있다. 오차 증폭기는 PMOS 구동 트랜지스터를 사용한 경우와 동일한 바이어스 전류(실제 tail current)  $I_o$ 를 사용하였고, 같은 부하 저항의 변화 조건을 설정하였다. 단 증폭기 입력 트랜지스터의 크기를 키워 증폭 이득을 증가시켰다. NMOS 구동단을 사용한 경우는 부하 저항 변화에 따른 출력단의 이득 변화가 거의 없다. 비록 전체 출력단 이득의 절대 값이 PMOS 구동단을 이용한 경우에 비해 적지만 부하 저항의 변화 즉 구동 전류의 변화에 따른 구동 회로 전체 이득의 변화가 상당히 적은 것을 알 수 있다. 따라서 본 연구에서는 출력 구동 전류 변화에 따른 출력단 전압 변화가 적은 구동 회로를 얻기 위해서 NMOS 구동 트랜지스터로 구성된 회로를 사용하였다.



(a)



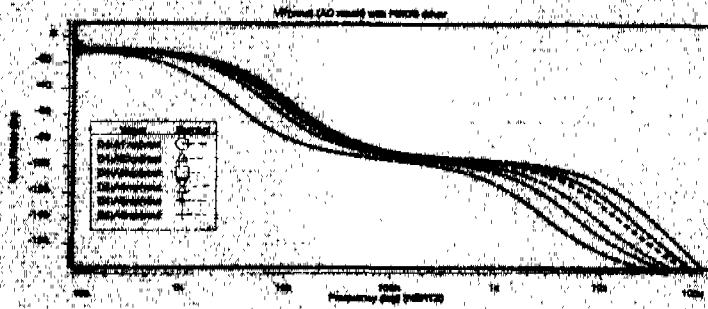
(b)

그림 4. 이득 특성 : (a) PMOS 구동 트랜지스터를 사용한 경우, (b) NMOS 구동 트랜지스터를 사용한 경우.

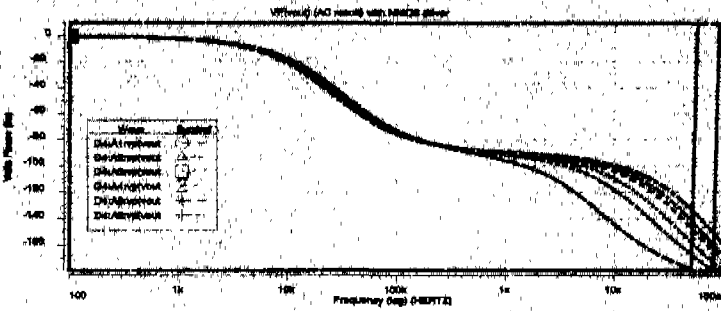
이렇게 NMOS 구동단을 사용하게 되면 구동단에서의 전압 이득이 없으므로 Miller 효과가 존재하지 않는다. 따라서 PMOS 구동단을 사용한 경우와 같은 게이트에서의 입력 캐패시턴스 증가로 인한 위상 여유 감소 등이 적어지게 되며 이로 인해 주파수 특성이 개선되게 된다. 그림 4(a)와 그림 4(b)를 비교해 보면 NMOS 구동단을 사용한 회로의 주파수 특성이 우수한 것을 알 수 있다. 주파수 보상이 아직 안된 것이지만 AC 시뮬레이션 상의 결과중 unity gain(0 dB) frequency(UGF)  $f_u$ 를 살펴보면 PMOS 구동단을 사용한 경우는 부하 저항에 따라  $f_u$ 가 많이 변하고 그 주파수도 500 KHz 정도로 작다. NMOS 구동단을 사용한 경우는 부하 저항에 따라  $f_u$ 가 많이 변하지 않고 그 주파수도 1.5 MHz 정도로 높다. 만약 더 높은 주파수 영역에서 사용하고자 한다면 오차 증폭기의 입력단 트랜지스터

MN1, MN2의 크기를 더 키우고, 바이어스 전류  $I_o$  및  $I_{ada}$  등의 절대 값을 키운다. 그림 5는 두 구동 회로의 위상특성을 보여 주고 있다. 모의 실험 결과 NMOS 구동 트랜지스터에서 부하 저항이 10 KΩ에서 35 Ω(부하 구동 전류  $I_L$ 은 180  $\mu$ A 부터 50 mA)까지 변화시킬 때 위상 여유는 모두 약 80° 정도 이상이다. 그러나 같은 조건하에서 PMOS 구동 트랜지스터를 사용한 경우는 85° 부터 60°까지의 크게 변하는 위상 여유 값을 관찰할 수 있었다.

앞 절에서 설명한 적용 바이어스 회로의 개념을 적용한 구동 회로의 특성들을 살펴보기 위하여 부하 구동 전류 변화에 대한 출력 전압 값을 살펴보기로 한다. 먼저 PMOS 구동 트랜지스터를 이용한 경우의 출력 전압 값은 구동 전류가 180  $\mu$ A(그림 중 A0) 부터 약 50 mA(A6) 정도 변할 때 그림 6(a)에 나타난 것과 같이 약 15 mV 정도 변했다.

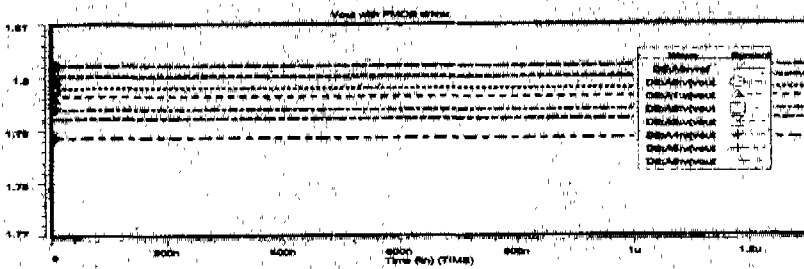


(a)

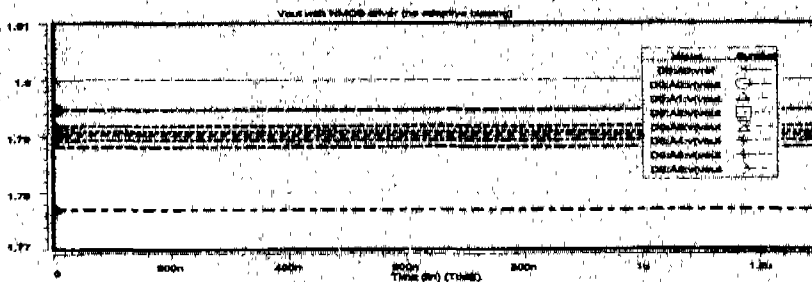


(b)

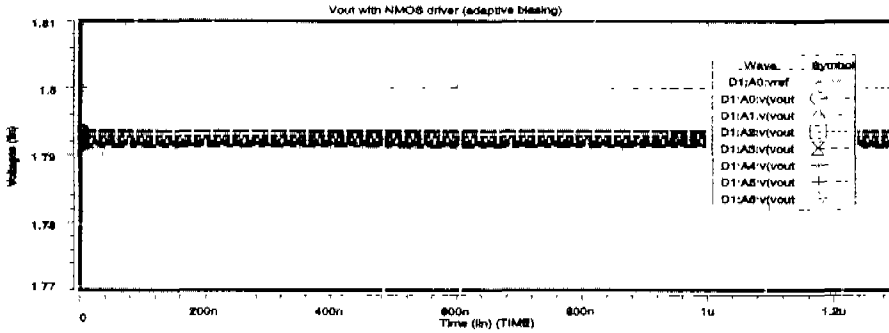
그림 5. 위상특성: (a) PMOS 구동 트랜지스터를 사용한 경우, (b) NMOS 구동 트랜지스터를 사용한 경우.



(a)



(b)



(c)

그림 6 구동단의 출력전압 (a) PMOS 구동단을 사용한 경우, (b) NMOS 구동단을 사용한 경우, (c) 적용 바이어스 개념이 도입된 NMOS 구동단을 사용한 경우

단 이 그림은 출력 DC 값을 쉽게 보기 위하여 의도적으로 일정한 입력 전압을 가하여 SPICE transient 모의 시험을 한 결과이다. 이제 적용 바이어스 개념이 적용 안된 NMOS 구동 트랜지스터를 이용한 경우의 출력 전압 값은 같은 조건하에서 약 16 mV 정도 변했다(그림 6(b)). 위 사실에서 비록 PMOS 구동단을 이용한 전체 이득이 크더라도 부하 저항 변화에 따른 또는 구동 전류 변화에 따른 구동 회로 전체 이득의 변화가 크게 되므로 출력 전압의 변화값 즉 load regulation 값이 비교적 크게 나타나는 것을 알 수 있다. 적용 바이어스 개념을 사용하지 않고 NMOS 구동 트랜지스터를 이용한 구동 회로는 전체 이득이 크지 않으므로 입력 1.8 V보다 약간 적은 출력 값을 나타내고 있다. 적용 바이어스 개념을 사용하고 NMOS 구동 트랜지스터를 이용한 구동 회로의 출력 전압 변화가 그림 6(c)에 나타나 있다. 전체 출력 전압의 변화가 약 4 mV 정도밖에 안 되는 것을 주목할 필요가 있고 제안된 방법의 load regulation 특성이 제일 우수함을 알 수 있다.

### V. 레이아웃 및 결과

제안된 회로는 0.8  $\mu\text{m}$  일반 CMOS 공정을 이용하여 구현되었다. 구동 트랜지스터는 경우에 따라서 큰 전류를 흐르게 해야 하므로 guard-ring을 설치하는 등 latch-up 등이 발생하지 않도록 고려하였다. NMOS 구동 트랜지스터의 substrate는 별도로 연결하여 트랜지스터의 불안정한 동작을 최소화하였다. NMOS 구동 트랜지스터의 크기는  $5400 \mu\text{m}/1 \mu\text{m}$

이다. 만약 PMOS 구동 트랜지스터를 사용하면 약  $13000 \mu\text{m}/1 \mu\text{m}$  이상이 되어야 같은 전류 구동 능력을 갖게 된다. 따라서 같은 전류 구동 능력 조건하에서 NMOS 구동 트랜지스터를 사용한 경우의 칩 면적이 PMOS 구동 트랜지스터를 사용한 것에 비해 약 반(1/2)정도 되며 이로 인해 커패시턴스 성분 등도 줄어들게 된다. 증폭기는 부정합을 최소화하기 위해 서로 대칭되도록 설계하였다. 다음 그림 7은 수행된 layout 도를 보여주고 있으며 전체 크기는  $150 \mu\text{m} \times 360 \mu\text{m}$ 으로 기존에 발표된 것들에 비해 작다.

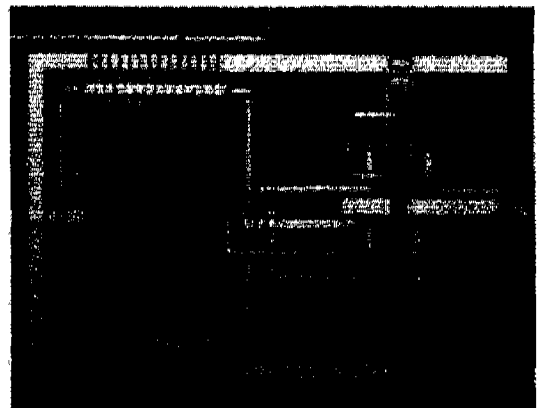


그림 7. 회로 사진

실제된 구동회로의 측정 사양을 살펴보면 다음 표 1과 같다. 제안된 회로는 설계가 간단하므로 구동단을 제외한 나머지 부분의 자체 대기 소모 전력이  $60 \mu\text{W}$ 로 적고 부하 커패시턴스를 300 pF인 상태에서, 부하 저항이 18 K $\Omega$ 에서 35  $\Omega$ (부하 구동 전



류  $I_L$ 은 100  $\mu A$  부터 50 mA까지 변화시킬 때 약 5.6 mV의 낮은 load regulation 값을 갖는다. 출력 구동 전류에 대한 출력 전압의 변화를 그림 8에 나타내었다. 여기서 전류 축의 scale은 고려하지 않았다. 평균 출력 전압 값은 약 1.793 V 정도로서 입력 전압 1.8 V 보다 약 7 mV 떨어져 나타나고 있다. 이러한 전압 dropout 현상은 전체 이득  $A_v$ 가 아주 크지 않은데서(40 dB이하) 나타난 것으로 생각된다. 위상 여유는 약 80도를 유지하고 안정된 주파수 특성의 장점 외에 더 낮은(2.5 V-to-1.5 V 변환 등) 저전압에도 적용할 수 있는 등 여러 가지 장점이 있다.

설계된 구동회로의 특성을 기존의 다른 것과 비교한 것이 표 2에 나타나 있다. 기존의 구동회로들과는 주변 조건이 조금씩 틀리지만 그래도 load 표 1. 설계된 구동회로 사양(측정 결과).

항 목	사 양
외부 공급 전압	3.3 V
내부 출력 전압	1.8 V
대기 소모 전력	60 $\mu W$
구동 전류 범위	100 $\mu A$ - 50 mA
Load regulation	5.6 mV
면 적	150 $\mu m \times 360 \mu m$

regulation 값만은 제안된 것이 제일 작은 것을 알 수 있다. 참고문헌 [6]의 구동회로는 NMOS 구동 트랜지스터를 사용하였으나 전류 폭이 크고 전류 커짐에 따라 이득이 감소하는 것에 대한 보상이 없으며 전압 강하 회로가 포함되어 있는 관계로 load regulation 값이 큰 것으로 사료된다.

표 2. 기존 구동 회로와의 비교

	제안된 것	참고문헌[10]	참고문헌[6]
구동 트랜지스터	NMOS	PMOS	NMOS
출력 전압	1.8 V	1.2 V	3.0V
IL 변화 범위	100 $\mu A$ ~50mA	0~50mA	0~100mA
$\Delta V_{out}$ (load regulation)	5.6 mV	19 mV	170mA (전압 강하 회로 포함)

## VI. 결 론

3.3 V의 외부 공급 전원을 받아서 1.8 V의 출력 전압을 내 주도록 하는 전압 강하용 구동 회로를 설계하였다. 기존의 전압 강하 변환기용 구동 회로에서는 구동단에 PMOS 구동 트랜지스터를 이용하여 구현하였으나 본 연구에서는 적응 바이어스 개념을 제안하고 이개념을 도입한 NMOS 구동 트랜지스터를 이용하여 구현하였다.

제안된 적응 바이어스(adaptive biasing) 전류 구동 회로를 적용하여 NMOS 구동 트랜지스터를 이용한 구동 회로의 load regulation 특성을 크게 개선하였다. 적응 바이어스 전류 구동 개념이 적용된 NMOS 구동 회로는 구동단에서의 밀러(Miller) 효과가 없으므로 위상 여유가 크고 안정된 주파수 특성을 보여주고 있다. NMOS 구동단은 같은 구동 전류를 흘려줄 경우 PMOS 구동단에 비해 훨씬 적은 트랜지스터 크기 비로 쉽게 제작이 가능하므로 칩 면적을 크게 줄일 수 있으며 PMOS 구동단에서의 보상 capacitor나 보상 레지스터를 내장시킬 필

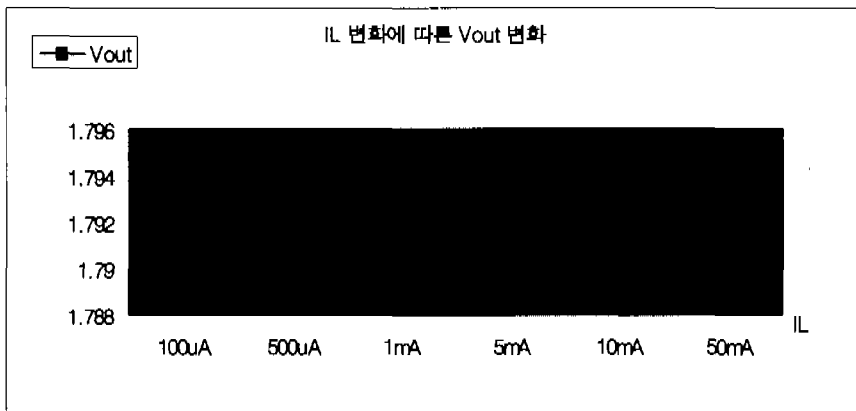


그림 8. 구동 전류  $I_L$  변화에 따른 출력 전압 변화( $I_L$ 축 스케일 고려 안함)

요도 없다.

제안된 회로는 설계가 간단하고, 자체 소모 전력 (60  $\mu$ W)이 적으며, 전체 크기가 적고(150  $\mu$ m  $\times$  360  $\mu$ m), 100  $\mu$ A부터 50 mA 까지의 구동 전류 변화 조건하에서 낮은 load regulation 값(5.6 mV)을 얻었다.

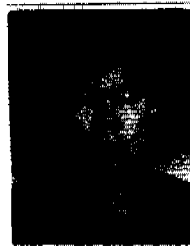
### 참고 문헌

- [1] M. Paul, R. kraus, K. Hoffmann, and J. Harter, "All MOS on-chip power supply conversion," *IEEE 1988 Custom Integrated Circuits Conf.*, pp. 5.7.1-5.7.3.
- [2] Y. Nakagome, K. Itoh, M. Isoda, K. Takeuchi, and M. Aoki, "Sub-1-V swing internal bus architecture for future low-power ULSI," *IEEE J. Solid-State Circuits*, vol. 28, pp. 414-419, Apr. 1993.
- [3] A. Dancy and A. Chandrakasan, "Techniques for aggressive supply coltage scaling and efficient regulation," *IEEE 1997 Custom Integrated Circuits Conf.*, pp. 579-586.
- [4] A. J. Stratakos, R. W. Brodersen, and S. R. Sanders, "High-efficiency low-voltage DC-CD converter for portable applications," *Proc. 1994 Int. Workshop on Low Power Design*, pp. 105-110.
- [5] A. P. Chandrakasan, S. Sheng, and R.W. Brodersen, "Low-power CMOS digital design," *IEEE J. Solid-State Circuits*, vol. 27, pp. 473-484, Apr. 1992.
- [6] Shyh-Jye Jou and Tsu-Lin Chen, "On-Chip Voltage Down Converter for Low-Power Digital System," *IEEE Tran. on Circuits and Systems-II: ANALOG AND DIGITAL SIG. PROC.*, vol. 45, no. 5, MAY 1998, pp. 617-625.
- [7] R. S. Mao et al., "A new on-chip voltage regulator for high density CMOS DRAM's," *Symp. VLSI Circuits Dig. Tech. Papers*, 1992, pp. 108-109..
- [8] H. Tanaka, Y. Nakagome, J. Etoh, E. Yamaskai, M. Aoki, and K. Miyazawa, "Sub-1-A dynamic reference voltage generator for battery operated DRAM's," *IEEE J. Solid-State*

*Circuits*, vol. 29, pp. 448-453, Apr. 1994.

- [9] Kwang-Hyun Baek, Jun-Jey Sung, Hong-Keun Yune, Yong-Weon Jeon, Shin-Il Lim, and Suki Kim, "A Low Power Voltage Down Converter for 64M DRAMs," *대한전자공학회 추계종합학술대회 논문지*, pp.691-694, 1997년 11월 22일
- [10] G. A. Rincon-Mora, and P. E. Allen, "A Low-Voltage, Low Quiescent Current, Low Drop-Out Regulator," *IEEE J. Solid-State Circuits*, Vol. 33, pp. 36-44, Jun. 1998.
- [11] G. A. Rincon-Mora, and P. E. Allen, "Optimized Frequency-Shaping Circuit Topologies for LDO's," *IEEE Tran. on Circuits and Systems-II: ANALOG AND DIGITAL SIG. PROC.*, vol. 45, no. 6, pp. 703-708, Jun. 1998.
- [12] T. Ooishi et al., "A mixed-mode voltage-down converter with impedance adjustment circuitry for low-voltage high-frequency memories," *IEEE J. Solid-State Circuits*, vol. 31, pp. 575-585, Apr. 1996.
- [13] G. W. den Besten, and Bram Nauta, "Embedded 5 V-to-3.3 V Voltage Regulator for Supply ing Digital IC's in 3.3 V CMOS Technology," *IEEE J. Solid-State Circuits*, Vol. 33, pp. 956-962, Jul. 1998.

### 임 신 일(Shin-Il Lim)



1980년 2월 : 서강대학교 전자공학과 졸업(공학사)  
 1983년 2월 : 서강대학교 대학원 전자공학과 졸업(공학석사)  
 1995년 8월 : 서강대학교 대학원 전자공학과 졸업(공학박사)

1982년 2월 ~ 1991년 1월 : 한국전자통신연구원 (ETRI) 선임연구원

1991년 1월 ~ 1995년 2월 : 전자부품연구원(KETI) 선임연구원

1995년 3월 ~ 현재 : 서경대학교 컴퓨터공학과 조교수  
 <주관심 분야> 아날로그 IC설계, 혼성회로 칩설계, ADC/DAC 설계, 통신용 IC설계

서 연 곤(Yeon-Gon Seo)



2000년 2월 : 서경대학교 컴퓨터  
공학과 졸업(공학사)

2000년 3월~현재 : 서경대학교  
컴퓨터공학과 대학원  
재학중

<주관심 분야> 아날로그 IC설계, 혼성피로 칩설계  
ADC/DAC 설계