

1.6GHz PCS 단말기용 초소형 VCO에 대한 연구

정회원 권원현*, 김운용**

A Study on Miniature VCO for 1.6GHz PCS Phone

Won-hyun Kwon*, Woon-yong Kim** *Regular Members*

요 약

본 논문에서는 1.6GHz PCS 대역 초소형 전압제어발진기의 설계개발하였다. 다층 PCB 구조를 갖는 Colpitts 형의 LC 동조형 발진기를 설계하고 회로 시뮬레이터를 이용하여 회로특성을 최적화하였다. 최적화된 설계 데이터를 이용하여 $6 \times 6 \times 1.8 \text{ mm}^3$ (0.065cc) 크기의 소형 VCO를 제작한 후 시험하였다. 개발된 VCO는 52.3MHz 튜닝범위에서 $-1.67\text{dBm} \pm 0.5\text{dBm}$ 의 일정한 출력레벨을 갖었으며 10kHz offset 주파수에서 -99.33dBc/Hz 의 우수한 위상잡음 특성을 나타내었다.

ABSTRACT

In this paper, miniature voltage-controlled oscillator(VCO) for 1.6GHz PCS band is designed and implemented. Colpitts type LC resonating oscillator is designed with multilayer PCB and circuit parameters are optimized using the circuit simulator. Using the optimized design parameters, miniature VCO with $6 \times 6 \times 1.8 \text{ mm}^3$ (0.065cc) dimensions is fabricated and experimented. Developed VCO has $-1.67\text{dBm} \pm 0.5\text{dBm}$ output power level in 52.5MHz tuning range, and has -99.33dBc/Hz phase noise performance at 10 KHz frequency offset.

Key Words : 전압제어발진기, VCO, 이동통신, 이동통신 부품, PLL IC

I. 서 론

이동통신기술이 급속히 발전함에 따라 사용자의 이동성 및 휴대성 보장을 위한 사용 단말의 크기 및 무게가 줄어들고 있으며, 사용되는 부품들의 경박단소화가 급속히 이루어지고 있다. 또한 시장의 급성장에 따라 단말기와 기지국 장비에 필요로 하는 부품수요가 지속적으로 늘어나고 있으나 국내의 경우 소요 부품의 대부분을 수입에 의존하고 있고, 특히 RF 회로의 핵심 부품이라 할 수 있는 전압제어발진기는 그 의존도가 더 큰 실정이다.

전압제어 발진기(VCO, Voltage-controlled oscillator)는 송수신기의 채널을 설정해주는 주파수 합성기의

주요 부분으로 발진신호의 출력레벨, 위상잡음, 고조파 특성 등이 시스템 감도 및 동작특성을 직접적으로 결정하는 RF 핵심부품이라 할 수 있으며, 크기 및 특성개선에 대한 연구가 꾸준히 이루어져왔다. 이동통신기기용 VCO는 90년대 이전까지는 발진에 필요한 공진소자로서 유전체 공진기가 주로 사용되었으나 소형화 추세에 따라 다층 PCB 구조 내에 마이크로스트립 형태의 공진소자를 내장한 Colpitts 방식이 주로 사용되고 있다^{[6],[15]}. 회로 구성 측면에서는 1 개의 바이폴라 트랜지스터를 이용한 단일 발진기 구조를 사용하거나 출력 및 특성 안정화를 위한 별도의 완충 증폭기를 cascode 형태로 적용시킨 2단 발진기가 주로 사용된다^{[8],[15]}. 1983년 일본에서 이동통신용으로 처음 개발된 VCO

* 안양대학교 정보통신공학과 ** (주)스타텔레콤
접수번호: 99290-0723, 접수일자: 1999년 7월 23일

는 4.4cc, 무게 8.6g이었으나 90년대 중반에는 0.15cc, 무게 0.3g 대로 약 1/30로 크기가 줄어들었으며 현재에는 0.1cc 급 크기의 VCO가 보편적으로 사용되고 있다^{[15]-[17]}.

본 연구에서는 크기 6.0 x 6.0 x 1.8mm³ (0.065cc)인 1.6GHz PCS 대역용 소형 전압제어 발진기를 설계 제작하고 시험하였다. 이를 위하여 다층구조를 갖는 Colpitts 형의 LC 동조형 발진기를 설계한 후 회로 시뮬레이터인 Compact Software (Microwave Harmonica 7.0)를 이용하여 회로특성을 최적화하였다. 또한 스트립라인 구조의 공진용 인덕턴스 및 cascode 구조의 회로를 채택함으로써 소모전류의 감소 및 저가격화를 실현하였다. 추출된 최적 설계값을 이용하여 4층 FR-4 PCB 기판을 이용하여 제작하고 Laser trimming 기법을 이용하여 미세 조정된 후 제반 특성들을 측정, 시험하였다.

II. 전압제어발진기

전압제어발진기는 외부의 제어전압에 의해 발진 주파수가 변화되는 발진기로 일반적인 발진기의 공진부를 전압에 따라 공진주파수가 가변될 수 있는 구조로 대치한 것이다. 발진기의 기본 원리는 케환을 이용한다는 면에서 증폭기와 유사하나 안정도(stability) 측면에서는 항상 불안정(unstable)영역에서 동작한다는 차이점이 있다. 즉, 발진기는 외부로부터의 입력신호가 없어도 일정 주파수와 레벨을 갖는 신호를 만들게 되며 출력 주파수와 크기는 회로 구성 소자들에 의해 결정되어진다.

그림 1에 2단자 회로망을 이용한 발진기 구성도를 나타내었다. 발진기는 공진회로(resonant tank)부,

케환 및 능동소자를 이용한 발진부, 외부 부하와의 임피던스 정합회로부 등으로 구성된다. 그림에서 Γ_r 및 Γ_L 은 공진부와 정합부의 반사계수(reflection coefficient)를 각각 나타내며, Γ_{in} 및 Γ_{out} 은 발진부의 입출력 반사계수를 나타낸다. 능동소자 트랜지스터의 안정도(stability factor) k 는 반사계수가 1인 원의 반지름과 원점에서 중심까지의 거리로부터 유도되며 다음과 같이 주어진다^{[1], [5]}.

$$k = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |D|^2}{2|S_{12}| |S_{21}|} \quad (1)$$

여기서, $D = |S_{11}S_{22} - S_{12}S_{21}|$ 이며, $k < 1$ 인 경우 회로는 불안정(unstable) 영역에 있다. 이때 발진기가 안정적으로 발진하기 위해서는 다음 세 가지의 발진조건을 만족해야 한다.

$$k < 1 \quad (2)$$

$$\Gamma_{OUT} \Gamma_T = 1 \quad (3)$$

$$\Gamma_{IN} \Gamma_L = 1 \quad (4)$$

여기에서 트랜지스터로 구성된 회로의 반사계수 Γ_{in} 및 Γ_{out} 는 다음 식으로 주어진다.

$$\Gamma_{in} = S'_{11} + \frac{S'_{12} S'_{21} \Gamma_L}{1 - S'_{22} \Gamma_L} \quad (5)$$

$$\Gamma_{out} = S'_{22} + \frac{S'_{12} S'_{21} \Gamma_r}{1 - S'_{11} \Gamma_r} \quad (6)$$

식에서 $S'_{11} \sim S'_{22}$ 는 트랜지스터의 S-파라미터를 구성한 회로구조(CE 또는 CB)에 따라 변환한

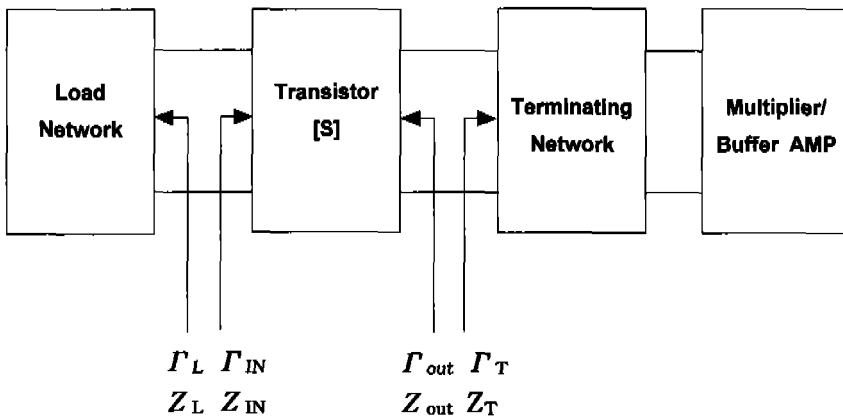


그림 1. 2단자 구조 발진기 모델

값을 나타낸다. 식 (2) ~ (6)을 만족하며 안정적인 발진을 얻기 위하여는 식 (7) 및 식 (8)의 조건을 만족하도록 설계되어야 한다.

$$X_L(\omega_o) = -X_{IN}(\omega_o) \quad (7)$$

$$R_L = \frac{|R_{IN}(0, \omega_o)|}{3} \quad (8)$$

전압제어 발진기는 앞에서 언급한 공진기의 캐패시턴스를 인가된 제어전압에 따라 가변시킬 수 있도록 바랙터(varactor) 다이오드를 사용한 발진기이며, 이 공진기의 구조를 그림 2에 나타내었다. 공진을 형성하기 위해서는 인덕턴스 L이 필요하며 본 논문에서는 소형화를 위하여 스트립라인 구조를 사용하여 인덕턴스를 구현하였다.

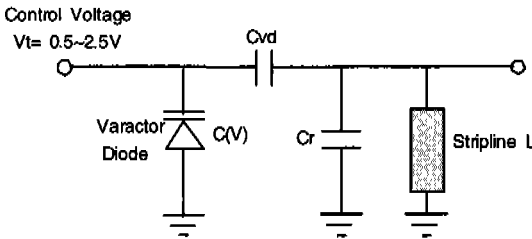


그림 2. 전압제어발진기의 공진기 구조

폭 w, 길이 l, 두께 h 인 구리(Cu) 재질 스트립라인의 인덕턴스 L 및 Q 값은 다음 식으로 구할 수 있다^[8].

$$L_R = 0.2 \times l \left[\ln \frac{l}{w+h} + 1.193 + 0.2235 \frac{w+h}{l} \right] nH \quad (9)$$

$$Q_R(Cu) = 4.81 \times 10^7 f^{1/2} \frac{L_R}{k} \frac{(w+h)}{l} \quad (10)$$

그림 2에 나타낸 공진기 내에서의 전체 캐패시턴스 C(t) 는 식 (11)로 주어진다.

$$C(t) = \frac{C(V)C_w}{C(V) + C_w} + C_r \quad (11)$$

여기에서 C(V)는 인가전압에 따라 Varactor 다이오드에 형성되는 캐패시턴스를 나타내며, C_{vd}는 Varactor Diode 와 뒷단 공진기 사이의 정합용 캐패시턴스, C_r 은 공진용 캐패시턴스를 나타낸다.

C(V)는 식 (12)과 같이 인가전압에 의존하며, 여기에서 Vs 는 특정 바이어스 전압, Cs 는 Vs일 경우의 다이오드 용량, ϕ 는 다이오드 전압(실리콘인 경우 0.7V), n은 junction 다이오드인 경우 0.5, V는 인가전압을 나타낸다. 만약 인가전압이 V에서 V + ΔV로 변화할 경우의 용량 변화량은 식 (13)과 같다. 따라서 공진기에 인가되는 제어전압 V를 조정하여 C(t)를 변화시킴으로써 원하는 주파수에서의 공진을 얻을 수 있다.

$$C(V) = C_s \left(\frac{\phi - V_s}{\phi - V} \right)^n \quad (12)$$

$$\frac{\Delta C(V)}{\Delta V} = 0.5 C_s \frac{\phi - V_s}{\phi - V} \sqrt{\frac{\phi - V_s}{\phi - V}} \quad (13)$$

III. 회로 설계 및 시뮬레이션

본 연구에서는 회로 구성이 용이한 Colpitts 형의 LC 동조형 발진기를 다층 PCB를 사용하여 설계하였으며, 발진기의 출력 레벨 및 특성을 안정화하고 소모전력을 최소화하기 위하여 별도의 완충 증폭기를 cascode 형태로 적용시킨 2단 발진기를 사용하였다. 공진용 인덕턴스 및 전원단 choke 인덕턴스는 스트립라인 구조로 구현하여 단가 절감이 가능하도록 하였으며, Q 값이 최대가 될 수 있도록 면의 형태로 설계함으로써 위상잡음 특성을 좋게 설계하였다.

그림 3은 회로 설계를 위하여 본 연구에서 채택한 회로 구성을 나타내었다. 본 논문에서는 발진기 특성의 외부 임피던스 변화에 대한 완충회로로 Buffer Amplifier를 사용함으로써 저레벨 발진신호의 증폭과 동시에 외부 변동에 따른 특성 변화를 최소화할 수 있도록 하였다. 또한 발진부와 완충증폭기 트랜지스터를 종속(cascode)으로 연결한 후 적절한 바이어스회로를 적용하여 전류소모를 9 mA 이하로 줄였다. 이와같은 구조는 일정한 바이어스 전압으로 두 개의 종속된 트랜지스터를 동작시킴으로 위상잡음특성이 저하되는 단점이 있으나 현재 상용화되고 있는 저전압과 높은 차단주파수를 갖는 고주파용 트랜지스터의 사용으로 이를 보완하였다. 표 1에 본 논문에서 설계 제작하고자하는 PCS용 소형 VCO의 성능 규격을 나타내었다.

발진 중심 주파수는 PCS 중심 주파수인 1635 MHz로 하였으며, 정전압 3V 바이어스일 경우 0.5

~ 2.5 V 제어전압으로 1620 ~ 1650MHz 이상의 주파수 변화가 가능하도록 설계하였다. 위상 잡음은 중심주파수에서 10 KHz offset시 -95dBc/Hz 이하가 되도록 하였으며, 출력 전력은 -2.5 ±2.5 dBm 이내에 있도록 하였다. 회로의 동작 특성분석은 회로설계 시뮬레이터인 Compact Software (Serenade 7.0)를 사용하였으며, 회로 부품값을 변화시켜 최적의 고조파 억압 및 위상잡음 특성을 갖을 수 있도록 하였다. 회로에 나타낸 인덕턴스는 PCB 패턴에 의해 발생하는 인덕턴스로서 실제 구현시에는 무시된다.

표 1. PCS 단말기용 VCO 설계 Spec.>>

성능 항목	단위	설계 규격
전원전압	V	3
Tuning Range	MHz	1620 ~ 1650
Tuning 전압	V	0.5 ~ 2.5
중심주파수	MHz	1635
출력레벨	dBm	-2.5 ±2.5
위상잡음	dBc/Hz	< -95dBc/Hz (at 10KHz offset)
고조파 억압(2차)		< -15 dB
소비전류	mA	< 8.5
외곽사이즈	mm3	6 × 6 × 1.8
체적	cc	0.065

그림 4는 시간 평면에서의 발진기의 발진 파형을 나타낸다. 발진기의 주파수 및 위상이 왜곡없이 잘 발생되고 있음을 알 수 있다. 그림 5 및 그림 6은 최적 회로값으로 시뮬레이션한 경우의 VCO의 고조파(Harmonic) 특성과 위상잡음(Phase Noise) 특성결과이다. 시뮬레이션시 발진 기본 주파수는 국내 PCS 전화기의 중심주파수인 1635 MHz로 하였다. 그림에서 알 수 있는 것처럼 시스템 RF 성능에 영향을 미칠 수 있는 2차 고조파성분은 캐리어 대비 -19dBc 정도로 억압되었으며, 고차 고조파도 잘 억압되어 우수한 고조파 특성을 얻을 수 있었다. 또한 시스템 감도 및 인접채널 억압비 등의 특성에 영향을 미치는 위상잡음 또한 1635MHz 10 KHz offset 일 경우 -97 dB/Hz 로 나타나 우수한 동작 특성을 지니고 있음을 알 수 있다.

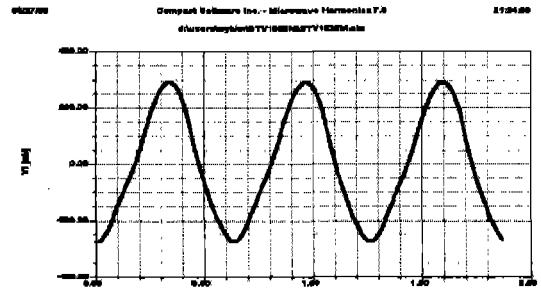


그림 4. 시간평면에서의 발진 파형

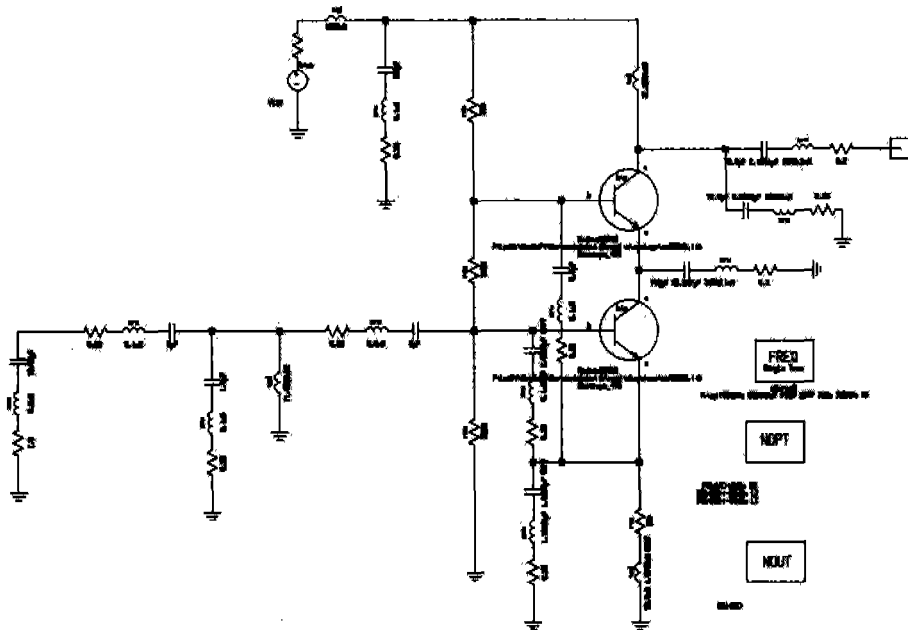


그림 3. Simulation에 사용된 VCO 회로

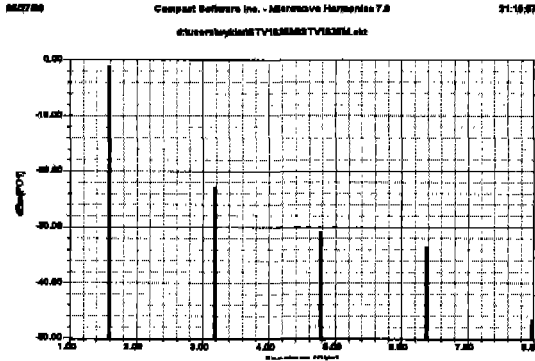


그림 5. 설계된 VCO의 고조파 억압 특성 (2차 억압비 = -19dBc)(Simulation)(시뮬레이션)

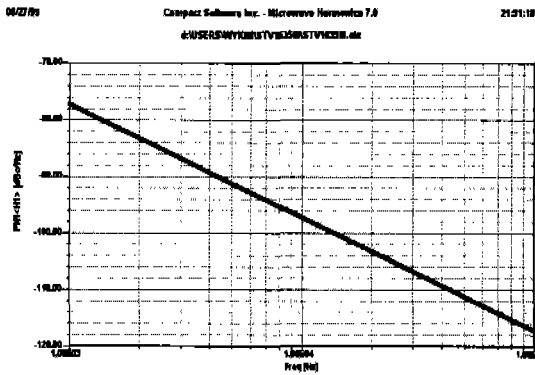


그림 6. 설계된 VCO의 위상잡음 특성 (시뮬레이션)

그림 7에 바이어스를 포함한 전압제어발진기의 최종 설계회로를 도시하였다. R1, R2, R3, Re는 발진부 트랜지스터 TR1과 완충증폭기 트랜지스터 TR2의 동작점을 결정하는 바이어스 저항이며, TR1은 고주파접지 C_{gd} 와 함께 공통 콜렉터 형태로 C_c , C_{id} 를 통해 베이스쪽으로 부성 저항을 만들게 된다. TL2는 공진부소자의 인덕터 역할을 하는 스트립라인이며 C_d 와 병렬로 연결 V_d , C_{vd} 와 함께 주파수 튜닝을 가능하게 한다.

바랙터 다이오드와의 커플링에 관여되는 C_{vd} 는 원하는 튜닝감도 이상의 값을 사용하지 않아야 하며 공진소자의 Q값이 낮기 때문에 커플링 정도가 클수록 회로 Q 및 위상잡음 특성에 나쁜 영향을 미치게 된다.

캐패시터 C_{BP} 및 전송선 TL2는 트랜지스터 Q1 및 Q2에 전원을 공급하기 위한 바이패스 캐패시터 및 choke이며, 캐패시터 C_E 는 공통 컬렉터 상태에 있는 트랜지스터 Q1의 베이스 쪽에 들여다본 임피던스에 부성저항을 만들기 위한 캐패시터로서 사용

주파수에서 그 임피던스 값은 저항 R_E 에 비해 작도록 설정하였다. 캐패시터 C_C 은 캐패시터 C_E 에 의해 생성된 부성저항을 공진기에 커플링 시키기 위하여 사용하였으며, 트랜지스터 Q2는 베이스에 인가된 미소 발진전압을 증폭시켜 캐패시터 C_{out1} 및 C_{out2} 를 통해 부하 50Ω에 최대의 전력이 전달되도록 하였다.

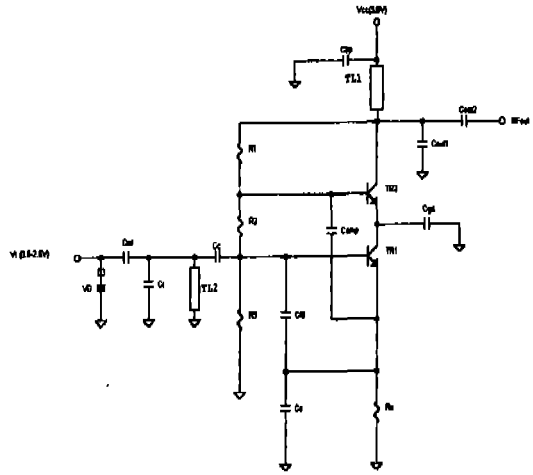


그림 7. 설계된 VCO 회로도

IV. 회로제작 및 시험

앞에서 설계된 회로를 이용하여 FR-4 재질의 4층 PCB를 설계 제작하였으며, solder 면인 1 Layer의 설계 패턴도를 그림 8에 나타내었다. 1층 PCB에 모든 부품이 위치할 수 있도록 구성했으며 RF choke와 공진소자 인덕터를 내부 3층에 구성함으로써 제품의 크기를 현저히 줄일 수 있었다. 공진기의 마이크로스트립라인 인덕턴스 값을 높이고 상대적으로 캐패시턴스 값을 낮게함으로써 Loaded Q 값을 증가시켜 위상잡음특성을 개선하였다. 1층 면에는 주파수 조정을 위해 Copper 면을 두었으며 Copper Plane의 넓이를 Laser trimming 방식으로 가공하여 인덕턴스 값을 조정함으로써 원하는 주파수로 주파수 조정이 될 수 있도록 하였다.

VCO의 외부 인터페이스 단자를 제공하기 위하여 그림과 같이 모서리 부분에 4개의 Thru Hole을 뚫어 단자를 만들었다. PCB에 Shield case를 고정시키고 VCO를 타 기판에 장착할 경우의 공통 접지면을 형성하기 위한 접지단자(GND)를 PCB 측면에 위치시켰다. 전원이 인가되는 단자와 주파수 튜닝

전압이 인가되는 단자에는 decoupling을 위해 큰 값의 캐패시터를 장착했으며 회로의 전체 전력소모를 8.5 mA 이하가 될 수 있도록 설계하였다. 그림 9는 실제 제작된 $6 \times 6 \times 1.8\text{mm}^3(0.065\text{cc})$ 크기의 PCS 단말기용 소형 VCO의 사진이다.

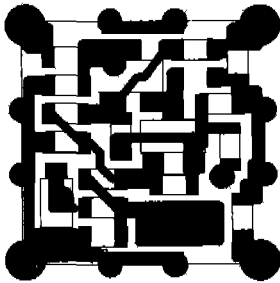


그림 8. 제작된 PCB 1층 패턴도

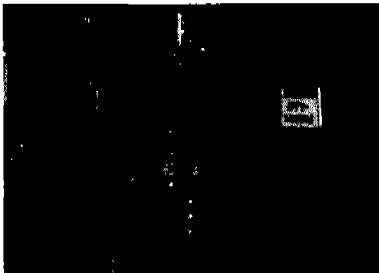


그림 9. 제작된 VCO 사진

그림 10은 제작된 VCO의 출력 특성을 나타내며, 그림 11은 제어전압 V_t 를 0.5 ~ 2.5V로 가변시켰을 경우의 튜닝 범위를 나타낸다. 그림에서 알 수 있는 것처럼 VCO 출력 레벨은 약 -1.670 dBm이었고 튜닝 범위는 52.3MHz로 설계 규격을 잘 만족하였으며, 튜닝 주파수 범위 내에서의 출력레벨 변동도 1dB 내외로 우수한 특성을 지니고 있음을 알 수 있다.

그림 12 및 그림 13은 제어전압 단자에 1.5V를 인가했을 때의 출력 파형과 고조파 및 위상잡음 특성을 각각 나타내고 있다. 제작된 VCO의 고차 고조파 특성이 시뮬레이션 결과와는 다소 차이가 있었으나 시스템 설계시 가장 문제시되는 2차 고조파 억압(harmonic suppression)이 -22.33dBc로 설계 규격보다 훨씬 우수함을 알 수 있었으며, 중심주파수와 10 KHz offset 된 지점에서의 위상잡음은 -99.3 dBc/Hz로 개발된 VCO가 기존 상용화된 경쟁사 제품^{[11],[12]}과 동등 이상의 성능을 지니고 있음을 알 수 있었다.

시뮬레이션 데이터와 실제 시험에서 얻은 데이터와는 발진주파수나 페이즈 노이즈 측면에서 어느 정도 차이가 있었으며, 이는 PCB 제작시에 발생한 에칭 등의 제작 오차 및 사용 부품값 편차에 의한 것으로 생각된다.

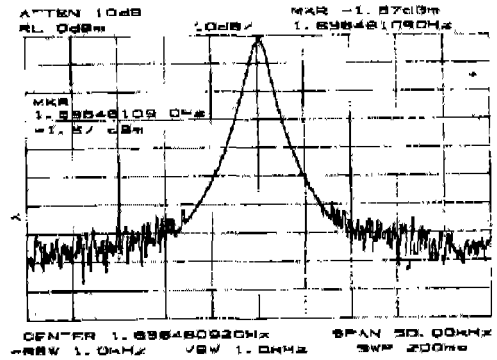


그림 10. VCO 출력 파형

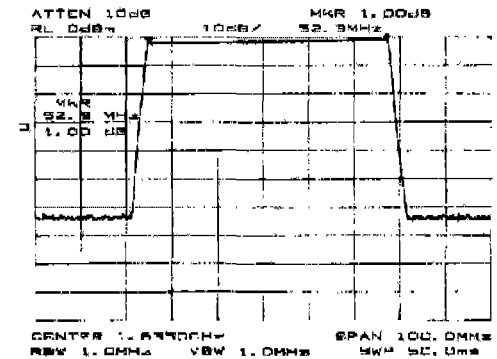


그림 11. 제어전압 변화에 따른 주파수 및 출력 변화

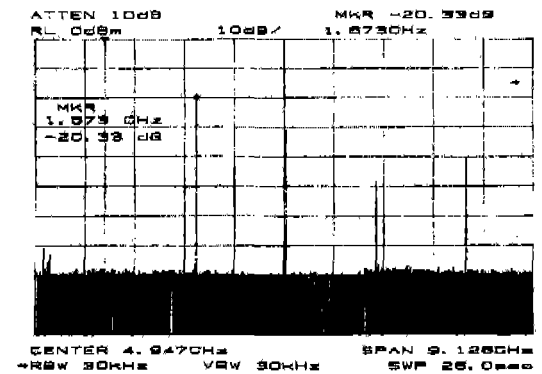


그림 12. VCO의 고조파 억압 특성(2nd / -22.3dBc)

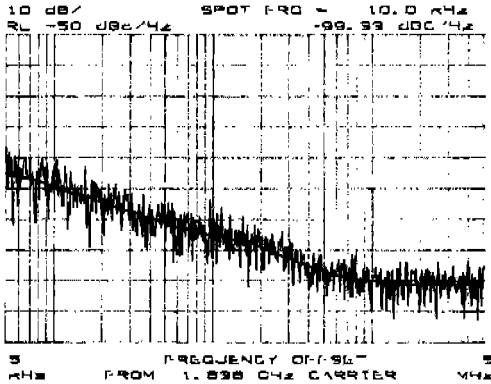


그림 13. 위상잡음 특성(-99.33dBc/Hz @10KHz)

V. 결론

본 논문에서는 국내의 1.6GHz PCS 단말기에 사용할 수 있는 $6 \times 6 \times 1.8 \text{ mm}^3$ (0.065cc) 크기의 초소형 VCO를 개발하였다. 이를 위하여 다층구조를 갖는 Colpitts 형의 LC 동조형 발진기를 설계한 후 회로 시뮬레이터인 Compact Software (Microwave Harmonica 7.0)를 이용하여 회로특성을 최적화하였다. 또한 스트립라인 구조의 공진용 인덕턴스 및 cascode 구조의 회로를 채택함으로써 소모전류의 감소 및 저가격화를 실현하였다. 추출된 최적 설계값을 이용하여 4층 FR-4 PCB 기판을 이용하여 제작하고 Laser trimming 기법을 이용하여 미세 조정 한 후 제반 특성들을 측정, 시험하였다.

개발된 VCO는 제어전압 V_t 를 0.5 ~ 2.5V로 가변시켰을 경우의 튜닝 주파수 범위 52.3MHz 내에서 출력 레벨 약 -1.670 dBm \pm 0.5dBm 내외로 우수한 출력특성을 지니고 있음을 알 수 있다. VCO의 고차 고조파 특성은 시뮬레이션 결과와는 다소 차이가 있었으나 시스템 설계시 가장 문제시 되는 2차 고조파 억압(harmonic suppression)이 -22.33dBc 로 설계 규격보다 훨씬 우수함을 알 수 있었으며, 중심주파수와 10 KHz offset 된 지점에서의 위상잡음은 -99.3 dBc/Hz로 개발된 VCO가 기존 상용화된 경쟁사 제품^{[16],[17]}과 동등 이상의 성능을 지니고 있음을 알 수 있었다. 시뮬레이션 데이터와 실제 시험에서 얻은 데이터와는 발진주파수나 페이즈 노이즈 측면에서 어느 정도 차이가 있었으며, 이는 PCB 제작시에 발생한 에칭 등의 제작 오차 및 사용 부품값 편차에 의한 것으로 생각된다. 실제 시험결과 설계치와의 특성차이가 존재하였으나

PCB 제작 및 사용 부품값등을 좀 더 정밀하게 관리한다면 더욱 우수한 특성의 VCO를 제작할 수 있을 것이다.

앞으로 MMIC를 이용하여 회로를 설계제작하고 세라믹 재질을 기판으로 이용한다면 더욱 우수한 특성의 소형, 저전력 VCO 개발이 가능할 것으로 생각된다.

참고 문헌

- [1] Guillermo Gonzalez, *Microwave Transistor Amplifiers Analysis and Design*, 2nd edition, Prentice Hall, 1997.
- [2] Gary A. Breed(Editor), *Oscillator Design Handbook*, Cardiff Publishing Company, 1990.
- [3] Dan H. Wolaver, *Phase-Locked Loop Circuit Design*, Prentice Hall, 1991.
- [4] G.D. Vendelin, *Design of Amplifiers and Oscillators by the S-Parameter Method*, John Wiley & Sons, 1982
- [5] Randall W. Rhea, *Oscillator Design and Computer Simulation*, Prentice Hall, 1990.
- [6] L.A. Bermudez, "Stabilized oscillator with input dielectric resonator," *Electronic Letters*, vol.17, pp44-55, Jan.1981
- [7] S. Hamilton, "FM and AM noise in microwave oscillator," *Microwave Journal*, pp105-109, Jun.1978
- [8] E.C. Niehenke and R.D. Hess, "A microstrip low-noise X-band voltage controlled oscillator," *IEEE Trans. on MTT*, vol.23,pp661-667, Dec. 1979
- [9] D.F. Paterson, "Varactor Properties for Wideband Linear-tuning Microwave VCOs," *IEEE Trans. on MTT*, vol.28, no.2, pp110-119, Feb.1980
- [10] K.M. Johnson, "Microwave Varactor-tuned Transistor Oscillator Design," *IEEE Trans. on MTT*, vol.14, pp564-571, Sep. 1966
- [11] Sarafian and B.Z. Kaplan, "A New Approach to the Modeling of the Dynamics of RF VCOs and Some of its Practical Implementations," *IEEE Trans. on CAS*, vol.40, pp895-901, Dec. 1979
- [12] R.D. Hess and E.C. Niehenke, "A Microstrip

