

다중BOX분할기법을 이용한 MOS FET의 강반전층내에서의 수직전계해석

정희원 노영준*, 김철성**

The Vertical Field Analysis within the Strong Inversion of MOS FET using the Multi-box Segmentation Technique

Young-Joon Noh*, Cheol-Sung Kim** *Regular Members*

요 약

증가형 MOS FET에서 강반전의 경우 드레인 전류는 모두 드리프트에 기인하여 흐르기 때문에 I-V모델링시 수직전계와 수평전계를 함께 고려하여야한다. 특히 게이트전압 인가시 발생하는 수직전계는 표면이동도에 영향을 크게 주고 이로 인해서 캐리어들의 정상적인 흐름이 저해되는데, 본 논문에서 제안한 다중box분할법에 의하여 반전층의 깊이를 구하고, 이동도 모델에 영향을 크게 미치는 반전층 내에서의 수직전계를 수치해석하였다.

ABSTRACT

We have to consider the drain current as consisting of two components the vertical electric field and the longitudinal electric field because the drain current is almost totally due to the presence of drift in strong inversion of n-MOS FET. Especially the mobility of electrons in the inversion layer is smaller than the bulk mobility because the vertical electric field component that is generated by the effect of the gate voltage is perpendicular to the direction of normal current flow. By the multi-box segmentation technical method that are proposed in this paper we calculated the inversion layer depth and analyzed the vertical electric field component which has an large influence on mobility model.

I. 서론

지금까지는 캐리어의 이동도가 상수로서 불순물 농도와 게이트 전압에 무관하다는 가정하에 N-channel MOSFET의 I-V modelling을 유도하였다. 그러나 이러한 가정은 표면이동도가 도핑농도와 수직, 수평방향전계에 따라 모두 영향을 받으므로 바람직한 근사가 못된다. 도핑의 영향은 소자의 동작에서 부차적이라 하더라도 이동도의 전계의존성은 무시할 수 없다^{[1][2]}. 특히 소자의 크기가 서브 마이크론 이

하로 감소함에 따라 채널도핑 농도가 증가하고 채널의 길이가 짧아짐에 따라 반전층에서 수직전계의 영향이 증가하게된다^[3]. 이에 MOSFET의 전기적 특성을 정확하게 예측하기 위해서는 캐리어 이동도에 직접적인 영향을 주는 수직전계를 정확하게 구현하여야한다.

범용화된 2차원 소자시뮬레이터인 MEDICI에서 사용하는 삼각형요소에 의한 전계계산방법인 유한차분법으로 명명되는 Scharfetter-Gummel방법^[4]은 삼각형의 세 모서리를 따라 수직인 방향으로 수직전

* 재능대학 정보통신과(nohyj@mail.jnc.ac.kr)

** 인하대학교 전자공학과

논문번호 : 00028-0121 접수일자 : 2000년 1월 21일

계들을 결정하였으나 실제로 전류가 임의의 방향으로 흐르는 요소 내부의 경우에는 수직전계를 결정할 수가 없으므로 이동도를 결정할 수가 없다. 그러므로 요소내부에 대한 전류밀도는 어셈블할 수가 없다는 단점이 있다.

이러한 MEDICI의 전위계산의 단점을 해결하기 위해 절점간 전위가 선형으로 변화한다고 가정하여 절점에서의 전계를 연속으로 처리하는 유한요소법을 사용하여 전하적분행렬⁵⁾을 직접 적분함으로써 적분 오차를 최소화한다. 그러나 범좌표계 요소는 규칙성이 없어 반송자농도의 적분범위를 설정할 수 없으므로 적분구간의 설정이 용이하도록 정규화된 삼각형으로 변환하여 적분을 수행해야하는 등 이산화과정의 복잡성을 피할길이 없다.

본 논문에서는 이러한 복잡성을 피하고, 계단근사법에 의한 개략화가 아닌 표면깊이에 따르는 이온주입농도를 고려한 새로운 이른바 “box”분할기법을 써서 수직전계를 계산하였다. 즉, 표면으로 부터의 수직방향을 범좌표계의 y방향으로 결정하고, 이온주입에 의한 가우시안 분포를 Δy의 일정한 간격의 “box”로 세분화하고, 표면전위로 부터 각 box의 농도와 각 “box”까지의 거리에 의해서 결정되는 potential drop을 고려하여, 각 box의 vertical potential φ(y)를 구한다. 그리고 이 vertical potential φ(y)로부터 이온주입농도를 고려한 각 “box”별 전하량 Q_{im}(Δy)를 구하고, 이 “box”들의 전하량을 합한 총전하량으로 구한 전하량밀도 Q_{NV}'가 이미 알려진 계단근사법에 의하여 구한 값인 단위면적당 반전층 전하량밀도 Q_i'와 같게 되는 깊이를 반전층 깊이로하여 강반전조건하에서의 반전층의 깊이를 결정하였다⁶⁾.

다음으로 이온주입농도를 고려한 포와송(Poisson)의 방정식으로 부터, 수직전계를 구하는 식을 유도하고, 표면으로 부터 벌크 방향으로 분할된 각 “box”의 vertical potential φ(y)를 적분구간으로 설정하여 부분적분으로 반전층내의 “box”별 수직전계 E(y)를 구하였다.

II . Vertical potential 추출

반도체 웨이퍼에 1차 이온 주입을 한후 웨이퍼의 손상을 복구하고 동시에 implant를 활성화시키기 위하여 2차 열처리과정을 거치는데, 이때 어닐링을 수행하였다면 straggle ΔR_p⁷⁾는 다음과 같이 변한다.

$$\Delta R_p \Rightarrow \sqrt{\Delta R_p^2 + 2Dt} \quad (1)$$

여기서, ΔR_p는 주입된 이온이 비정방향에서 벗어난 표준편차이며, D는 도펀트 불순물원자들의 Si 내에서의 확산정수로 시간의 함수이며, t는 어닐링 시간이다. 이 경우 최종 implant 농도 N_{ion}(y)는 다음식에 의하여 Gaussian분포로 근사된다.

$$N_{ion}(y) = \frac{D_I}{\sqrt{2\pi} \sqrt{(\Delta R_p)^2 + 2Dt}} \exp\left[-\frac{1}{2} \left(\frac{y - R_p}{\sqrt{(\Delta R_p)^2 + 2Dt}}\right)^2\right] \quad (2)$$

$$N(y) = N_{ion}(y) + N_{BC} \quad (3)$$

여기서, D_I는 dose농도이고, R_p는 입사방향으로 투영된 주입원자의 평균적인 비정도로 주입에너지와 도펀트질량의 함수이다. N_{BC}는 기판농도다.

본 논문에서는 1 × 10¹⁵ cm⁻³의 기판농도를 갖는 p형 Si 웨이퍼에 도우즈(dose)농도 1 × 10¹² cm⁻² 보론을 50KeV의 열에너지로 가속 하고 1000°C 에서 30분간 어닐링을 한 n-MOS FET를 기본 시료로 하였으며, 이때 이온주입의 범위와 폭을 나타내는 R_p와 ΔR_p는 주입된 불순물의 종류뿐만 아니라 주입이온 빔의 에너지의 크기에 의존하며, 이들의 값들은 위에서 주어진 조건하에서 R_p ≅ 1.7 × 10⁻⁵ cm, ΔR_p ≅ 5 × 10⁻⁶ cm⁸⁾로 된다. 그림 1은 이온주입 후의 implant profile과 어닐링을 한 후의 implant profile을 나타낸 것이다.

벌크쪽에서 표면쪽으로 에너지대의 휘어진 정도를 나타내는 표면전위는 Poisson 방정식에 대한 반송자 농도를 결정하는 파라미터로서, 표면으로 부터의 수직전위식 유도시에 (V_{CB} - V_{FB})와 V_{CB}의 함수로써 식의 전개가 필요하다. 그러나 불균일 기판농도의 포와송 방정식으로 부터 직접적인 유도가 어렵기 때문에, 기존의 방법중 기판-산화층 접합면 아래의 공핍영역폭의 변화에 따른 각각의 표면전위 φ_s, 게이트-기판바이어스 V_{CB} 소스-기판 바이어스 V_{CB}들의 쌍을 생성하는 방법을 사용하는데 이렇게 완성된 φ_s - V_{CB} 관계식은 폭 W를 매개변수로 사용하기 때문에 프로그램으로 구현하기 위해서는 W에 따른 φ_s, V_{CB}, V_{CB}쌍을 생성하여 저장하는 방식을 취한다. 각 쌍들의 저장과 출력에는

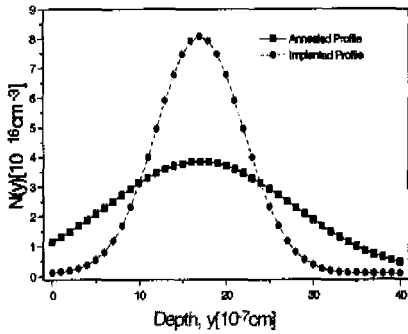


그림 1. 이온주입후의 불순물분포

내츄럴큐빅 스플라인 (natural cubic spline) 함수와 2차 형상함수 (quadratic shape function)를 이용하여 야 한다^[9].

그러나 본 논문에서는 수직전위의 직접적인 유도를 위한 방법으로 그림 2와 같이 표면에서 벌크방향으로 불순물 농도 분포를 Δy 간격으로 "box"분할하고, 각 분할점 $y_0, y_1, y_2, \dots, y_n$ 에 해당하는 이온주입된 불순물 농도가 각 "box"내에서는 균일하다는 데 착안하여 vertical potential $\phi(y)$ 를 유도하였다. 강반전층일 때, $y=0$ 에서의 표면전위 $\phi(y_0)$ 는 다음과 같다.

$$\phi(y_0) = \phi_B(0) + V_{CB} \quad (4)$$

$$\phi_B(0) = 2 \phi_F(0) + 6 \phi_i + \phi_i \log [N(y_0) / N_{BC}] \quad (5)$$

$$\phi_F(0) = \phi_i \log (N(y_0) / n_i) \quad (6)$$

여기서, $\phi_B(0)$ 는 강반전시 $S_1 - S_2$ 계면에

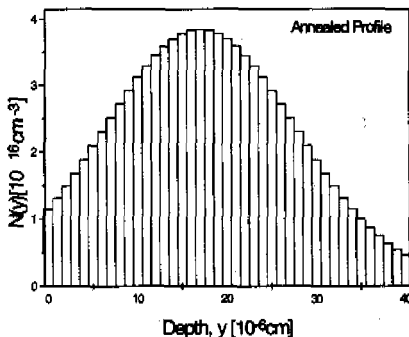


그림 2. "box" 분할된 불순물 농도 분포

나타나는 내부 접촉전위이다. $N(y_0)$ 는 $y=0$ 에서의 이온주입된 농도이다.

채널내의 전자농도식은 p형 3-terminal MOS구조의 경우 표면전위 $\phi(y)$ 를 $\phi(y) - V_{CB}$ 로 비꾸어 야 하고, 정공은 외부전원과 직접적으로 관계하지 않는다고 가정한다면, 정공농도는 단지 $\phi(y)$ 에만 의존한다고 할 수 있으므로 반도체 내부 깊이 y 에서의 전자 및 정공전하밀도는 각각,

$$n(y) = n_{p0} e^{\frac{\phi(y) - V_{CB}}{\phi_i}} \quad (7)$$

$$p(y) = p_{p0} e^{-\frac{\phi(y)}{\phi_i}} \quad (8)$$

로 표시된다. 또한 부가된 이온주입농도를 고려할 경우 Poisson의 방정식은 다음과 같다.

$$\frac{d^2 \phi(y)}{dy^2} = -\frac{q}{\epsilon_S} [p_{p0} e^{-\frac{\phi(y)}{\phi_i}} - n_{p0} e^{\frac{\phi(y) - V_{CB}}{\phi_i}} - N_{ion}(y) - N_A] \quad (9)$$

여기서, $N_{ion}(y)$ 는 y 깊이에서의 추가된 이온주입 농도이다. 식 (9)의 양변에 $2(\frac{d\phi(y)}{dy})$ 를 곱하면,

$$d \left[\frac{d\phi(y)}{dy} \right]^2 = -\frac{2q}{\epsilon_S} [p_{p0} e^{-\frac{\phi(y)}{\phi_i}} - n_{p0} e^{\frac{\phi(y) - V_{CB}}{\phi_i}} - N_{ion}(y) - N_A] d\phi(y) \quad (10)$$

양변을 $\phi(y_{j-1}) \leq \phi(y) \leq \phi(y_j)$ 범위까지의 정적분을 취하면 (단 $j=1, 2, 3, \dots$)

$$\left[\frac{d\phi(y)}{dy} \right]^2 = -\frac{2q}{\epsilon_S} \int_{\phi(y_{j-1})}^{\phi(y_j)} [p_{p0} e^{-\frac{\phi(y)}{\phi_i}} - n_{p0} e^{\frac{\phi(y) - V_{CB}}{\phi_i}} - N_{ion}(y) - N_A] d\phi(y) \quad (11)$$

$$n_{p0} = n_i e^{-\frac{\phi_F(y)}{\phi_i}}, \quad \phi_F(y) = \phi_i \log \left(\frac{N(y)}{n_i} \right)$$

이므로,

$$\begin{aligned} \left[\frac{d\phi(y)}{dy} \right]^2 = & -\frac{2q N_A}{\epsilon_S} \left[-\phi_i e^{-\frac{\phi(y)}{\phi_i}} \right. \\ & - \phi_i e^{\frac{\phi(y) - 2\phi_F(y) - V_{CB}}{\phi_i}} - (1 + N_{ion}(y) / N_A) \\ & \left. \phi(y) + \phi_i e^{-\frac{\phi(y_{j-1})}{\phi_i}} + \phi_i e^{\frac{\phi(y_{j-1}) - 2\phi_F(y) - V_{CB}}{\phi_i}} \right. \\ & \left. + (1 + N_{ion}(y_{j-1}) / N_A) \phi(y_{j-1}) \right] \quad (12) \end{aligned}$$

$$\begin{aligned}
 &= -\frac{2q N_A}{\epsilon_s} \left[\phi_i \left(e^{-\frac{\phi(y_{j-1})}{\phi_i}} - e^{-\frac{\phi(y_j)}{\phi_i}} \right) \right. \\
 &+ \phi_i e^{-\frac{-2\phi_F(y) - V_{cb}}{\phi_i}} \left(e^{\frac{\phi(y_{j-1})}{\phi_i}} - e^{\frac{\phi(y_j)}{\phi_i}} \right) \\
 &+ (1 + N_{ion}(y_{j-1})/N_A)\phi(y_{j-1}) \\
 &\left. - (1 + N_{ion}(y_j)/N_A)\phi(y_j) \right] \quad (13)
 \end{aligned}$$

그런데 수직전계 $E(y) = -d\phi/dy$ 이므로 범위 $\phi(y_{j-1}) \leq \phi(y) \leq \phi(y_j)$ 에 해당되는 각 box 전계 $E(y_{j-1,i})$ 는 다음 식으로 표시할 수 있다.

$$\begin{aligned}
 E(y_{j-1,i}) &= \sqrt{\frac{2q N_A}{\epsilon_s} \left[\phi_i \left(e^{-\frac{\phi(y_{j-1})}{\phi_i}} - e^{-\frac{\phi(y_j)}{\phi_i}} \right) \right.} \\
 &+ \phi_i e^{-\frac{-2\phi_F(y) - V_{cb}}{\phi_i}} \left(e^{\frac{\phi(y_{j-1})}{\phi_i}} - e^{\frac{\phi(y_j)}{\phi_i}} \right) \\
 &+ (1 + N_{ion}(y_{j-1})/N_A)\phi(y_{j-1}) \\
 &\left. - (1 + N_{ion}(y_j)/N_A)\phi(y_j) \right]^{1/2} \quad (14)
 \end{aligned}$$

반전층깊이를 알아내기 위해서는 그림 3과 같이 미세하게 box로 구분하고, 각 box상하의 경계면에서의 vertical potential $\phi(y)$ 를 추출하는 것이 중요하다.

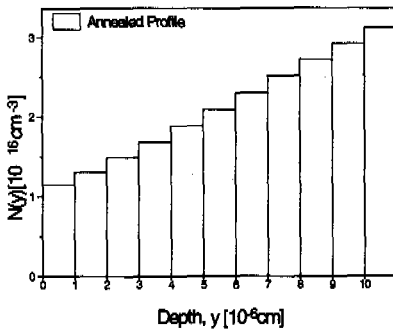


그림 3. 수직전위계산을 위한 box분할

지금 bulk potential $\phi(y_{n+1})$ 은 이온주입을 고려한 "box"내 도펀트농도와 거리에 의한 potential drop $\Delta\phi(y_n)$ 의 함수로 다음과 같이 나타낼 수가 있다^[10].

$$\phi(y_{n+1}) = \phi(y_n) - \Delta\phi(y_n) \quad (15)$$

$$\Delta\phi(y_n) = \Delta y E(y_n) + \frac{q N(y_n) \Delta y^2}{2 \epsilon_s} \quad (16)$$

우선, $\phi(y_{n+1})$ 를 $\phi(y_\infty) = 0$ 즉 bulk내의 $y = \infty$ 의 기준점으로 취하고, $\phi(y_n)$ 을 $\phi(y_0)$, 즉 산화막 계면의 $y=0$ 인 점으로 취하면 이 값은 표면전위 값인 식 (4)가 되므로 식 (14)에 의해서 $E(y_0)$ 를 구할 수 있다. 따라서, "box" 1에서의 potential drop $\Delta\phi(y_0)$ 은 식 (16)으로 구하고 이 값을 식 (15)에 대입하므로써 $\phi(y_1)$ 을 구할 수 있다. 이러한 연산의 반복작업을 통하여 $\phi(y_1), \phi(y_2), \phi(y_3), \dots, \phi(y_n)$ 을 추출할 수 있다.

III. 반전층깊이 추출

ion 농도분포의 일반적인 형태인 Gauss분포를 계단형으로 근사화시켜 놓고 기판농도 N_{BC} 와 평균 이온주입농도 N_I 의 합을 실효기판농도 N_{AS} 로 하여, 반전상태에서의 MOS FET특성을 나타낸 식들인 potential balance식과 charge balance식 그리고 전하량과 potential과의 관계식들을 이용하여, 게이트비어스전압 V_{CB} 와 채널전압 V_{CB} 로 표시되는 강반전에서의 단위면적당 반전층전하 Q'_i 는 다음과 같이 표시된다^[10].

$$\begin{aligned}
 Q'_i &= -C_{ox}' [V_{CB} - V_{CB} - V_{FB} - \phi_B(S) \\
 &\quad - \gamma (\phi_B(S) + V_{CB})^{1/2}] \quad (17)
 \end{aligned}$$

$$\phi_B(S) = 2 \phi_F(S) + 6 \phi_i + \phi_i \log [N_{AS}/N_{BC}] \quad (18)$$

$$\phi_F(S) = \phi_i \log (N_{AS}/n_i) \quad (19)$$

여기서, C_{ox}' 는 산화막용량, γ 는 몸체계수이고 V_{FB} 는 implant된 기판의 flat-band voltage이며, $\phi_B(S)$ 는 실효기판농도 N_{AS} 를 고려할 경우의 강반전에서의 표면전위를 나타내는 특정한 값이다.

지금, implant되지 않았을 경우의 기판농도만을 고려한 경우의 경계면에서의 전자농도는,

$$n_{surf} = N(y_0) e^{(2\phi_B(0) - (2\phi_F(0) + V_{cb}))/\phi_i} \quad (20)$$

이고, 이때의 전하량은,

$$Q_B(0) = q n_{surf} \Delta y W L \quad (21)$$

이다. implant되어 있을 경우의 깊이 y 에서의 전자농도는,

$$n_{im}(y_n) = n_{po} e^{(\phi(y_n) - V_{CB})/\phi_0} \quad (22)$$

이다. 따라서, 각 Δy box내의 전하량은,

$$Q_{im}(\Delta y_n) = q n_{im}(y_n) \Delta y W L \quad (23)$$

이고, 이들 Δy box내의 전하량을 합한 총전하량은,

$$Q_{TOT} = Q_B(0) + \sum_{n=1}^N Q_{im}(\Delta y_n) \quad (24)$$

이다. 따라서, 반전층내의 전하량밀도는,

$$Q_{INV}' = Q_{TOT}/WL \quad (25)$$

로 나타낼 수 있다.

식 (15)의 vertical potential $\phi(y_n)$ 의 값을 이용하면 식 (23)으로부터 Δy 구간내의 전하량을 구할 수 있고, 이들 값으로부터 계산된 밀도인 Q_{INV}' 가 기존의 Charge-sheet model 에 의한 강반전층에서의 반전층 전하량 밀도 Q_I' 와 같게되는 깊이가 바로 반전층이 형성되는 깊이로 간주할 수 있으므로 본 논문에서는 식 (17)과 식 (25)가 같게 되는 표면깊이 y 를 반전층의 깊이 D_{INV} 으로 하여 computer simulation으로 구하였다.

표 1에 채널전압 V_{CB} 를 0[V], 1[V] 및 2[V]일 경우, V_{GB} =1[V], 2[V], 3[V], 4[V], 5[V]로 변화시켰을때의 반전층의 깊이를 computer simulation 으로 구한 결과를 나타냈다.

동일한 게이트전압 V_{GB} 에 대해서 채널전압 V_{CB} 가 0V에서 2V로 증가함에 따라 채널깊이는 감소함을 알 수 있는데 이것은 채널전압이 유지된 채널층에 역바이어스로 걸려 채널단자를 통해서 이 동전하들이 흘러 나가기 때문이다. 심지어 V_{CB} 를 2V 인가하여도 V_{CB} 가 2V가 걸리면 반전층 형성이 전혀 되지를 않는다. 또한 게이트전압 V_{GB} 가 증가함에 따라 채널의 폭은 증가하여 V_{CB} 1V ~ 5V일 때 채널깊이는 2Å ~ 80Å의 범위를 갖는다. 이 값은 이미 반전층이 약 30-300Å^[11]으로 알려진 값과 같음을 알 수 있다. 그리고 게이트전압 V_{GB} 와 채널전압 V_{CB} 가 같게 인가될때는 채널은 전혀 형성이 되지 않음을 관찰할 수가 있다. 따라서 반전층의 깊이 D_{INV} 는 게이트전압과 채널전압에 의해서 결정되며, V_{CB} 가 일정할 경우 게이트전

표 1. V_{GB} 와 V_{CB} 에 의한 반전층의 깊이 (단위 Å)

$V_{GB} \backslash V_{CB}$	1[V]	2[V]	3[V]	4[V]	5[V]
0[V]	2	6	14	30	80
1[V]	0	1	6	16	36
2[V]	0	0	1	7	16

압의 변화 ΔV_{GB} 에 의해서 ΔD_{INV} 가 이루어지고 이로인해 소스에서 드레인으로 흐르는 채널 전류는 제어된다. 지금까지 반전층의 두께가 게이트전압에 의해서 결정된다는 것만을 알고 있었을 뿐 얼마의 깊이까지 형성되는가에 대해서는 정확한 데이터가 없었는데 본 논문에서 제안한 방법에 의해서 게이트전압과 채널전압에 의한 반전층의 형성관계를 수치해석함에 따라서 반전층에 대한 MOS FET의 물리적 동작 메카니즘을 규명할 수 있게 되었다.

IV . 실험결과 및 고찰

그림 4, 5, 6은 $S_i - S_i O_2$ 계면으로 부터 벌크방향으로의 vertical potential $\phi(y)$ 를 나타낸 그림이다. 그림 4는 $V_{GB}=5V$, $V_{CB}=0V$ 일 때의 vertical potential $\phi(y)$ 를 나타낸 것으로 $0[10^{-7}cm]$ ~ $8[10^{-7}cm]$ 의 범위에서 $\phi(y)=0.9202361V$ ~ $0.8382652V$ 의 값을 가지며, 표면에서 부터 반전층 깊이로 내려갈수록 $0.1[V/\mu cm]$ 비율로 서서히 감소하여 반전층의 끝에서 표면전위와의 차는 0.082V이다.

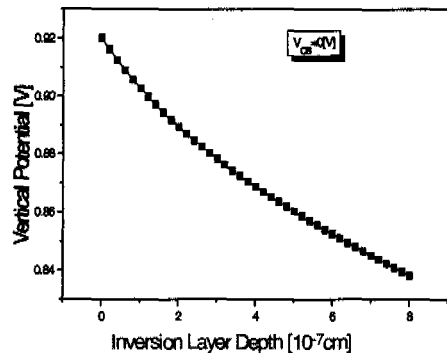


그림 4. $V_{GB}=5[V]$, $V_{CB}=0[V]$ 일 때의 수직전위 $\phi(y)$

그림 5는 $V_{GB}=5V$, $V_{CB}=1V$ 일 때의 vertical potential $\phi(y)$ 를 나타낸 것으로 $0[10^{-7}cm]$

~3.6[10⁻⁷cm]의 범위에서 $\phi(y)=0.9202361V\sim 0.8382652V$ 의 값을 가지며, 표면에서 부터 반전층 깊이로 내려갈수록 0.144 [V/ucm] 비율로 서서히 감소하여 표면전위와의 차는 0.052 V이다.

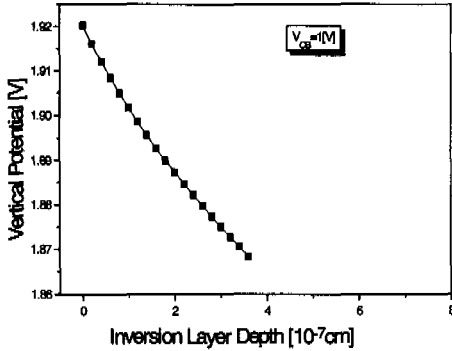


그림 5. V_{GB}=5V, V_{CB}=1V일 때의 수직전위 $\phi(y)$

그림 6은 V_{GB}=5V, V_{CB}=2V일 때의 vertical potential $\phi(y)$ 를 나타낸 것으로 0[10⁻⁷cm]~ 1.6[10⁻⁷cm]의 범위에서 $\phi(y)=2.920236V\sim 2.891277V$ 의 값을 가지며, 벌 크깊이에 따라 0.188 [V/ucm] 비율로 급격히 감소하여 반전층 끝에서 표면전위와의 차는 0.03 V이다. 따라서, V_{CB}가 클 수록 vertical potential $\phi(y)$ 도 비례적으로 증가함을 알 수 있으며, 또한 y방향의 감소도 커짐을 관찰할 수 있다.

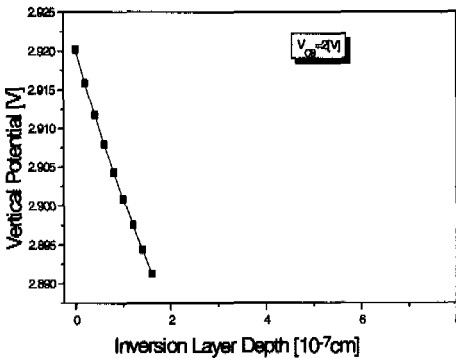


그림 6. V_{GB}=5[V], V_{CB}=2[V]일 때의 수직전위 $\phi(y)$

다음은 식 (15)에 의해서 구한 vertical potential [$\phi(y_0)$, $\phi(y_1)$, [$\phi(y_1)$, $\phi(y_2)$], [$\phi(y_2)$, $\phi(y_3)$], ..., 를 식 (14)의 [$\phi(y_{j-1})$, $\phi(y_j)$]의 항에 대입하여 부분정적분으로 각 box에서의 수직전계를 구하였다.

그림 7, 8, 9는 주어진 시료조건에서 V_{GB}=5V로 일정하게하고 V_{CB}를 0V,1V 그리고 2V로 변화시켰을 때의 각 box별 수직전계의 분포를 컴퓨터 시뮬레이션에 의하여 나타낸 것이다. 그림 7은 V_{GB}=5V, V_{CB}=0V일 때의 경우로 반전층 내에서의 수직전계의 크기는 73,153.02 [V/10⁻⁸cm] ~ 8,322.408 [V/10⁻⁸cm]이며, 표면에서 최대값을 가지며, bulk쪽으로 내려갈수록 점차적으로 적어져 반전층 끝부분에서는 거의 비슷한 값을 나타내며, 그 폭은 64.8 [KV/10⁻⁸cm]임을 관찰할 수 있다. 그림 8은 V_{GB}=5V, V_{CB}=1V일 때의 경우로 반전층내에서의 수직전계의 크기는 74,593.03 [V/10⁻⁸cm] ~ 19,183.94 [V/10⁻⁸cm]이며, 표면에서 최대값을 가지며, bulk쪽으로 내려갈수록 적어져 그 감소폭은 55.4 [KV/10⁻⁸cm]이다. 그림 9는 V_{GB}=5V, V_{CB}=2V일 때의 경우로 반전층내에서의 수직전계의 크기는 75,941.11 [V/10⁻⁸cm] ~ 35,608.84 [V/10⁻⁸cm]며, 표면에서 최대값을 가지며, bulk쪽으로 내려갈수록 급격히 적어지고, 그 폭은 39.9 [KV/10⁻⁸cm]이다.

결론적으로, V_{GB}=5V로 일정하게 두고, V_{CB}=0V~2V로 변화시킨 결과 반전층내의 수직전계의 세기는 별로 변화가 없고, 다만 반전층의 깊이만이 크게 변화하였다. 즉, V_{CB}가 증가할수록 반전층의 두께는 급격히 감소함을 관찰할 수가 있다. 따라서, 수직전계는 S_i-S_i; O₂의 계면에 생기는 내부접촉전위인 $\phi_B(0)$ 에만 관계하므로 캐리어의 이동을 저해하는 수직전계를 적게하기 위해서는 표면이온 주입농도를 가급적 작게하는 반도체 제조공정이 필요하다고 본다.

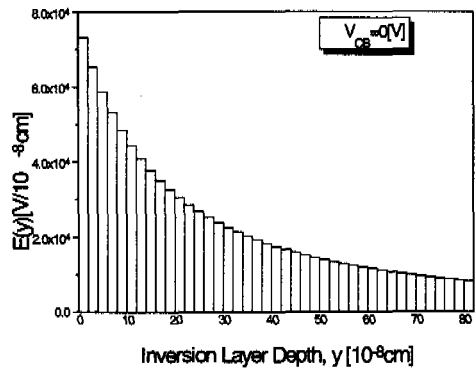


그림 7. V_{GB}=5V, V_{CB}=0V일때의 반전층내의 수직전계

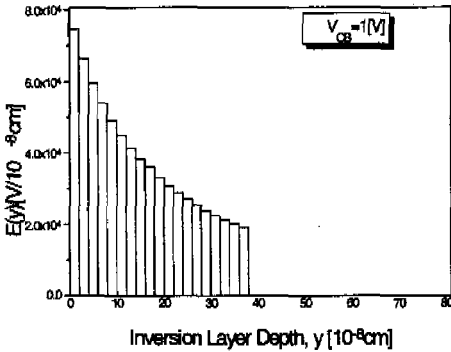


그림 8. V_{GB}=5V, V_{CB}=1V일때의 반전층내의 수직전계

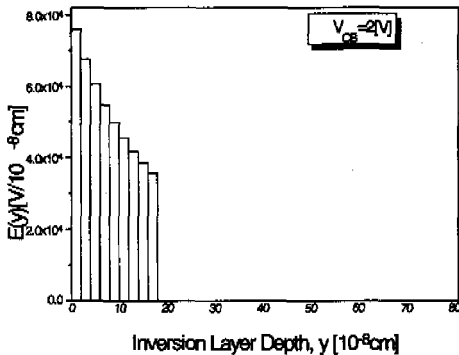


그림 9. V_{GB}=5V, V_{CB}=2V일때의 반전층내의 수직전계

V. 결론

증가형 MOS FET는 문턱전압이상의 게이트 전압을 인가할 때 S₁, O₂피막에 생기는 수직전계에 의하여 이동전하들에 의한 반전층이 형성되고 이로 인해 드레인 전류가 흐른다. 또한 강반전상태에서는 이 드레인 전류는 주로 드리프트에 기인하기 때문에 이동도의 영향을 받으며, 이 이동도는 반전층내의 수직전계에 크게 의존한다. 따라서 증가형 MOS FET의 동작 메커니즘을 규명하기 위해서는 게이트 전압에 의한 반전층 형성과 이 반전층에 유기되는 수직전계의 모델화가 대단히 중요하다.

본 논문의 목적은 이 두 가지의 이론을 정립하기 위한 것으로 결론적으로 다음과 같이 요약할 수 있다.

첫째로, 이온주입농도를 충실히 살리기 위하여 기존의 계단근사법에 의존하지 않고, 새로운 'multi-box' 분할기법을 이용하였다.

둘째로, 'box' 상호경계면의 vertical potential을 구하기 위하여 'box' 간격과 'box'내 농도에 의하여 결정되는 potential drop을 이용하였다. 그 결과 vertical potential은 표면으로 부터 벌크쪽으로 V_{CB}의 값에 따라 감소량이 증가함을 알 수 있었다.

셋째로, 'box' 경계간의 vertical potential을 이용하여 Δy 'box'내 전하량을 구하고 반전층깊이를 유도하였다. 그 결과 주어진 시료에서 반전층깊이는 V_{CB}=1V~5V인가지 2[Å]~80[Å]의 값을 얻었고, V_{CB}에 의하여 반전층깊이가 크게 감소함을 알 수 있었다.

넷째로, 'box' 경계의 상하 vertical potential을 이용하여 직접 정적분함으로서 'box'내 수직전계를 computer simulation하였다. 그 결과 수직전계값은 V_{CB}=5V, V_{CB}=0V에서는 73.2[KV/10⁻⁸cm]~8.3[KV/10⁻⁸cm]이었고, V_{CB}=5V, V_{CB}=1V에서는 74.6[KV/10⁻⁸cm]~19.2[KV/10⁻⁸cm]이었고, V_{CB}=5V, V_{CB}=2V에서는 75.9[KV/10⁻⁸cm]~35.6[KV/10⁻⁸cm]이었다. 표면전계강도는 거의 같다고 볼 수 있으며, 따라서, 강반전의 경우에는 반전층내 수직전계강도는 V_{CB}와 에는 무관하며, 다만 반전층 깊이에만 관계함을 관찰할 수 가 있다. 또한 소스에서 출발한 캐리어들은 수직전계강도가 적은 반전층의 하부로 흘러 드레인에 도달하게 되므로 반전층의 깊이가 깊수록 채널의 실효길이는 길어진다. 따라서, V_{GB}가 클수록 캐리어들의 주행 거리는 길어지고, 응답속도는 떨어지게 된다.

본 논문으로 인하여 2차원 소자 시뮬레이터인 MEDICI나 3차원 소자 시뮬레이터인 DAVINCI 등을 이용하지 않고서도 쉽게 반전층깊이와 수직전계를 계산할 수 있으므로 인해서 MOS FET의 I-V modelling에 이들 값들을 적용할 수 있도록 했다. 이 수치해석이론을 범용화된 2차원 공정 시뮬레이터인 TSUPERM4에 적용하여 2차원이나 3차원으로 반전층깊이의 형성과정을 영상처리하는 것이 앞으로의 과제이다.

참고 문헌

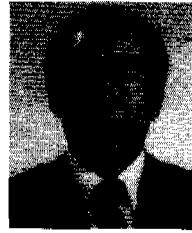
- [1] 이정 한, 박 계 달, "최신반도체디바이스", 회중 당, pp. 247-249, 1996.
- [2] Chih-Tang Sah, Fundamentals of Solid-State

Electronics, *World Scientific*, pp.668-673, 1994.

- [3] H. Shin, G. M. Yeric, A. F. Tasch, and C. M. Maziar, "Physically-based Models for Effective Mobility and Local-field Mobility of Electrons in MOS Inversion Layers", *Solid State Electrons*, pp. 123-131, 1990.
- [4] S. A. Mujtaba, R. W. Dutton and D. L. Scharfetter, "Semi-Empirical Local NMOS Mobility Model for 2-D Device Simulation Incorporating Screened Minority Impurity Scattering", *Hilton Hawaiian Village, Honolulu, HI, June 1994*.
- [5] 김태한, 이은구, 김철성, "우수한 수렴 특성을 갖는 3차원 포아송 방정식의 이산화 과정", *대한전자공학회지*, 제34권 D편 제8호, 1997.
- [6] 노영준, 김철성, "n-MOS FET의 강반 전영역에서의 반전층깊이 해석", *한국통신학회지*, 제24권 제6T호, pp. 132-138, 1999.
- [7] Sorab K. Ghandhi, *VLSI Fabrication Principles, John Wiley & Sons*, pp. 368-419, 1994.
- [8] R. S. Muller, T. I. Kamins, *Device Electronics for Integrated Circuits, John Wiley & Sons*, pp. 80-89, 1986.
- [9] 최창현, "표면전위를 이용한 저전압회로용 n-MOS FET의 I-V 모델링", *인하대학교 대학원 석사학위 논문*, pp. 13-27, 1997.
- [10] Yannis P. Tsividis, *Operation and Modelling of the MOS Transistor, McGraw-Hill*, pp. 118-459, 1988.
- [11] Stanley Wolf, *Silicon Processing for the VLSI ERA, Lattice Press*, pp. 145-150, 1995.

노영준(Young-Joon Noh)

정회원



1966년 : 한국항공대학교

통신공학과 (공학사)

1982년 : 인하대학교 대학원

전자공학과(공학석사)

2000년 : 인하대학교 대학원

전자공학과

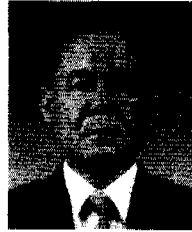
박사과정수료

1975년 ~ 현재 : 재능대학 정보통신과 교수

<주관심 분야> 반도체소자개발, 자동화회로설계

김철성(Cheol-Sung Kim)

정회원



1962년 : 청주대학교 물리학과

1972년 : 일본경동의숙대학교

(공학석사)

1979년 : 일본경동의숙대학교

(공학박사)

1979년 ~ 현재 : 인하대학교

전자공학과 교수

<주관심 분야> VLSI 설계