

고밀도 DVD 시스템을 위한 FDTTrS/DF 신호 검출기의 FPGA 구현

정희원 정 조 훈*, 양 원 영*, 조 용 수*

FPGA Implementation of an FDTTrS/DF Signal Detector for High-density DVD System

Jo Hoon Jung*, Won Young Yang*, and Yong Soo Cho *Regular Members*

요 약

본 논문에서는 고밀도 DVD(Digital Versatile Disc) 시스템(4.7GB~15GB)을 위한 신호 검출기법을 제안하고 FPGA로 구현한다. 본 논문에서 제안하는 FDTTrS/DF(Fixed Delay Trellis Search with Decision Feedback)는 FDTS/DF(Fixed Delay Tree Search with Decision Feedback)에서 사용하는 이진 가지 구조를 트렐리스 구조로 변환하여 유도되었기 때문에 FDTS/DF나 SSD/DF(Signal Space Detection with Decision Feedback)와 같이 이진 가지 구조를 사용한 신호검출방식에 비하여 향상된 성능을 얻을 수 있다. 또한 FDTTrS/DF는 한 단으로 구성된 트렐리스를 사용하므로 비터비 알고리즘에서 필요한 traceback을 할 필요가 없어 하드웨어가 간단하고 동작 속도가 빨라지는 장점이 있다. 또한 본 논문에서는 자기 기록 시스템을 위해서 제안되었던 FDTS/DF, SSD/DF를 DVD 시스템에 맞게 적절히 변형한 후, 제안된 FDTTrS/DF와 성능을 비교 분석하고 FPGA로 구현한다. 하드웨어 구현 시 동작 속도의 향상을 위해 파이프라인 기법을 적용하고, 분기 거리를 연산할 때 요구되는 많은 계산량을 줄이기 위해 일반적으로 사용하는 제곱값 분기거리 대신 절댓값 분기거리를 사용한다. 제안된 FDTTrS/DF가 성능면에서나 하드웨어 복잡도 면에서 PRML, DFE, FDTS/DF, SSD/DF에 비하여 고밀도 DVD 시스템에 적합함을 확인한다.

ABSTRACT

In this paper, a fixed-delay trellis search with decision feedback (FDTTrS/DF) for high-density DVD systems (4.7~15GB) is proposed and implemented with FPGA. The proposed FDTTrS/DF is derived by transforming the binary tree search structure into trellis search structure, implying that FDTTrS/DF performs better than the signal detection techniques based on tree search structure such as FDTS/DF and SSD/DF. Advantages of FDTTrS/DF are significant reductions in hardware complexity due to the unique structure of FDTTrS composed of only one trellis stage, requiring no traceback procedure usually implemented in the Viterbi detector. Also, in this paper, the FDTS/DF and SSD/DF, originally proposed for high-density magnetic recording systems, are modified for the DVD systems, and compared with the proposed FDTTrS/DF. In order to increase speed in the FPGA implementation, the pipelining technique and absolute branch metric (instead of square branch metric) are applied. The proposed FDTTrS/DF is shown to provide the best performance among various signal detection techniques such as PRML, DFE, FDTS/DF, and SSD/DF, even with a small hardware complexity.

* 중앙대학교 전자전기공학부 통신 및 신호처리연구실(yscho@cau.ac.kr)

논문번호 : 00142-0501, 접수일자 : 2000년 5월 1일

* 본 연구는 1999년 중앙대학교 연구협력처, 98년 한국과학재단(98-0101-01-01-3), 한국영상기기조합, IDEC의 연구비 지원에 의한 결과임.

1. 서론

데이터의 저장과 전송에 대한 요구가 증대되면서 최근 DVD에 대한 연구가 활발히 진행되고 있다^{[1][3]}. DVD 시장은 현재 컴퓨터에 널리 사용되고 있는 CD-ROM의 7배의 저장 용량을 갖는 DVD-ROM을 채용하려는 컴퓨터 업계와 종래의 영상 매체의 주류를 이루었던 VTR 등의 역할을 대체하는 DVD-Video를 추진하는 가전업계를 중심으로 성장되어 왔다. 이 외에도 한 번 기록이 가능한 DVDR, 반복 기록이 가능한 DVD-RW(rewritable), DVD-RAM(random access memory)이 시장에 출시되면서 그 응용분야가 넓어지고 있다. 또한 향후 HDTV 시대를 대비한 HD(high density 또는 high definition) DVD에 대한 연구가 활발히 진행되고 있다. HD-DVD는 CD, DVD와 같은 크기인 120mm 직경을 갖는 디스크에 단면 15GB 이상의 저장용 목표로 한 것으로 기존의 단면 4.7GB DVD에 비해 3.2배 이상의 용량 증가를 가져온다. 이러한 대용량을 저장하기 위한 핵심 기술은 파장 410nm의 청색 반도체 레이저 기술이다. 이 청색 반도체 레이저의 경우 기존의 650nm 적색 레이저에 비해 2.5배의 용량 증가를 가능하게 한다. 또한 HD-DVD에서는 track pitch, 최소 피트 길이가 기존 DVD에 비해 각각 절반 가량으로 줄어 결과적으로 기록채널이 고밀도화 된다. 이와 같이 채널이 고밀도화 함에 따라 신호는 심볼간의 간섭(ISI: intersymbol interference)의 영향을 많이 받게 되어 재생신호의 품질이 떨어지고 기록된 데이터를 정확히 재생하는데 많은 어려움이 따르게 된다. 최근 이러한 문제점을 해결하기 위하여 고밀도 DVD 시스템의 재생신호 검출 기법에 대한 연구가 활발히 이루어지고 있다.

PRML(Partial Response Maximum Likelihood) 방식은 원하는 응답의 심볼간 간섭을 허용하여 재생된 신호를 보다 쉽게 등화시킨 후 비터비 검출기로 기록신호를 검출하기 때문에 등화시 발생하는 잡음의 증가효과를 크게 줄일 수 있어 여러 기록 재생 시스템에 널리 사용되고 있다. 광기록 채널에는 PR-I 또는 PR-II 형태가 적합하며 이를 사용한 PRML 방식이 현재 주로 사용되고 있다^{[2][4]} 고밀도 DVD 시스템에서는 심볼간 간섭이 증가하게 되어 이에 적합한 PR 응답과 비터비 검출기를 구현하기 위해서는 하드웨어가 크게 복잡하게 된다. 한편

FDTs/DF는 결정피드백(decision feedback)을 사용하여 하드웨어 복잡도를 줄이고 결정단에 유한 지원을 허용한 후 경로를 검색함으로써 준 최적 MLSD(Maximum Likelihood Sequence Detection)에 해당하는 우수한 성능을 갖는 장점 때문에 고밀도 자기 기록 시스템에 적용되었다^{[5][7]}. 그러나 이 방식 역시 경로 거리 계산시 계산량이 많다는 단점을 가지고 있어 이를 보완하기 위해 신호 공간을 분할하고 하이퍼플레인이라는 선형 판별 함수를 이용한 SSD/DF 기법이 고밀도 자기 기록 시스템의 신호 검출을 위하여 제안되었다. 즉, FDTs 검출단을 SSD로 대체할 경우 적은 계산량으로도 FDTs 검출기와 유사한 성능을 나타낼 수 있기 때문에 자기 기록 시스템에 사용되는 코드와 채널에 적합한 SSD/DF 검출기법이 제안되었다^{[8]-[10]}.

본 논문에서는 고밀도 DVD 시스템에 사용되는 코드와 채널에 적합한 FDTs/DF 신호 검출기법을 제안하고 파이프라인 기법과 절대값 분기 거리를 사용하여 FPGA로 구현한다. 제안하는 FDTs/DF 기법은 첫 번째 병합시점까지만 포함하는 다단 구조의 비터비 알고리즘을 1단 구조로 축소한 트렐리스 구조의 신호 검출기로 정의할 수 있다. 이 구조는 역추적을 할 필요가 없다는 특징을 가지고 있으므로 하드웨어의 크기를 감소시킬 수 있고 동작 속도 또한 줄일 수 있는 장점이 있다. 또한 FDTs는 트렐리스 구조를 갖는 MLSD에 기반을 두고 신호 검출을 하기 때문에 FDTs, SSD, DFE, PRML에 비해 우수한 성능을 갖게 된다. 제안된 FDTs/DF는 결정피드백 구조를 사용함으로써 적은 필터 탭 수로도 검출단의 성능을 크게 향상시킬 수 있으며, 이때 발생할 수 있는 에러 전달 효과는 에러 정정 코드에 의해 무시될 수 있다. 즉, DVD 시스템에서 사용되는 에러 정정 코드는 RS/PCO(Reed-Solomon/product code)로서 (208,192,17) (182,172,11)이므로 192 bytes 172 bytes의 2-D 데이터에서 320 비트의 연립 에러를 정정할 수 있어 결정피드백에 따른 에러 전달 효과는 무시할 수 있다. 또한 DVD 시스템에서 사용되는 EFM+ 코드는 RLL(run length limited) (2,10) 코드이므로 말단 노드의 분기 수를 줄일 수 있어 FDTs 검출단 구조를 크게 단순화시킬 수 있다.

본 논문에서는 제안된 FDTs/DF를 VHDL(Verilog High speed IC High-Level Design Language)로 설계하고 FPGA(Field Programmable Gate Array)로 구현하여 동작 속도와 사용 면적을 확인한 후 다른

방식들과 비교한다. 또한 기존에 고밀도 자기 기록 시스템의 신호 검출을 위하여 제안된 FDTS/DF와 SSD/DF를 DVD 시스템에 맞게 적절하게 설계한 후 FPGA로 구현한다. 하드웨어 구현시 동작 속도 향상과 하드웨어의 크기를 줄이기 위하여 기존에 MLSD 검출 기준으로 많이 사용되는 제곱값 분기 거리 대신에 본 논문에서 제안된 절대값 분기 거리를 적용하여 그 성능을 분석하고, 이를 이용하여 FDTS/DF와 제안된 FDTsS/DF를 FPGA로 구현한다. 또한 속도 향상을 위해 FDTS/DF, SSD/DF, FDTsS/DF에 적절한 파이프라인 기법을 적용하여 FPGA로 구현한다. 최종적으로 고밀도 DVD 시스템의 신호 검출을 위하여 제안된 FDTsS/DF와 PRML, FDTS/DF, SSD/DF을 성능과 하드웨어 측면에서 비교하여 고밀도 DVD 시스템에 적합한 신호 검출 방식을 제안한다.

II. 고밀도 DVD 시스템을 위한 신호 검출 기법

본 절에서는 신호 검출 방식 중 기존에 자기 기록 채널에서 사용되었던 신호 검출 방식(FDTS/DF, SSD/DF)을 DVD 시스템에 맞게 적절히 변형하고, DVD에 효율적으로 사용될 수 있는 FDTsS/DF 신호 검출 기법을 제안한 후, 하드웨어 구현시 계산량을 감소시킬 수 있는 절대값 분기 거리를 사용한 FDTS/DF와 FDTsS/DF에 대하여 기술한다.

1. DVD용 FDTS/DF

FDTS는 이진 가지로 표현하는 것에 기반한 결정 지연이 제한된 알고리즘으로 결정 지연이 증가할 경우 MLSD의 성능에 근접하게 된다. 이 알고리즘은 분기 거리를 계산하여 새로운 경로 거리를 구한 후, 최우 경로가 1 또는 -1에서 시작하는지를 판단하여 새로운 결정을 내리고, 나머지 절반의 경로 거리는 버리는 절차를 취한다. DVD 시스템에 위의 기준을 적용할 경우 EFM+ 부호를 고려하여 결정 지연을 $\tau=3$ 으로 선정하는 것이 적절하며, 이 때 불가능한 순서열을 제외하면 그림 1에 나타난 바와 같이 8개의 경로만이 남게 되어 최소 오류 거리를 MLSD 기준의 검출기만큼 증가시킬 수 있다.

FDTS/DF에서 전방 필터를 통과한 후 검출단의 입력으로 들어오는 신호 r_k 는 다음과 같이 표현될 수 있다.

$$r_k = \sum_{i=0}^{\tau} a_i x_{k-i} + n_k \tag{1}$$

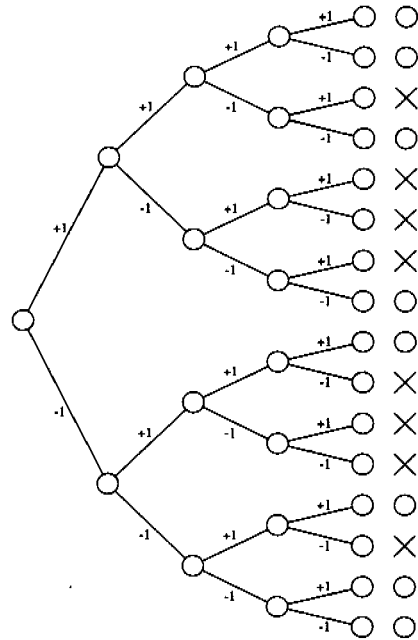


그림 1. NRZI로 부호화된 이진 가지($\tau=3$)

여기서 q_i 는 유한길이 L 의 심볼간 간섭을 나타내고, x_i 는 입력심볼, n_k 는 지터와 가우시안 잡음을 나타낸다. FDTS/DF는 FDTS와 DFE와 유사한 결정 제한 구조가 결합된 형태로, 신호의 모든 심볼간 간섭을 제거하지 않고 결정제한 구조에서 심볼간 간섭의 일부분을 제거한 후 가지 탐색 구조에서 나머지를 제거한다. 따라서 FDTS/DF의 입력신호 r_k 는 $\tau=3$ 일 때 다음과 같이 다시 정의될 수 있다.

$$r_k = \sum_{i=0}^{\tau} a_i x_{k-i} + n_k = p_k + n_k \tag{2}$$

여기서 p_k 는 잡음이 없는 기준신호를 나타내며 과거에 검출된 값들은 정확하다고 가정하였다. 이진 가지 구조에서 각각의 분기 거리 s_k 와 축적된 경로 거리 m_k 는 다음과 같이 표현할 수 있다.

$$s_k = (r_k + p_k)^2 \tag{3}$$

$$m_k = \sum_{i=0}^{\tau} (r_{k-i} - p_{k-i})^2 \tag{4}$$

FDTS/DF의 최소 오류 거리는 β_{min} 이고, 이는 서로 다른 초기 입력 심볼을 갖는 경로에 대한 최소 거리로 다음과 같은 식으로 정의된다.

$$\beta_{min} = \text{Min} \{ d_1, d_2, \dots, d_n \} \tag{5}$$

식 (5)에서 $n \leq 2^{2r}$ 이고, 오류 거리의 집합은 MLSD의 최소 오류 거리 d_{min} 을 포함한다. 따라서 MLSD 검출기와 비교할 경우 더 작은 최소 오류 거리가 존재할 수 있으므로 FDTs/DF의 성능이 MLSD에 비해 일반적으로 저하된다. 결정지연이 길고 EFM+ 부호와 같이 적절한 RLL을 사용할 경우 β_{min} 이 d_{min} 에 근접한다. 그 결과 고려된 심볼의 수가 같을 경우 FDTs/DF의 성능이 MLSD 검출기와 비슷하거나 약간 열등하다.

2. DVD용 SSD/DF

SSD는 FDTs의 경로 거리 연산을 벡터 형태의 연산과 다차원 신호 공간으로 분할하여 재 정의한 신호 검출 알고리즘이다. 이 방식의 장점은 Euclidean 거리 연산의 불필요한 연산을 줄여 곱셈기의 수가 상당히 줄어들기 때문에 하드웨어의 크기가 줄어들게 된다. 또한 SSD의 구조는 병렬로 구성되어 있으므로 고속의 시스템에 적합하다. 그러나 결정지연의 수와 차원의 수가 동일하므로 결정지연이 길어지게 되면 시각적 고찰이 어려워 구현이 불가능한 단점이 있다^{[8],[10]}.

신호공간 분할 기법의 전개를 위해 식 (2)의 기준 신호와 검출단의 입력 신호를 독립적인 신호 배열로 구성하여 다시 정의하면 다음과 같다.

$$p_{k-l}^{(i)} = \begin{pmatrix} p_{k-l}^{(i)}, & l=0 \\ p_{k-l}^{(i)} - \sum_{j=1}^3 \hat{q}_j x_{k-l-j}^{(i)}, & 1 \leq l \leq 3 \end{pmatrix} \quad (7)$$

$$r_{k-l} = \begin{pmatrix} r_{k-l}, & l=0 \\ p_{k-l} - \sum_{j=1}^3 \hat{q}_j x_{k-l-j}, & 1 \leq l \leq 3 \end{pmatrix} \quad (8)$$

위 신호들을 벡터형태로 바꾸어 각각 R 과 P_i 라고 정의한다. FDTs와 마찬가지로 $r=3$ 일 때 기준 신호벡터는 2⁴개가 되고 이를 구분하기 위해 점근적인 접근 방법을 사용하여 적절한 하이퍼플레인을 구하고, VOD(Voronoi diagram)를 이용하여 최적의 하이퍼플레인을 찾는다. 두 신호벡터 P_i, P_j 를 양분하는 하이퍼플레인 식은 다음과 같이 주어진다.

$$(P_i - P_j) \cdot R - (P_i + P_j) \cdot (P_i - P_j) / 2 = 0 \quad (9)$$

이를 이용하여 수신 신호벡터 R 의 선형 판별 함수를 정의하면 다음과 같다.

$$U_i(R) = \frac{1}{2}(P_i - P_j) \cdot R - \frac{1}{4}(P_i + P_j) \cdot (P_i - P_j) \quad (10)$$

위 식의 오른쪽 첫 번째 항을 다시 정의하면 다음과 같이 표현할 수 있다.

$$U_i(R) = r_k(q_0 e_k^{(i)} + q_1 e_{k-1}^{(i)} + q_2 e_{k-2}^{(i)} + q_3 e_{k-3}^{(i)}) + r_{k-1}(q_0 e_{k-1}^{(i)} + q_1 e_{k-2}^{(i)} + q_2 e_{k-3}^{(i)}) + r_{k-2}(q_0 e_{k-2}^{(i)} + q_1 e_{k-3}^{(i)}) + r_{k-3}(q_0 e_{k-3}^{(i)}) \quad (11)$$

여기서 입력신호는 $e^{(i)} = \frac{1}{2}(x^{(i)} - x^{(j)})$ 로 정의하였다. 그리고 식 (9)의 오른쪽 두 번째 항은 하이퍼플레인의 경계를 결정하기 위해 추가로 더해주는 차감상수(constant offset) θ_{ij} 이다.

3. 제안된 DVD용 FDTs/DF

본 논문에서 제안된 FDTs는 첫 번째 병합 지점까지만 포함하는 다단 구조의 트렐리스 구조를 1단으로 축소한 역추적이 필요 없는 구조로, 결정지연이 있는 MLSD 기준의 비터비 알고리즘과 유사한 검출 방법이다. 이 방법은 최적의 MLSD를 구하는 식과 유사하게 전송된 신호열과 수신된 신호열을 a, r 로 정의할 때, 다음과 같은 식으로부터 유도된다^[11].

$$\max_{a, r} P(r|a) \quad (11)$$

위 식과 같은 결정 기준은 입력 신호열의 길이가 길어질수록 결정 지연이 길어지고, 일반적으로 결정지연이 심볼간 간섭 길이의 5배 이상 길어지게 되면 MLSD의 전체 성능에는 영향을 미치지 않게 된다^[12]. 이러한 특성을 이용하여 결정지연이 있는 MLSD는 다음과 같이 표현할 수 있다.

$$\max_{a, r} (r_0, r_1, r_2, \dots, r_k | a_{k-r}) \quad (12)$$

트렐리스 구조로 표현된 비터비 알고리즘에서 최소 오류 거리 d_{min} 은 첫 번째 병합 지점까지의 거리이므로 MLSD와 제안된 FDTs의 비트오류율은 AWGN 환경 하에서 다음과 같다.

$$P[\text{bit error}] \approx C \cdot Q\left(\frac{d_{min}}{2\sigma}\right) \quad (13)$$

위 식에서 비트오류율은 최소 오류 거리 d_{min} 과 백색 가우시안 잡음의 표준 편차 σ 에 의해 지배되

고 전술한 바와 같이 $d_{mn} \geq \beta_{\min}$ 이므로 FDTs/DF의 성능이 FDTS/DF보다 항상 우수한 성능을 갖는 것을 알 수 있다.

DFE에 비터비 알고리즘을 사용한 검출단을 적용하여 함께 사용할 경우 비터비 알고리즘에서 요구되는 결정 지연으로 인하여 성능이 크게 저하되므로 일반적으로 트렐리스 구조와 DFE는 함께 사용하지 않는다^[13]. 그러나 FDTs/DF는 FDTS에서 사용되는 이진 가지 구조를 트렐리스 구조로 변환한 알고리즘이기 때문에, FDTS/DF와 마찬가지로 결정 지연을 검출단에서 이용하여 검출할 수 있다. 따라서 트렐리스 구조를 사용하여도 성능의 열화가 발생하지 않고 오히려 더 향상된 성능을 얻을 수 있다. 또한 FDTs/DF의 구조는 결정 지연의 순서열이 각 상태와 동일하고 경로 거리가 각 상태의 일련 순서에 따라 저장되어 있으므로 과거의 경로들을 유지할 필요가 없다. 즉, 각각의 상태에 따라 검출값이 포함되어 있으므로 일반적인 트렐리스 구조에서 사용하는 역추적을 할 필요가 없이 각 상태의 경로 거리를 비교하고 가장 작은 상태의 경로 거리를 찾아내어 신호의 최종 검출값을 찾아낸다. 그림 2는 그림 1의 결정 지연 $\tau=3$ 인 구조에 대응되는 트렐리스 구조를 표현한 것이다. 그림 2를 살펴보면 각 스테이지마다 동일한 경로가 반복되고 각 상태마다 검출값이 결정되어 있어 역추적을 할 필요가 없음을 알 수 있다. 따라서 이를 1개의 스테이지로 줄여도 성능에는 영향을 미치지 않게 된다. 그 결과 그림 3에 나타난 바와 같이 FDTs는 단단 구조에서 1단 구조로의 축소가 가능하다.

FDTs/DF의 입력 신호는 식 (2)와 동일하지만, 분기 거리 연산은 상태(state)의 순서를 나타내는 일련 번호가 있으므로 이를 다음 식으로 표현할 수 있다.

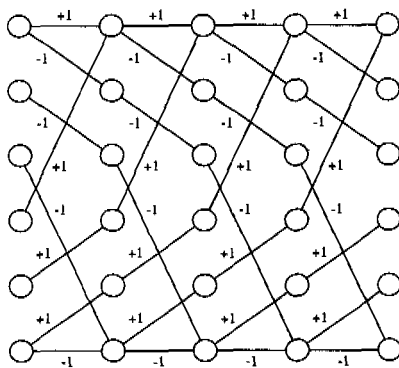


그림 2. EFM+와 NRZI로 부호화된 트렐리스도($r=3$)

$$\lambda_k^{(i)} = (\tau_k - \rho_k^{(i)})^2 \tag{14}$$

그림 3에서 6 개의 상태 가운데 $i = 1, 2, 3$ 의 검출값은 1 이고, 나머지 상태의 검출값은 -1 이다. 입력 신호가 검출단으로 처음 들어올 경우에는 분기 거리들 중 최소값으로 검출하지만, 그 이후에 들어오는 신호들은 경로 거리의 최소값으로 최종 검출한다. 이 때 경로 거리 연산은 다음 식으로 표현할 수 있다.

$$M_k^{(i)} = \lambda_k^{(i)} + N_k^{(i-1)} \tag{15}$$

$$N_k^{(i)} = M_k^{(i)} - t_k \tag{16}$$

여기서 $N_k^{(i)}$ 는 경로 거리를 정규화시키는 변수이고, t_k 는 경로 거리들 가운데 가장 작은 경로 거리를 나타낸다. 경로 거리의 값은 항상 양수로 표현되고 가장 작은 경로 거리의 값은 1단 구조에서 보면 최소 오류 거리와 같기 때문에, $N_k^{(i)}$ 로 정규화 시킨 값을 과거의 경로 거리값으로 사용할 수가 있다. 또한 하드웨어 구현 시 발생할 수 있는 오버플로우를 방지하기 위해서도 정규화 과정이 필요하다. 이와 같이 경로 거리를 구하고 계산된 경로 거리들을 비교한 후, 가장 작은 경로 거리를 가진 상태의 검출값을 최종 검출로 사용한다.

FDTs/DF 역시 DVD 시스템에 적용하기 위해 EFM+ 부호를 고려하고 NRZI 부호화 된 이진 입력에 대해 결정 지연 $\tau=3$ 을 사용하였다. EFM+ 부호를 고려할 경우 말단 노드의 상태 수와 분기 거리 계산 수를 줄일 수 있어 하드웨어 구현 시 복잡도를 크게 줄일 수 있는 장점이 있다. 그림 4은

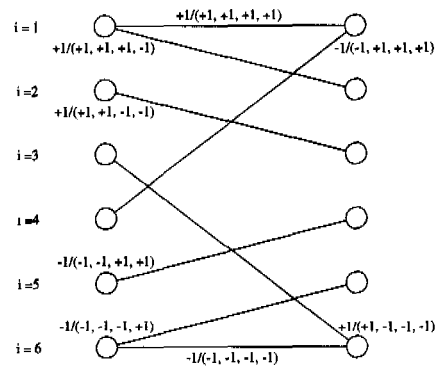


그림 3. EFM+와 NRZI로 부호화된 FDTs를 위한 트렐리스도($r=3$)

FDTs/DF의 분기 거리 계산 수가 결정 지연 τ 에 따라 지수함수에 비례하여 증가하는 것에 반하여, FDTs/DF의 분기 거리 계산은 거의 선형적으로 증가함을 보여준다.

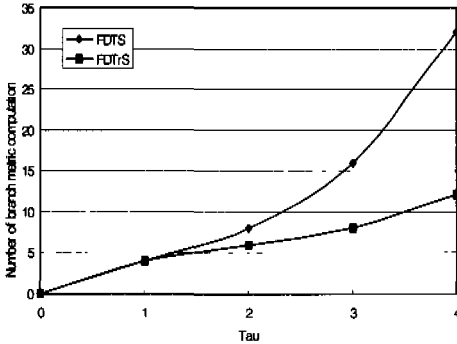


그림 4. EFM+와 NRZI로 부호화된 FDTsS와 FDTs의 분기 거리 계산량

4. 절대값 분기 거리

MLSD에서는 최적의 경로를 선택하기 위하여 분기 거리 또는 경로 거리의 제공값을 사용하고 일반적으로 최소 제공값을 갖는 경로를 최종적으로 선택한다^[11]. 그러나 제공값 분기 거리를 사용하게 되면 분기 연산을 할 때마다 곱셈 연산을 해야 하므로 하드웨어로 구현할 경우 속도가 느려지고 크기가 증가한다는 단점이 있다. 이러한 제공값 분기 거리의 기준은 가산성 잡음의 분포가 가우시안 분포일 때를 가정하여 유도되었다. 여기서 이와 유사한 라플라스 분포에 대해서 경로 거리의 기준치를 유도하면 다음과 같다.

$$P_{n_n}(n(k)) = \frac{1}{\sqrt{2\pi\sigma^2}} e^{-\frac{\ln(k)}{2\sigma^2}} \quad (17)$$

가산성 잡음 $n(k)$ 이 입력 신호와 서로 독립적이라고 가정하면 다음과 같은 유도 과정을 통하여 최적 분기 거리 연산을 얻을 수 있다.

$$\begin{aligned} \lambda(x(k)) &= -\ln(P_{y_n|x_n}(y(k)|x(k))) \\ &= -\ln(P_{y_n|x_n}(y(k)-x(k)|x(k))) \\ &= -\ln(P_{n_n}(y(k)-x(k))) \\ &= -\ln\left(\frac{1}{\sqrt{2\pi\sigma^2}} e^{-\frac{|y(k)-x(k)|}{2\sigma}}\right) \\ &= |y(k)-x(k)| \end{aligned} \quad (18)$$

따라서 가산성 잡음이 라플라스 분포를 가지고 있을 때 절대값 분기 거리는 최적의 분기 거리가

된다. 이러한 절대값 분기거리는 하드웨어 구현 시 부호 부분만 비껴주면 되므로 곱셈기를 사용하는 제공값 분기 거리를 사용하는 방식에 비해 크게 계산량을 줄일 수 있다. 또한 가우시안 분포와 라플라스 분포의 확률 밀도 함수는 실제로 유사한 모양을 가지므로 큰 성능의 감쇠 없이 하드웨어의 크기의 감소와 속도의 향상을 가져올 수 있다.

III. 실험 및 결과 고찰

1. DVD용 신호 검출기의 BER성능 비교

본 절에서는 제안된 신호 검출 기법(FDTsS/DF)과 기존의 검출 기법(PRML, DFE), DVD 시스템에 적합하게 최적화된 검출기법(SSD/DF, FDTs/DF)의 성능을 모의실험을 통하여 비교한다. PRML에서 사용한 목표 응답은 PR-I이며 비터비 검출기는 6 상태를 사용하였다. 검출기에 필요한 필터 계수와 각종 파라미터는 주어진 채널 상황에서 최적의 성능을 나타낼 때의 값을 사용하였다. 결정제한이 있는 검출기(FDTsS/DF, SSD/DF, FDTs/DF)의 전방필터와 후방 제한필터의 탭 수는 모두 동일하게 7개로 하고, 채널은 $S = 4.6, 6, 7$ 의 세 가지 경우에 대하여 모의 실험을 수행하였다. 그림 5은 모의실험에 사용된 결정제한이 있는 신호 검출기의 블록도를 보여준다. 이 그림에서 NRZI 부호화기를 통과하고 EFM+ 부호화된 신호는 DVD 채널을 통과한 후 지터와 잡음이 첨가되고 전방필터에 의해 minimum-phase 신호로 변경된다. 후방 제한필터는 $\tau + 1 \sim L$ 까지의 심볼간 간섭만 제거하고 나머지 심볼간 간섭은 검출단으로 입력으로 사용된다.

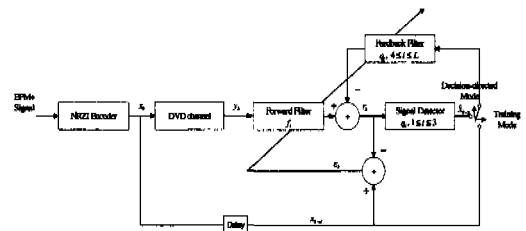
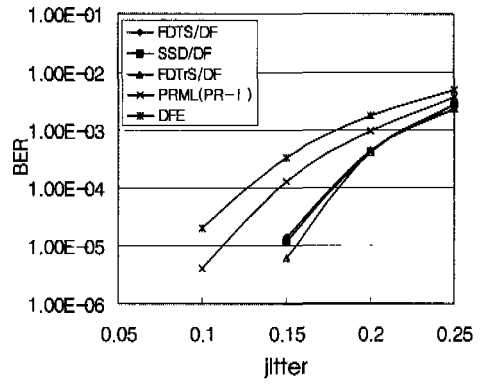
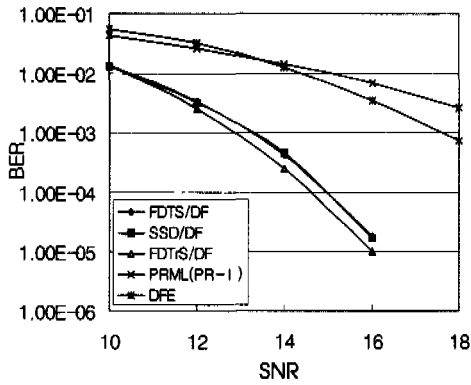
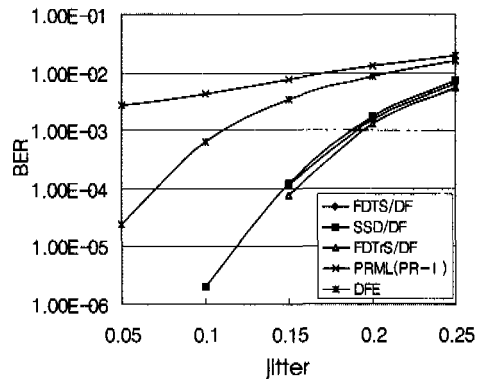
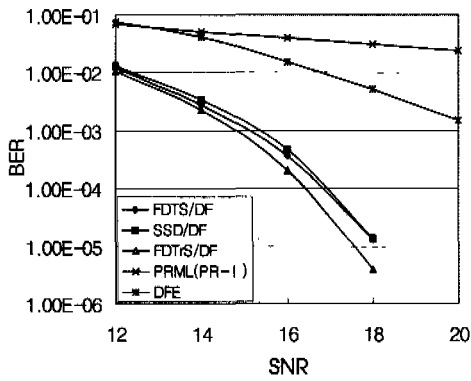


그림 5. 결정제한이 있는 신호 검출기의 모의실험 블록도

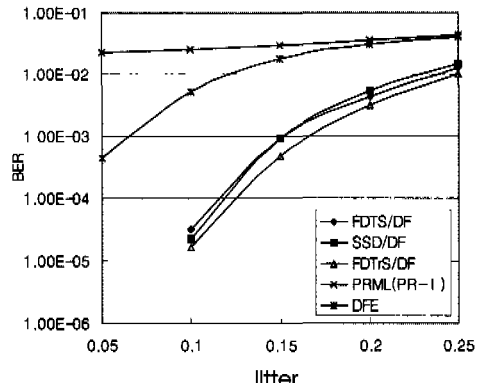
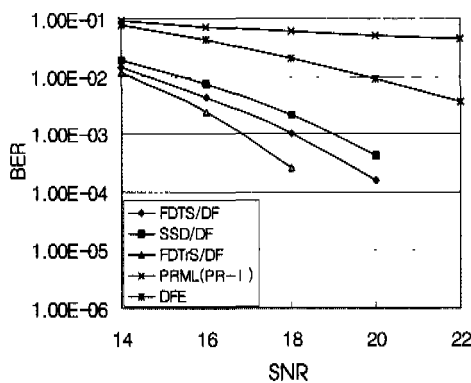
그림 6는 SNR과 지터의 변화에 따른 신호 검출 방식의 성능을 비교하여 보여준다. 이 그림으로부터 전체적으로 채널이 고밀도화 됨에 따라 성능이 감소하는 것을 알 수 있고, SSD/DF와 FDTs/DF의 성능은 거의 비슷함을 알 수 있다. DFE나 PRML



(a)



(b)



(c)

그림 6. 다양한 신호 검출기의 BER 성능(EFM+ 코드):
(a) S = 4.6, (b) S = 6.0, (c) S = 7.0

의 경우에는 DVD-ROM 채널(S = 4.6)에서는 성능의 열화가 크지 않지만 고밀도의 경우에는 성능이 크게 저하되는 것을 볼 수 있다. 그러나 결정제한 구조를 사용하는 검출기들은 고밀도의 경우에도 우수한 성능을 갖는 것을 알 수 있다. 예를 들어, 10%의 지터가 존재할 경우 S = 7.0 채널에서 결정제한이 있는 검출기들은 비트오류율이 10^{-4} 이하로 나타나는 것을 알 수 있다. 또한 제안된 FDTTrS/DF는 어떤 경우에도 가장 우수한 성능을 나타내는 것을 알 수 있다. 이처럼 제안된 방식의 성능이 우수한 이유는 전술한 바와 같이 $d_{min} \geq \beta_{min}$ 이기 때문에 기존의 신호 검출기들 중 성능이 가장 우수한 FDTs/DF 보다 더 나은 성능을 얻을 수 있다.

2. DVD용 신호 검출기의 FPGA 구현

본 절에서는 제안된 FDTTrS/DF를 VHDL로 설계하고 이를 FPGA로 구현한 후 다른 검출기(PRML, FDTs/DF, SSD/DF)와 비교한다. 또한 파이프라인 기법과 절대값 분기 거리 연산을 사용하여 신호 검출기의 동작 속도는 향상시키고 하드웨어의 복잡도를 줄인다.

고밀도 DVD 시스템은 채널의 심볼간 간섭이 매우 커서 검출기의 전단에서 등화기를 사용하여 심볼간 간섭을 일정 샘플 이내로 줄여주게 된다. 일반적으로 선형 등화기에 비해 제한 구조를 사용할 경우에는 적은 탭 수로 심볼간 간섭을 줄일 수 있기 때문에 본 논문에서 기술한 FDTTrS/DF, FDTs/DF, SSD/DF에는 결정제한을 사용하고 있다. 이러한 결정제한 구조를 갖는 신호 검출기의 필터 탭 계수 선정은 기본적으로 DFE에 근거하고 있다.

DFE를 구현하기 위해서는 먼저 계수를 결정하여야 하는데, 계수는 해석적 방법 또는 적응적 방법을 사용하여 최적값을 구한 후 ROM 또는 RAM에 저장시킨다. 그림 7은 DFE 계수값을 선정하기 위한 모의실험 블록도이다. 실제 시스템에서는 등화기의 입력신호가 A/D 변환기의 출력값이므로 1에서 -1까지의 범위를 가진다. 그러므로 잡음과 오버플로우의 영향을 고려하여 채널의 출력 신호와 원하는 응답을 각각 1/2 과 1/4로 scaling down하였다. 전술한 바와 같이 FDTs, SSD, FDTTrS 검출기의 결정 지연은 $\tau = 3$ 을 사용하고 DFE 후방필터의 앞부분은 검출단에서 고려하기 때문에 후방필터의 단수를 줄일 수 있게 되므로 전방필터 7개, 후방필터 3개를 모의실험에 사용하였다. PRML 검출기에 사용되는 선형 등화기를 구현할 경우 그림 8와 유사하지만

후방필터가 없다는 차이가 있다. 그림 8는 결정제한을 갖는 신호 검출기의 블록도를 보여준다. 결정제한 구조는 transposed direct form으로 설계하여 파이프라인 구조와 유사한 형태로 만들어 속도의 향상을 용이하게 하였다.

FDTTrS/DF를 구현시 필요한 비트 결정은 모의실험을 통하여 이루어졌으며 최종적으로 FPGA 구현에 사용된 비트 수는 등화기의 출력신호 12 비트, 분기 거리 연산 11 비트, 경로 거리 연산 및 정규화 연산 9 비트, 비교 연산 7 비트이다. 이보다 더 적은 비트를 사용할 경우 동작 속도는 빠르게 나타나지만 에러오류율이 증가하게 되어 이와 같은 결과를 사용하였다. 이와 같이 구현할 경우 모든 연산을 12 비트로 한 경우에 비해 속도가 많이 향상되고 전체 칩의 크기도 줄일 수 있으나, 성능의 열화는 거의 발생하지 않음을 확인하였다. 또한 절대값 분기 거리 연산을 고려하여 분기 거리 연산 시 11비트를 사용하였으며 이 경우 기존 방식에 비해 성능의 차이는 크지 않고 동작 속도에서는 매우 큰 이득을 얻을 수 있다. 표 1에 나타난 바와 같이 FDTTrS/DF 와 FDTs/DF 모두 절대값 분기 거리를 사용할 경우 속도를 크게 향상시킬 수 있음을 알 수 있다.

PRML 구현시 목표 응답은 PR-I으로 하였고, EFM+ 부호를 고려하여 비터비 검출기의 상태를 6으로 줄일 수 있다. 실제 구현에 있어서는 6 상태를 단순화한 2 상태 검출기를 사용하였는데 성능은 6 상태를 사용한 경우와 유사하게 나타난다. 2 상태 검출기는 경로 거리의 차를 이용하는 difference metric을 사용하며 이 방식에서는 입력 신호가 들어오면 difference metric과 더한 값을 문턱값과 비교하여 신호를 결정한다.

결정제한이 있는 검출기(FDTs/DF, SSD/DF, FDTTrS/DF)의 속도 향상을 위해 파이프라인 기법을 적용하였다. 전방필터는 transposed direct form으로 구성되어 임계경로에 속하지 않지만, 검출단의 입력부터 후방 제한필터의 출력까지 임계경로가 형성되어 동작 속도에 직접적인 영향을 준다. 따라서 그림 9와 같이 검출단의 비교블록 전단에 플립플롭을 삽입하여 임계경로 부분을 2 단계로 나누어서 머신 사이클(machine cycle)의 길이를 단축시켜 파이프라인 기법을 적용하였다^[4]. 그러나 이와 같이 구현하게 되면 전체적인 등화기의 출력은 파이프라인 구조를 사용하지 않을 때보다 한 클럭 늦게 출력되므로, 후방 제한필터의 입력 또한 한 클럭 늦게 되

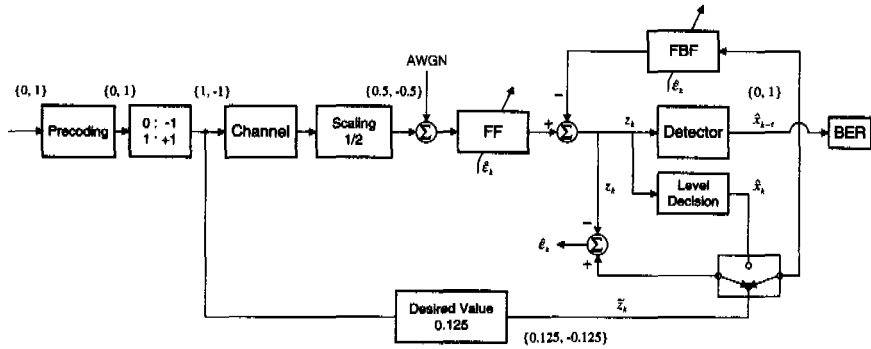


그림 7. DFE의 계수값 선정을 위한 모의실험 블록도

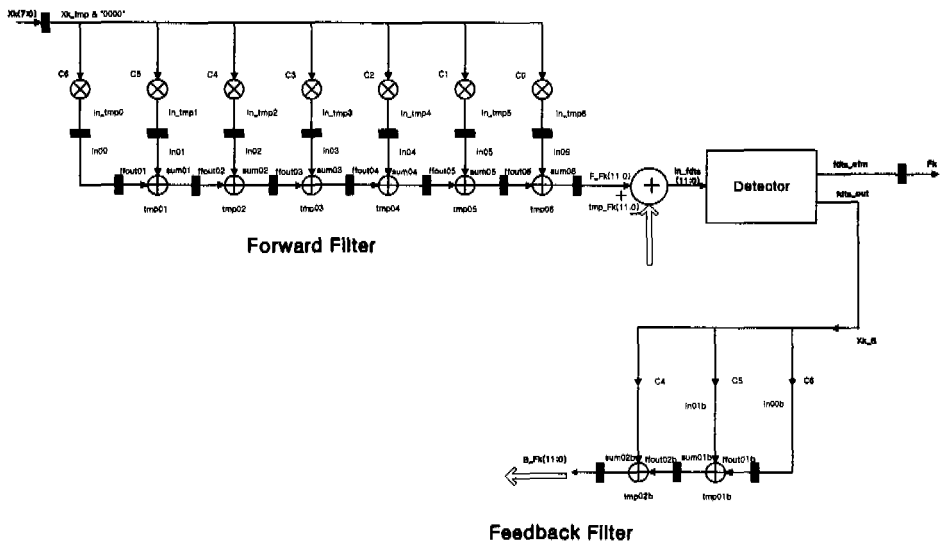


그림 8. 케환 필터를 사용한 신호 검출기의 블록도

어 등화 하는 신호와 검출단의 입력이 동기가 맞지 않아 성능이 저하하게 된다. 이 부분의 동기화를 위하여 후방필터의 첫 번째 연산을 검출기의 입력 단에서 이용하면 분기 거리 연산량이 두 배로 늘어나지만 후방 케환필터의 동작 클럭 수가 하나 줄게 되어 파이프라인 기법을 적용하여도 동일한 성능을 갖게 된다. 그림 10은 이 때의 VHDL function simulation 결과의 일부를 보여준다

여기서 FDTS/DF와 SSD/DF 검출기의 내부 연산 시 대부분의 연산을 7~8 비트로 구성하였다. 이 경우 속도는 증가하는 반면 성능에는 변화가 없음을 확인하였다. 표 2은 파이프라인 기법을 사용하여 FDTS/DF, SSD/DF, FDTs/DF를 구현한 경우와 그렇지 않은 경우의 임계 경로값의 변화를 보여준다.

이 표로부터 파이프라인 구조를 사용한 경우에는 그렇지 않은 경우에 비해 모든 검출방식에서 15ns 이상 속도의 향상이 이루어짐을 알 수 있다. 표 3는 본 논문에서 기술한 신호 검출기들의 합성결과를 보여주는데, FPGA 구현의 경우에는 FLEX-10K를 target library로 사용하였고, ASIC 구현 시에는 공정 기술 0.6μm 인 KG-75를 target library로 사용하였다. 결정케환을 갖는 검출기들 중 FLEX-10K를 사용한 경우 SSD/DF의 속도가 가장 빠르게 나타나지만, KG-75를 사용한 경우에는 FDTs/DF의 속도가 가장 빠른 것을 볼 수 있다. 이는 SSD/DF의 경우 절대값 분기 거리 연산을 사용하지 않고 신호공간을 이용하여 신호를 결정하므로 곱셈기를 사용하지 때문이다. 일반적으로 library에 따라 곱셈기에서

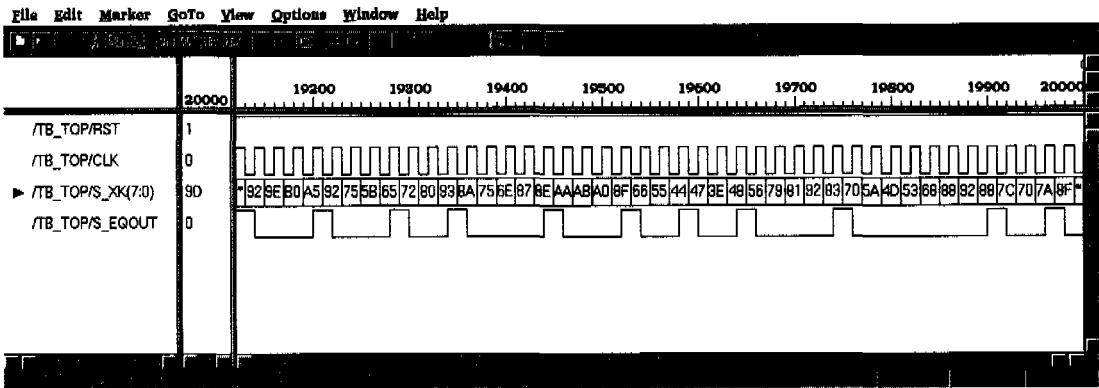


그림 10. 신호 검출기의 VHDL function simulation 결과

걸리는 시간이 조금씩 다르기 때문에 구현 방식에 따라 속도의 차이가 조금 다르게 나타난다. 그림 6 와 표 3를 종합하여 볼 때 FDTs/DF 신호 검출기가 성능 면이나 하드웨어 복잡도 면에서 가장 우수함을 알 수 있다.

표 2. 분기 거리의 계산 방식에 따른 합성 결과:
(a) FDTs/DF, (b) FDTs/DF

Branch metric	Critical path
Square	94.79 ns
Absolute value	52.12 ns

(a)

Branch metric	Critical path
Square	83.35 ns
Absolute value	52.91 ns

(b)

IV. 결과

본 논문에서는 EFM+ 코드와 RS/PC 에러 정정 코드를 사용하는 4.7 ~ 15GB의 DVD 시스템을 위한 FDTs/DF 신호 검출 기법을 제안하였다. 제안된 FDTs는 FDTs의 이전 가지 구조를 1단의 트렐리스 구조로 변환하여 역추적을 할 필요가 없으며, FDTs에 비해 분기 거리 연산 수를 줄일 수 있어 하드웨어 구현시 복잡도를 줄일 수 있고 동작 속도 또한 크게 향상된다. 또한 최소 오류 거리가 FDTs 와 SSD에 비해 같거나 크기 때문에 성능이 비슷하거나 우수하게 나타난다. 또한 자기 기록 채널에서

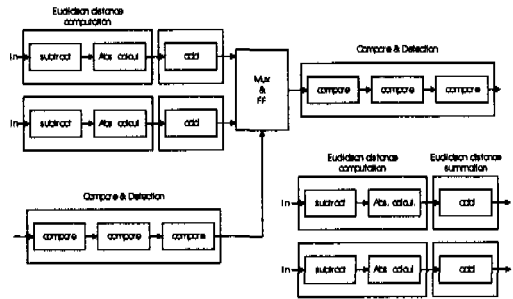


그림 9. FDTs, FDTs/DF 검출기의 파이프라인 구조

사용되었던 FDTs/DF와 SSD/DF를 DVD 시스템에 맞게 적절하게 변형시켜 적용하였고, 이를 FPGA로 구현하였다. 다양한 검출기의 성능을 비교해 본 결과 고밀도 DVD 시스템에서는 결정제한 구조를 가진 검출기(FDTs/DF, SSD/DF, FDTs/DF)가 다른 검출기들에 비해 우수하며, 이 중 제안된 FDTs/DF의 성능이 가장 우수하게 나타남을 알 수 있었다. 결정제한 구조를 가진 신호 검출 기법에서 발생할 수 있는 에러 전달 효과는 DVD 시스템에서 사용되는 320 비트의 연직 에러를 정정할 수 있는 RS/PC 코드에 의해 무시될 수 있었다. 하드웨어 구현시 동작 속도의 향상을 위해 절대값 분기 거리를 제안하였고, 파이프라인 기법을 적용하였으며, FPGA로 구현한 결과 동작 속도를 크게 향상시킬 수 있음을 확인하였다.

참고 문헌

[1] J. Taylor, *DVD Demystified*, McGraw Hill, 1998.

표 2. 파이프라인 구현에 따른 신호 검출단의 임계 경로 값
(a) FDTS/DF, (b) SSD/DF, (c) FDTrS/DF

(a)

Method	Critical path
Normal	67.24 ns
Pipeline	52.12 ns

(b)

Method	Critical path
Normal	60.76 ns
Pipeline	42.08 ns

(c)

Method	Critical path
Normal	68.28 ns
Pipeline	52.91 ns

표 3. 신호 검출기의 합성 결과
(a)FLEX-10K (B) KG-75

(a)

Detectors	Cell area	critical path
PRML(PR-I) 2state	1529	48.62 ns
FDTS/DF	2830	25.12 ns
SSD/DF	2599	48.08 ns
FDTrS/DF	2110	25.91 ns

(b)

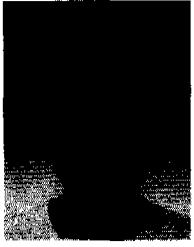
Detectors	Cell area (# of gates)	critical path
PRML(PR-I) 2state	11850 (5925)	48.62 ns
FDTS/DF	15690 (7845)	25.12 ns
SSD/DF	14470 (7235)	48.08 ns
FDTrS/DF	11170 (5585)	25.91 ns

[2] J. W. M. Bergmans, *Digital Baseband Transmission and Recording*, KAP, 1996.
 [3] R. K. Jurgen, *Digital Consumer Electronics Handbook*, McGraw Hill, 1996.
 [4] R. D. Cideciyan, F. Dolivo, R. Hermann, W. Hirt, and W. Schott, "A PRML system for digital magnetic recording," *IEEE J.*

Select. Areas Commun., vol. 10, no. 1, pp. 38-56, Jan. 1992.
 [5] J. Moon and L. R. Carley, "Performance comparison of detection methods in magnetic recording," *IEEE Trans. Magn.*, vol. 26, pp.3155-3172, Nov. 1990.
 [6] C. L. Richard, "Apparatus and method for fixed delay tree search," U.S. Patents 5,136,593, Aug. 1992.
 [7] J. Moon and L. R. Carley, "Efficient sequence detection for intersymbol interference channels with run-length constraints," *IEEE Trans. Commun.*, vol. 42, pp. 2654-2660, Sep. 1994.
 [8] J. Moon and B. Brickner, "A high dimensional signal space implementation of FDTS/DF," *IEEE Trans. Magn.*, vol. 32, pp. 3941-3943, Sep. 1996.
 [9] J. Moon and T. Jeon, "A systematic approach to signal space detection," *IEEE Trans. Magn.*, vol. 33, pp. 2737-2739, Sep. 1997.
 [10] J. Moon and T. Jeon, "Sequence detection for binary ISI channels using signal-space partitioning," *IEEE Trans. Commun.*, vol. 46, pp. 891-901, July 1998.
 [11] G. D. Forney, Jr., "The Viterbi Algorithm," *Proc. IEEE*, vol. 61, no. 3, pp. 268-278, Mar. 1973.
 [12] A. Papoulis, *Probability, Random Variables and Stochastic Process*, Third Edition, McGraw-Hill, Inc., 1991.
 [13] E. A. Lee and D. G. Messerschmitt, *Digital Communication*, Second Edition, Kluwer Academic Publishers, 1994.
 [14] Patterson and Hennessy, *Computer Architecture : A Quantitative Approach*, Second Edition, Morgan Kaufmann Publishers, Inc., 1996.

정 종 훈(Joo Hoon Jung)

정회원

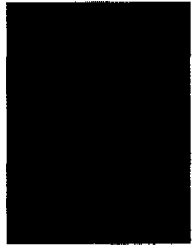


1998년 2월 : 중앙대 전기공학과
졸업
2000년 8월 : 중앙대 전기공학과
대학원 졸업
2000년 8월~현재 : LG전자/정보
통신 네트워크
연구소 근무

<주관심 분야> DVD, 네트워크

양 원 영(Yang Won Young)

정회원



1975년 2월 : 서울대학교
전기공학학사 졸업
1981년 8월 : Univ. of Southern
California 전기공학박사
1986년 9월~현재 : 중앙대학교
전자전기공학부교수

<주관심 분야> 디지털 통신시스템, 디지털 신호처리

조 용 수(Yong Soo Cho)

정회원



1984년 2월 : 중앙대학교
전자공학과(공학사)
1987년 8월 : 연세대학교
전자공학과 대학원
(공학박사)

1991년 5월 : The University of Texas at Austin,
Department of Electrical and Computer
Engineering (Ph. D)

1984년 1월~1984년 7월 : 금성전기(주) 연구원

1992년 3월~현재 : 중앙대학교 전자전기공학부