

IS-95 기반 CDMA Searcher의 저전력 ASIC 설계

정회원 김 산*, 황 인 기*, 조 준 동**

Low Power ASIC Design for IS-95 based CDMA Searcher

San Kim*, In Ki Hwang*, Jun Dong Cho** *Regular Members*

요 약

본 논문은 IS-95를 기반으로 하는 CDMA(Code Division Multiple Access) 탐색자의 저전력 설계방법에 대하여 기술하였다. 탐색자는 역확산, 동기 누적단, 에너지 계산단, 2개의 비교단과 비동기 누적단으로 구성되어 있다. 제안된 방법은 Rescheduling과 Strength Reduction을 이용한 방법, Precomputation을 이용한 방법, 그리고 Synchronous 누적기를 이용한 세 가지 방법이다. VHDL을 이용하여 설계되었고, SYNOPSIS에서 시뮬레이션을 수행하여 그 기능을 검증하였고, 합성하였다. 또한 SYNOPSIS의 Design Power를 사용하여 소모 전력을 측정하였다. 측정결과 기존의 설계방법과 비교해서 최대 67%의 전력 감쇠와 41%의 면적 감소 효과를 얻었다.

ABSTRACT

This paper describes the low power design technique of IS-95 based CDMA(Code Division Multiple Access) Searcher. Searcher is composed of dispread, synchronous accumulator, energy computing, comparator, and asynchronous accumulator. The proposed technique consist of rescheduling with strength reduction, precomputation, and low power synchronous accumulator. The system is designed using VHDL, then simulated and synthesized using SYNOPSIS. Also, the dissipated power is measured using Design Power in SYNOPSIS. We achieved maximum 67% power saving and 41% area saving compared with conventional design.

I. 서 론

지난 수년동안 국내 전자업계는 코드분할다중접속(CDMA)방식의 이동통신 기술을 개발해서 세계 최초로 상용화했으며 특히 IS-95 기반의 Digital Cellular Networks는 1996년부터 상업 서비스를 실시 해왔다¹⁾. 또한 광대역 CDMA 시스템의 모뎀에 대한 제안과 이를 설계하기 위한 연구가 활발히 진행되어져 왔다^{1), 5), 6)}. 이러한 CDMA 시스템 및 휴대용 컴퓨터, 개인 이동 통신 시스템의 수용 증가로 인해 제품의 경쟁력을 높이기 위한 저전력 ASIC 설계가 중요한 문제로 대두되고 있다. 특히 이동 단말기 설계에 있어서 저가격화, 소형화, 저전력 소모 및 제품에 대한 신뢰성 향상, 성능 최적화 등은 가

장 중요한 문제로 여겨지고 있다. 이러한 목표를 실현하기 위하여 디지털 회로 방식에 의한 변복조 IC를 단일 ASIC칩화하여 이용한다. 본 논문에서는 현재 운용되고 있는 IS-95기반으로 하는 DS/CDMA cellular 및 개인 이동통신서비스(Personal Communication Service)용 시스템의 단말기에 사용하기 위한 MSM(Mobile Station Modem) 칩의 탐색자(Searcher Engine)에 대한 RTL(Register Transfer Level) 저전력 구현을 제안한다. 본 논문에서는 저전력 설계를 위해서 data flow graph를 사용하였으며, strength reduction을 위한 data flow의 rescheduling 및 precomputation 등의 기법을 통해 전력 및 면적을 각각 최대 67.65%, 41.35% 감소시켰다.

* 성균관대학교 전기전자 및 컴퓨터공학부 설계자동화연구소(ikhwang@nature.skku.ac.kr)

** 성균관대학교 설계자동화연구소(jdcho@yurim.skku.ac.kr)

논문번호: 00179-0517, 접수일자: 2000년 5월 17일

본 논문에서 설계한 double dwell 방식을 사용한 탐색자에 대한 기본 알고리즘은 2장에서 설명하며, 3장에서 저전력 설계 기법을 제안하며, 제안된 방법에 대한 전력 및 면적을 4장에서 실험, 비교하여 결론을 맺는다.

II. 탐색자의 기본 설계

IS-95 기반의 Cellular 및 개인이동통신서비스(Personal Communication Service)용 단말기에 적용하기 위한 MSM (Mobile Station Modem)칩의 탐색자(Searcher Engine) 구조를 설계하였다.

IS-95 기반의 시스템은 초기 동기획득을 위하여 기지국에서 전송하는 pilot 채널을 입력 신호로 사용하고 여기에 국부 발생된 PN 부호열을 상관시켜 최대값을 찾음으로써 동기를 이루게 된다. pilot 신호를 검출하기 위한 탐색자의 구조는 역확산 과정에서 일반적인 상관기를 사용하는 방식 또는 정합 필터를 응용한 방식(SAW, CCD 등) 등 여러 가지가 있으며, 확인 절차에 따라 Single Dwell, Double Dwell, Triple Dwell 방식 등이 있다. 일반적으로 사용되는 탐색자의 구조는 가설지점에 대한 확인 및 재확인 절차를 두는 Double Dwell 방식과 상관기를 채용한 형태이다.

본 논문에서 설계한 탐색자는 직렬 탐색방식(Serial Search)을 사용하여 두 번의 확인과정(Double Dwell)을 두는 방식으로 동작한다. 그림 1에 Double Dwell 방식을 도입한 탐색자에 대한 블록도가 나타나있다.

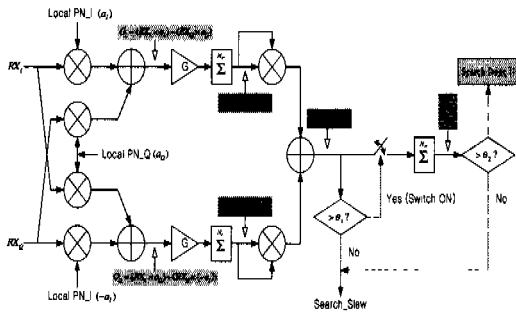


그림 1. 탐색자의 블록도

2.1. CDMA 탐색자의 동작

그림 2는 탐색자 블록의 data flow graph를 보여주고 있고, 이에 따른 세부 동작은 그림 3에 설명되어 있다.

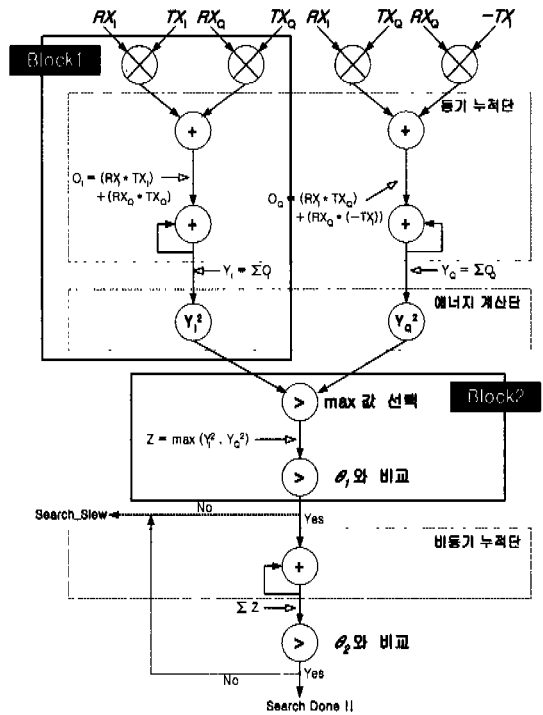


그림 2. 탐색자의 data flow graph

- ① 기지국에서 보내는 PN 코드 (TXI, TXQ)와 국부에서 발생된 PN 코드 (RXI, RXQ)를 역확산 시킨다.
- ② 역확산한 결과를 더한다.
 $O_I = (RX_I * TX_I) + (RX_Q * TX_Q)$
 $O_Q = (RX_I * TX_Q) + (RX_Q * (-TX_I))$
- ③ 동기 누적 횟수 Nc만큼 누적한다.
 $Y_I = \sum O_I, Y_Q = \sum O_Q$
- ④ YI와 YQ를 제공한다. (에너지 계산단)
- ⑤ YI2와 YQ2중 큰 값을 선택한다.
 $Z = \max(Y_I^2, Y_Q^2)$
- ⑥ Z를 θ_1 과 비교한다.
- ⑦ Z가 θ_1 보다 클 경우 비동기 누적을 실시하고 ($\sum Z$), 그렇지 않을 경우, Search_Slew신호를 출력하고, 국부 PN 코드를 한 칩 빨리 발생시켜 ① ~ ⑤과정을 반복한다.
- ⑧ 비동기 누적 횟수 Nn만큼 누적인 후, θ_2 와 비교하여, $\sum Z$ 가 θ_2 보다 클 경우 탐색과정을 종료하고, 그렇지 않을 경우, Search_Slew신호를 출력하고, 국부 PN 코드를 한 칩 빨리 발생시켜 ① ~ ⑤과정을 반복한다.

그림 3. 탐색자의 알고리즘 흐름도

III. Low Power Design of CDMA Searcher

3.1. Rescheduling 및 strength reduction

그림 2에서 탐색자는 기지국에서 전송하는 PN 코드 (TX_I, TX_Q) 와 국부(단말기)에서 발생된 PN 코드 (RX_I, RX_Q)를 역확산한 결과인 4bits 신호를 동기 누적횟수 $Nc(=128)$ 만큼 누적하는 동기 누적단에 4개의 덧셈기, 에너지 계산을 위해 두 개의 곱셈기, 임계치 비교를 위해 3개의 비교기 및 비동기 누적을 위한 1개의 덧셈기, 그리고 PNI 및 PNQ 코드 Generator로 구성되어 있다.

그림 2의 Data Flow에서 에너지 계산은 임계치 θ_1 과의 비교 결과와 상관없이 동기 누적 횟수 Nc 후에 항상 계산하도록 되어있다. 이를 임계치 θ_1 과 비교 후에 에너지 계산을 하면, 임계치 θ_1 을 초과하지 않을 경우에는 에너지 계산을 하지 않게 되고, 에너지 계산 과정도 한번으로 줄일 수 있어 이를 통해 소비전력을 줄일 수 있다. 그림 2에서는 동기 누적한 결과의 제곱을 비교하기 때문에 제안한 방법과 같이 먼저 임계치를 비교하기 위해서는 동기 누적한 결과의 절대치를 구하는 부수적인 회로가 필요하다. 그러나 연산에 필요한 곱셈기의 수를 한 개로 줄임으로써 전체적인 면적을 줄일 수 있다. 이에 대한 전체적인 data flow graph를 그림 5에서 보였다. 그림 23의 대략적인 동작 순서는 그림 4와 같다.

- ① ~ ③ : (알고리즘 1)과 동일
 $Y_I = \sum O_I, Y_Q = \sum O_Q$
- ④ Y_I 와 Y_Q 의 절대값을 계산한다.
- ⑤ ④의 결과 중 큰 값을 선택한다.
 $P = \max(|Y_I|, |Y_Q|)$
- ⑥ P 를 θ_1 과 비교한다.
- ⑦ P 가 θ_1 보다 클 경우 P 값을 제공한다(에너지 계산단). 그렇지 않을 경우 (알고리즘 1)과 동일.
 $P = (\max(|Y_I|, |Y_Q|))^2 = Z$
- ⑧ 알고리즘 1과 동일

그림 4. 그림 23의 동작 순서

위에서 제안한 방법으로 설계할 때 변화하는 내

부 블록을 그림 2와 그림 23에서 각각 Block 1, Block 2, Block 3, Block 4로 나타냈다. 개별 block에 대한 기능 및 구성을 표 1에 설명하였으며, SYNOPSIS™의 Design Analyzer를 사용하여 합성한 회로를 그림 6, 그림 7, 그림 8, 그림 9에 보였다.

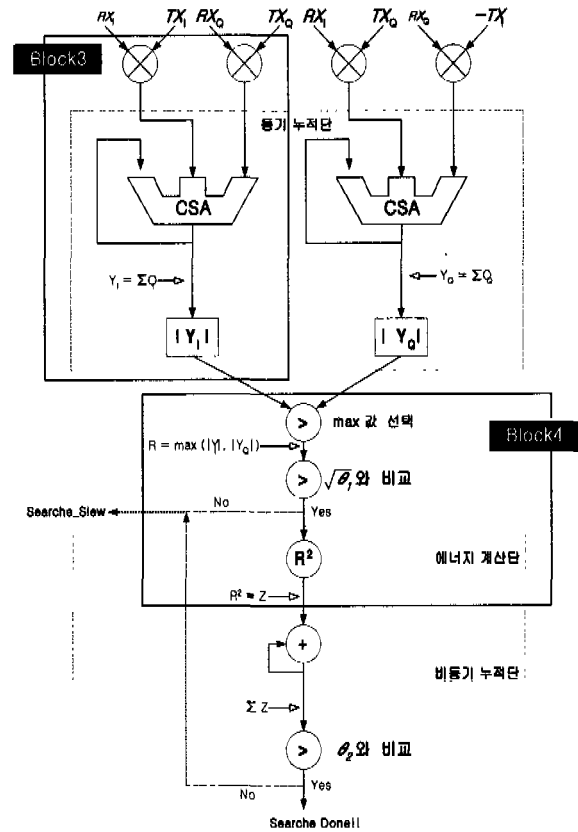


그림 5. Rescheduling 및 Strength Reduction을 이용한 설계의 Data Flow Graph

표 1. 개별 Block별 기능 및 구성

	Block	기능	구성
그림1	Block1	동기 누적 후 에너지 계산	Adder/Multiplier
	Block2	임계치 비교	Comparator
그림2	Block3	동기 누적 후 절대값 계산	Adder/Absolute
	Block4	임계치 비교 후 조건을 만족하는 경우에만 에너지 계산	Comparator/Multiplier

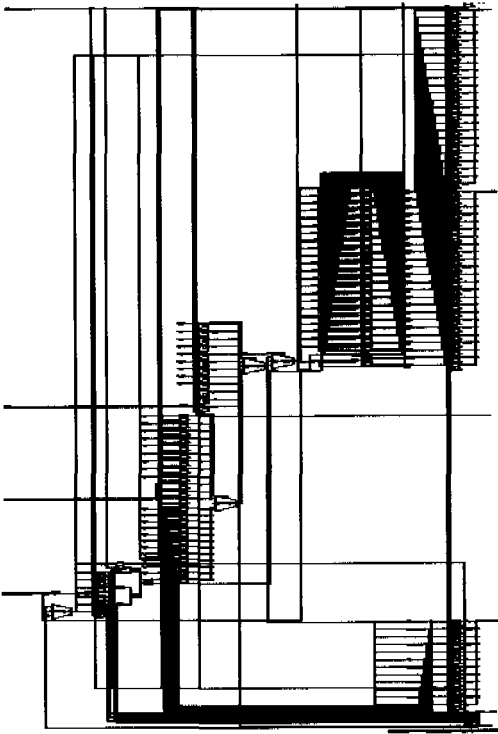


그림 6. Block 1 내부 회로도

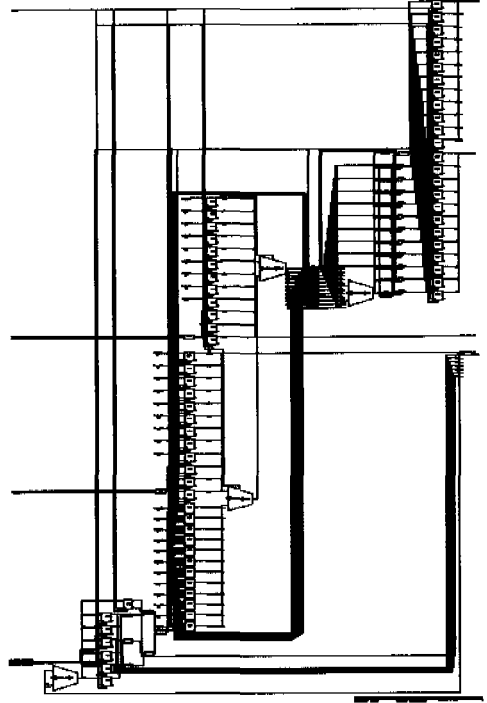


그림 8. Block 3 내부 회로도

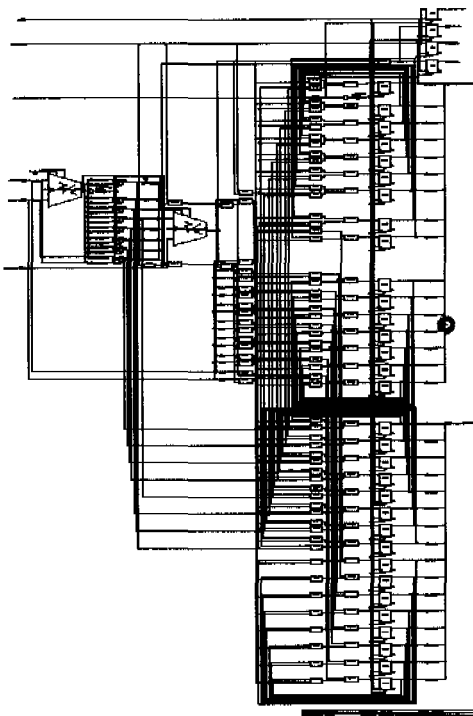


그림 7. Block 2 내부 회로도

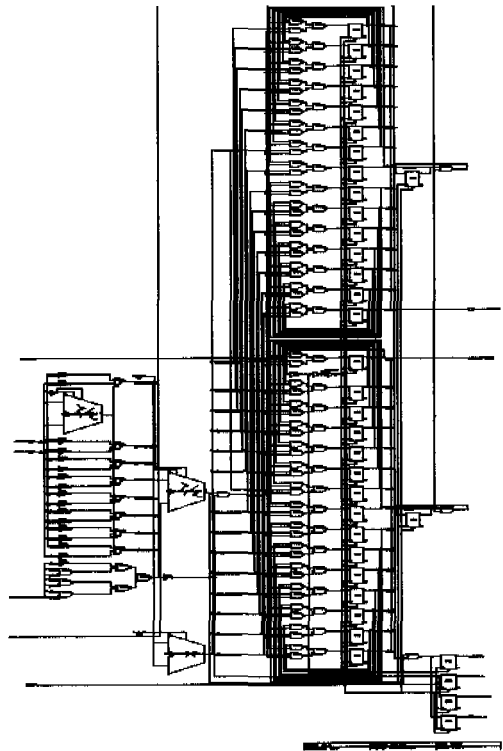


그림 9. Block 4 내부 회로도

내부 블록간의 전력과 면적은 SYNOPSIS™의 Design Power를 이용하여 계산하였으며, 그 결과를 표 2와 표 3에서 비교하였다.

표 2. 개별 Block별 전력 및 면적 비교

	Block1	Block3	개선율 (%)	Block2	Block4	개선율 (%)
Area (Gates)	3229	1113	65.53	619	1194	-92.89
Power (μ W)	26.219	7.484	71.46	2.0518	3.6378	-77.29

표 3. Block 1+Block 3, Block 2+Block 4 비교

	Block1+Block3	Block2+Block4	개선율 (%)
Area (Gates)	3848	2307	40.05
Power (μ W)	28.271	11.122	60.65

에너지 계산단의 위치를 바꿈으로서 불필요한 제곱 연산을 줄일 수 있으며, 절대값 연산을 하는 Block 4는 Block 2와 비교했을 때 상대적으로 작기 때문에, 이에 의한 Overhead는 무시할 수 있다. 이를 통해서 전력과 면적을 각각 40.05%, 60.65% 감소 시켰다.

3.2. Precomputation 기법을 이용한 저전력 설계

본 절에서는 1절의 구조에 Precomputation 기법을 비교기에 적용하였다. Precomputation Logic 설계 방법은 입력 조건에 따라 출력에 영향을 미치지 못하는 회로의 영역을 예측하여, 이 영역의 상태 천이가 일어나지 않도록 함으로써 천이 활동을 줄이는 방법으로, 주어진 회로에 ODC (Observability Don't-Care set)의 Universal Quantification 연산을 수행하여 설계한 Precomputation 회로를 추가하는 구조들과 회로를 Shannon Expansion 구조로 분할하여 입력값에 따라 선택적으로 수행되는 구조가 제안되었다^[3,7]. 그러나 이러한 Precomputation 설계 방법은 추가 회로에 의해 지연시간이 증가하고 적절한 ODC가 존재하지 않는 회로에 대하여 비효율적이므로 일반적인 회로에 적용하기 어려운 단점이 있다. 이에 따라 일반적인 회로에 적용이 가능하고 면적 Overhead와 소모 전력을 효과적으로 줄일 수

있는 효과적인 저전력 회로 합성 알고리즘의 개발이 요구되었으며, 회로 분할시 ODC나 입력 변수 대신, 커널에 따라 분할된 회로를 선택적으로 수행하는 구조의 회로를 생성하고, 전체 전력 소모를 줄일 수 있는 최적의 커널을 선택하는 알고리즘이 제안되었다^[4].

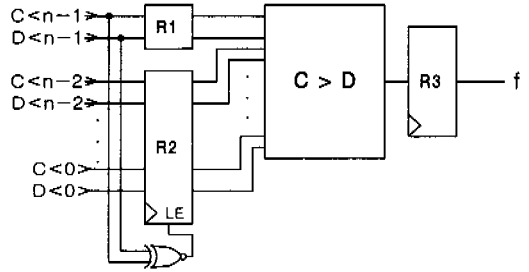


그림 10. Precomputation 비교기

그림 10은 2개의 n-bit input C, D를 가지는 비교기에 Precomputation 기법을 적용한 회로이다. 그림 34에 대한 Precomputation Logic은 아래 수식과 같다.

$$g_1 = C \langle n-1 \rangle \cdot \overline{D \langle n-1 \rangle}$$

$$g_2 = \overline{C \langle n-1 \rangle} \cdot D \langle n-1 \rangle$$

만약 $g_1 = 1$ 이면 C는 항상 D보다 크고, $g_2 = 1$ 이면 C는 항상 D보다 작다. 이를 다시 표현하면 XNOR gate로 표현할 수 있다.

$$\overline{g_1 + g_2} = C \langle n-1 \rangle \otimes D \langle n-1 \rangle$$

클록 주기 t 동안에 g_1 또는 g_2 가 1이 되면 래치 R2가 disable 상태가 되어 다음 클록 주기 t+1 동안 R2의 출력은 값이 바뀌지 않고, R1의 값에 의한 스위칭 활동만 일어나므로 전체 전력 소모는 감소하게 된다. 만약 입력 C, D를 균일 확률로 가정한다면, XNOR gate의 출력이 "1"이 될 확률은 0.5이다. 이는 전체적인 전력 소모를 50% 가까이 줄일 수 있다는 것을 의미한다. 만약 g_1, g_2 에 C < n-2>와 D < n-2>를 추가한다면 전력 소모를 75% 줄일 수 있다^[1].

본 논문에서는 max값을 선택하는 Block 및 임계치(θ_1, θ_2) 비교 Block에서 입력 값의 상위 2-bits를 사용하는 Precomputation 기법을 적용하여 전력 소모를 줄였으며, 임계치 비교시 θ_1 과 θ_2 는 적당

한 임의의 상수로 지정할 수 있으므로 비교기 대신 Multiplexer를 사용하여 면적을 줄였다. 그림 11에서 Data Flow Graph를 보였으며, 블록도는 그림 12와 같다.

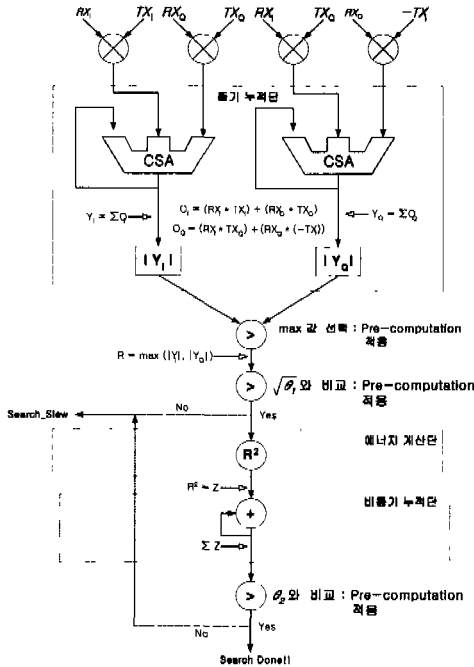


그림 11. Pre-computation을 이용한 설계의 Data Flow Graph

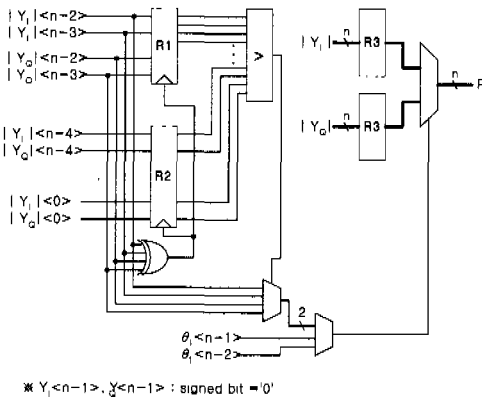


그림 12. 비교기단의 블록도

3.3. Synchronous Accumulator를 이용한 저전력 설계

탐색자의 전체적인 구조에서 전력을 가장 많이 소모하는 블록은 매 클럭마다 입력 값을 누적해가는 동기 누적단이다. 동기 누적 횟수 N_c 에 의해서

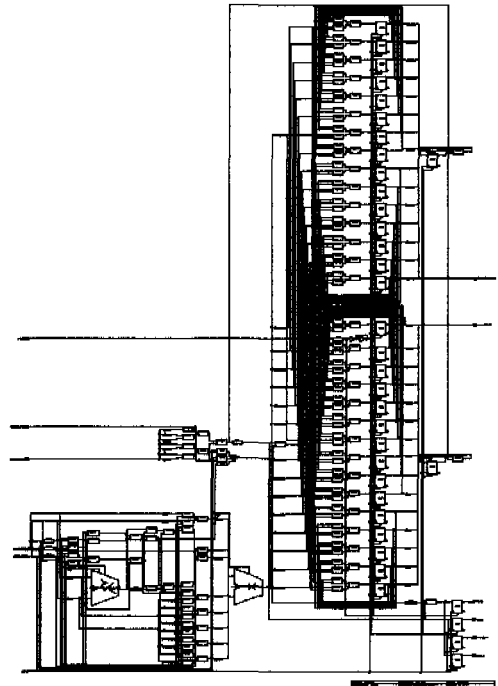


그림 13. 동기 누적 후 최대값 선택 및 임계치 비교단의 내부 회로도

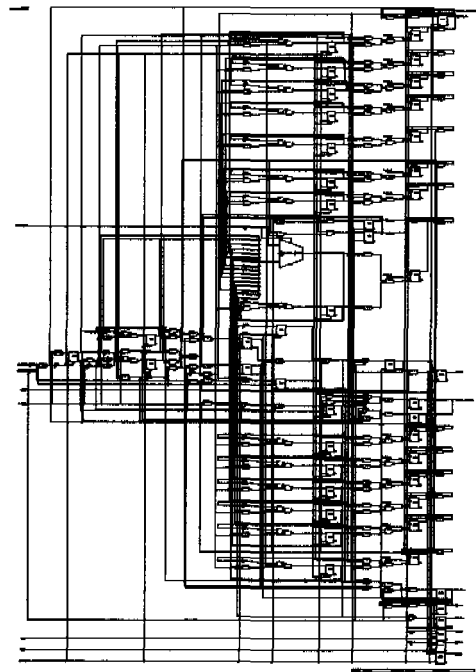


그림 14. 비동기 누적 후 임계치 비교단의 내부 회로도

동기 누적단에 사용되는 덧셈기의 크기가 결정된다. 동기 누적단의 덧셈기 내부에서의 bit 크기를 줄이

기 위해서 본 논문에서 제안하는 방법은 입력값을 2의 배수와 나머지 1로 표현하는 방법이다. 동기 누적단의 입력은 역확산 과정의 결과로서 7 ~ -8 사이의 정수로 가정하여 이를 2의 배수와 나머지로 표현하면 표 4와 같다. 동기 누적횟수 N_c 를 128로 할 경우 동기 누적단에 12bits 덧셈기가 사용된다. 여기에 표 4를 이용하여 설계하면 tp2에는 10bits Counter가 사용되며, tp1에는 9bits Counter가 사용된다. 그림 2에서 동기 누적단은 4bits 입력에 대한 덧셈과정을 N_c 만큼 반복한다. 제안된 방법에서는 4bits 입력을 2의 배수와 나머지 1로 표현하여 tp2는 3bits Count를, tp1은 1bit Count를 N_c 만큼 반복함으로써 내부의 bit 천이를 줄인다. 동기 누적을 완료한 후 결과는 다음과 같다.

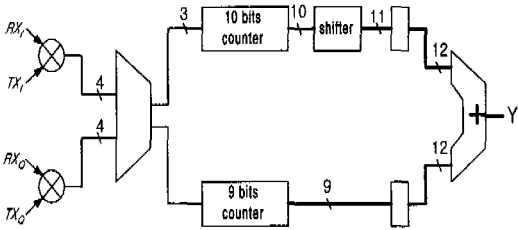


그림 15. Syn_acc_Logic_1의 블록도

$$Sum = \sum_{k=1}^{N_c} (2 * tp2 + tp1) \quad (식 1)$$

이때 $2 * tp2$ 는 Shifter를 사용한다. 대략적인 내부 블록도를 그림 15에 보였으며, 전체적인 Data Flow Graph는 그림 16과 같다.

표 4. 동기 누적단의 논리 표현

입력	Function	레지스터 표현	입력	Function	레지스터 표현
7	$2*3+1$	tp2 = 3 tp1 = 1	-8	$2*(-4)$	tp2 = -4 tp1 = 0
6	$2*3$	tp2 = 3 tp1 = 0	-7	$2*(-3)+(-1)$	tp2 = -3 tp1 = -1
5	$2*2+1$	tp2 = 2 tp1 = 1	-6	$2*(-3)+0$	tp2 = -3 tp1 = 0
4	$2*2$	tp2 = 2 tp1 = 0	-5	$2*(-2)+(-1)$	tp2 = -2 tp1 = -1
3	$2*1+1$	tp2 = 1 tp1 = 1	-4	$2*(-2)+0$	tp2 = -1 tp1 = -1
2	$2*1$	tp2 = 1 tp1 = 0	-3	$2*(-1)+(-1)$	tp2 = -1 tp1 = -1
1	$2*0+1$	tp2 = 0 tp1 = 1	-2	$2*(-1)+0$	tp2 = -1 tp1 = 0
0	$2*0+0$	tp2 = 0 tp1 = 0	-1	$2*0+(-1)$	tp2 = 0 tp1 = -1

$$Sum = \sum_{k=1}^{N_c} (2 * tp2 + tp1)$$

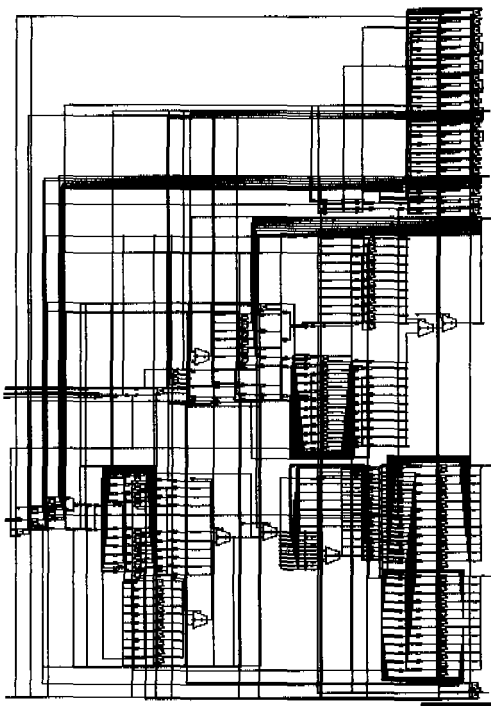


그림 16. Syn_acc_Logic_1의 내부 회로도

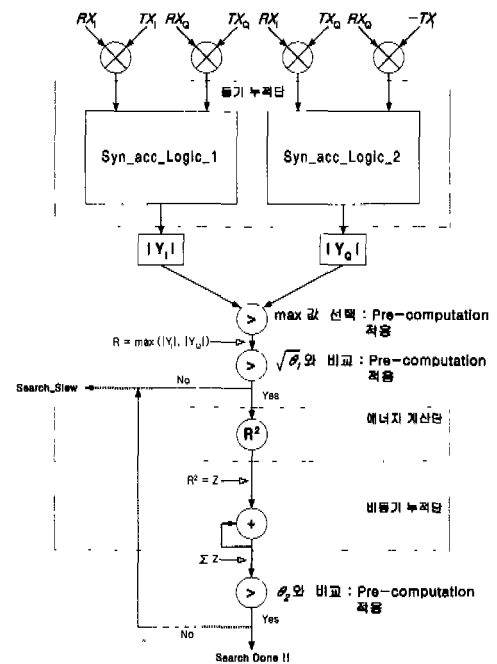


그림 17. Synchronous Accumulator를 이용한 설계의 Data Flow Graph

IV. Simulation and Conclusion

본 논문에서는 VHDL로 탐색자를 설계하였으며, SYNOPSIS™의 Design Compiler를 사용하여 function test 및 design optimization을 통하여 면적에 대한 비교를 하였다. 그리고 SYNOPSIS™의 Design Power를 사용하여 소모 전력을 상호 비교하였다.

표 5. 실험 결과 - 면적 및 전력 비교

	2장	3.1 절	3.2 절	3.3 절
Area(Gates)	9008	5555	5283	7776
Power(μ W)	77.4083	25.7888	25.0392	30.593

표 6. 실험 결과 - 개선을 비교

	2장	3.1 절	3.2 절	3.3 절
Area (%)	-	38.33	41.35	13.68
Power(%)	-	66.68	67.65	60.48

본 논문에서는 IS-95기반의 DS/CDMA 시스템에 사용되는 상관기를 사용한 직렬 탐색방식의 Double Dwell Searcher를 저전력 설계하였다. Data Flow Graph를 이용하여 전체적인 Data Flow를 제시한 후 전력 소모가 클 것으로 예상되어지는 부분을 중심으로 저전력 설계를 하여, 에너지 계산단의 위치를 바꾼 3.1절에서 전력과 면적을 각각 66.68%, 38.33% 줄일 수 있었다. 그러나, 동기 누적단의 누적과정에서 bit 크기를 줄이기 위해 제안된 3.3절에서는 내부에 사용된 Counter의 크기가 예상했던 것보다 증가하였고, 오히려 Counter와 Multiplexer의 Overhead에 의해서 전력과 면적이 각각 60.48%, 13.68%의 감소효과 밖에 보지 못했다. 그리고 비교기에 Precomputation기법 및 Multiplexer를 적용한 3.2절에서 전력과 면적을 각각 67.65%, 41.35% 줄일 수 있었다.

참 고 문 헌

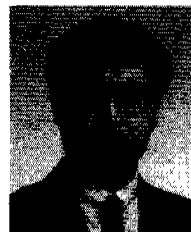
[1] J. Henkel, T. Benner, and R. Ernst, "Hardware Generation and Partitioning Effects in the

COSYMA System", IEEE Int'l Workshop on Hardware/Software Codesign, pp. 29-40, 1993.

- [2] Wonho Lee, Wangrok Oh, Teajin Chung, Kyungwhoon Cheun, Byeongchul Ahn, "Design and Implementation of A Wideband CDMA Modem", Proceedings of ICCE'97, pp. 444-445, June 1997.
- [3] Mazhar Alidina, Jose Monterio, Srinivas Devadas, and Abhijit Ghosh, "Precomputation-Based Sequential Logic Optimization for Low Power", IEEE Transaction on VLSI Systems, Vol. 2, No. 4, pp. 426-435, December 1994.
- [4] Ick Sung Choi, Seung Hyun Ryu, and Sun Young Hwang, "A Kernel-based Precomputation Scheme for Low-Power Design of Combinational Circuits", 전자공학회논문지, 제 34권 C편, pp. 12-19, November 1997.
- [5] "Wideband CDMA multimedia testbed wireless access physical layer spec. ver. 1.0", Korea Mobil Telecom, internal report, 1996.
- [6] Seongjoo Lee, Sangyun Hwang, and Jaeseok Kim, "VLSI Architecture of CDMA Rake Receiver with Low Hardware Complexity for PCS", Proceedings of ICCE'98, pp. 160-161, June 1998.
- [7] M. Alidina, J. Monteiro, S. Devadas, and A. Ghosh, "Pre-computation-Based Logic Optimization for Low Power", Proceedings of ICCAD, pp. 74-81, Nov 1994.

조 준 동(Jun Dong Cho)

정회원

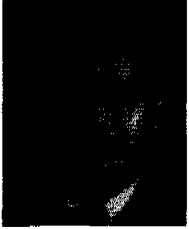


1980년 2월 : 성균관대학교
전자공학과 졸업 (학사)
1983년 6월~1987년 8월 : 삼성
전자 CAD 팀 근무
(연구원, 팀장)
1989년 9월 : Polytechnic
University Brooklyn,
NY 전산학과 졸업(석사)
1993년 7월 : Northwestern University 전산학과 졸업
(박사)
1995년 3월~현재 : 성균관대학교 전기전자컴퓨터공
학부 (부교수)
IEEE Senior 멤버

<주관심 분야> 디지털 통신, 무선통신, 이동통신, 저전력 설계 기술, VLSI CAD 등임

김 산(San Kim)

준회원



1994년 2월: 성균관대학교
전자공학과 졸업 (학사)
2000년 2월: 성균관대학교
전기전자컴퓨터공학부
졸업 (석사)

<주관심 분야> 디지털 통신, 무선통신, 이동통신, 저전력 설계 기술, Reconfigurable System 등임

황 인 기(In Ki Hwang)

준회원



1999년 2월: 성균관대학교
전자공학과 졸업 (학사)
1999년 3월~현재: 성균관대학교
전기전자컴퓨터공학부
석사과정

<주관심 분야> 디지털 통신, 이동통신, 저전력 설계 기술, 상위단계에서의 소비전력 예측 등임