

# 연결 수락 제어를 갖는 입력 대기행렬 ATM 교환기의 성능 분석

정회원 박찬영\*, 이종우\*

## Performance Analysis of an Input Queueing ATM Switch with Connection Admission Control

Chan Young Park\*, Jong Woo Lee\* *Regular Members*

### 요약

본 논문에서는 입력 대기행렬 ATM 교환기에 대한 연결 수락 제어(CAC)의 영향을 마코프 연쇄 모델에 의해 분석한다. 도착 프로세스는 입력과 출력포트에서의 호 상태에 의해 유도되는 이산 시간 마코프 변조 베르누이 프로세스(MMBP)로 모델링한다. 각 입력포트의 HOL에 대기중인 셀들로 형성되는 가상 대기행렬에 대한 분석과 그 결과를 사용한 입력 대기행렬에 대한 분석을 통해, 우리는 성능 평가 지수로서 셀 지연과 셀 유실 확률을 얻을 수 있다. 이러한 CAC가 있는 환경에서의 성능 분석을 모의 실험을 통해 검증하였으며, 그 결과로서 상관관계가 있는 트래픽의 여러 변수가 성능에 미치는 영향을 논의하였다.

### ABSTRACT

This paper analyzes the call admission control (CAC) effects on the input queueing ATM switch by using the Markov chain model. The arrival process is modeled as a discrete-time Markov modulated Bernoulli process (MMBP) driven from call states in input and output ports. We analyze the virtual queue which consists of the cells waiting at the HOL position in each input port, and evaluate input queue using the virtual queue analysis results. With these result, we obtain the cell delay and the loss probability as performance measures. We verify the analysis results through computer simulation. Finally, we discuss the effects of the correlated traffic parameters on the system performance.

### 1. 서론

미래의 광대역 종합정보 통신망(BISDN)은 서로 다른 서비스 품질(QoS) 요구사항을 갖는 영상, 음성, 데이터를 실어 나르게 될 것이다. 이러한 트래픽들을 처리하기 위하여, 여러 비동기 전송방식(ATM) 교환기들이 개발되었다<sup>[1-2]</sup>. ATM 교환기에 대한 기존 해석들의 대부분은 각각의 도착 프로세스가 서로 상관관계가 없다고 가정하고 있다<sup>[3-5]</sup>. 이 가정은 호의 트래픽 발생률이 링크의 전송 속도에

비해 현저히 작은 경우에 적절하다<sup>[4]</sup>. 그러나 현재 인터넷에서는 링크의 전송속도에 비교될만한 스트림 트래픽 소스(예를 들어 영상이나 파일 전송과 같은)가 많아지고 있다. 스트림 트래픽을 갖는 호에서는, 인접한 패킷 도착 시간사이에 높은 양의(positive) 상관 관계가 존재하고, 모든 패킷이 동일한 출력포트로 향하게 된다.

상관 관계가 큰(버스티한) 트래픽 조건하에서 출력 대기행렬 교환기의 성능 분석을 다룬 논문은 여러 편 게재된 바 있으나<sup>[7-8]</sup>, 위와 같은 조건에서 입

\* 한림대학교 정보통신공학부 고속통신 연구실(cypark@hallym.ac.kr),  
논문번호: 00347-0901, 접수일자: 2000년 9월 1일

\* 이 논문은 2000년도 한림대학교 학술연구 조성비에 의하여 연구되었습니다.

력 대기 행렬이나 입/출력 대기행렬 교환기에 대한 연구는 많지 않은 상태이다<sup>9,12</sup>. Li는 복수 개의 이산 시간 마코프 모델을 갖는 소스들이 각 입력에 들어오는 입/출력 대기행렬 교환기에 대해 분석하였다<sup>9</sup>. 입력 버퍼가 무한하다는 가정 하에, Li는 무한 마코프 연쇄를 풀기 위해 M/G/1 행렬 분석 방법을 적용하였다. 그는 교환기가 순수한 입력 버퍼 교환기일 때 최대 스루풋을 얻어 만일 동일한 소스의 수가 40보다 크면, 출력 성능에 대한 입력 트래픽 correlation의 영향이 무시될 수 있음을 보였다<sup>9</sup>. Collier와 Kim은 각 입력포트에 on-off 소스를 갖는 일반적인 입력 버퍼 교환기를 분석하였다<sup>10</sup>. 입력 대기행렬의 서비스 확률을 얻기 위해 반복적 방법을 사용하여, 그들은 각 입력이 자신의 버퍼를 갖는 고정 버퍼 경우와 각 입력 버퍼로 셀 들을 공평하게 배분하는 선형 분배 망을 갖는 공유 버퍼 경우를 분석하였다.

본 논문에서 우리는 일반적인 입력 버퍼 ATM 교환기를 고려한다. 상관 관계가 있는 트래픽의 효과를 분석하기 위해, 무한개의 호 소스를 가정한다. 기존의 연구[4,7,9,10,13,14,15]들에서 상관 관계가 있는 트래픽의 전형적인 모델로서 사용되는 two-state 마코프 소스 모델은 높은 버스티성 때문에 버스티성의 영향을 조사하는 데 적절하다. 그러나 ATM 교환기의 한 입력포트에 하나의 소스가 있는 경우, 이는 최악의 트래픽 조건이 된다. 연결 수락 제어(CAC)를 갖는 ATM 교환기에서, 각 입력과 출력포트는 유한한 수의 호를 각각 갖게된다. 호 설정 절차에서 간단한 CAC 방식을 채택하면, 우리는 도착 프로세스를 입력과 출력포트에 존재하는 호들의 상태에 의해 구동되는 이산 시간 마코프 변조 베르누이 프로세스(Markov Modulated Bernoulli Process; MMBP)로 모델링할 수 있다. ATM 다중화기나 ATM 교환기의 입력 프로세스가 MMBP일 때, 출력 프로세스도 MMBP로 모델링될 수 있음이 알려져 있다<sup>16-17</sup>.) 그러므로, 망의 중계 노드인 교환기에 대한 도착 프로세스를 이산시간 MMBP로 모델링하는 것이 합당하다. 입력포트에는 유한 버퍼를 가정한다. 가상 버퍼와 입력 버퍼에 대한 마코프 연쇄 해석을 통해, 우리는 셀 지연과 셀 유실 확률을 구할 수 있다. 마코프 연쇄의 차원은 교환기의 크기가 아닌, 입력과 출력포트에서 수락될 수 있는 연결

의 최대 숫자에 비례한다.

본 논문은 다음과 같이 구성된다. 제 2장에서는 교환기 모델과 CAC를 채택하여 무한 호 소스가 있는 입/출력포트에서 MMBP를 형성하는 트래픽 모델을 설명한다. 제 3장에서는 두 개의 마코프 연쇄 모델을 차례대로 분석하여, 성능 변수를 얻어 모의 실험 결과와 비교한다. 제 4장에서 결론을 맺는다.

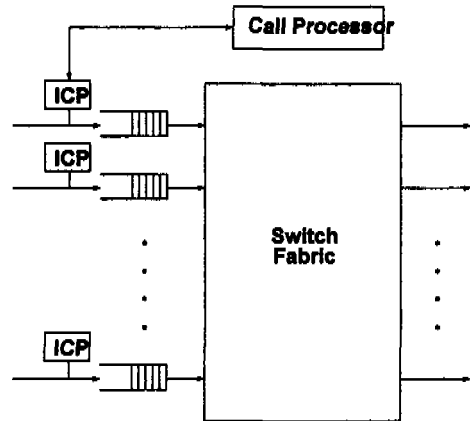
## II. 교환기와 트래픽 모델

### 1. 교환기 모델

우리는 ATM 네트워크의 중계 노드에 위치하는 ATM 교환기의 이산 시간 모델을 고려한다. 교환기는 그림 1에 보여지는 바와 같이 범용 입력 버퍼 ATM 교환기이다. 이는 대칭 구조의  $N \times N$  교환기로서 각 입력포트는  $K$  셀까지 저장할 수 있는 고정 버퍼를 갖는다. 교환기 내의 시간은 셀 서비스 시간 단위로 나뉘어 진다. 출력포트의 속도는 입력포트와 같다. 셀은 선입선출(First-In-First-Out: FIFO) 방식에 따라 서비스된다. 이미 버퍼가 가득 찬 경우에 들어오는 셀은 폐기된다. 각 입력은 새로 들어오는 호를 수용할 것인지 아닌지를 결정하는 입력 호 프로세서(Input Call Processor: ICP)를 갖는다. 각 ICP에서 수용된 호는 집중 호 프로세서(Central Call Processor: CCP)에서 연결 수락 제어(CAC)를 수행한다.

### 2. 연결 수락 제어

연결 지향적으로 동작하는 네트워크 (예를 들어,



ICP: Input Call Processor

그림 1. 일반적인 입력 버퍼 ATM 교환기

1) BISDN 환경에서 geometric 서버의 예가 참고 문헌 [18]에 있다.

X.25 패킷 네트워크나 BISDN)에서는, 하나의 호나 가상채널(Virtual Circuit: VC)을 설정하기 위해, 모든 중계 교환 노드들의 동의가 필요하다. 각 교환 노드에서는 입력 호들의 트래픽 특성과 입출력 포트의 상태 및 교환 노드의 자원에 기반하여 CAC를 적용함으로써 이러한 동의를 수행한다. ATM 호의 트래픽 특성은 최대 셀율(Peak Cell Rate: PCR), 평균 셀율(Average Cell Rate), 버스트성(burstiness), 버스트 길이, 소스 종류들과 같은 변수들에 의해 묘사된다. 일반적인 입력 버퍼 ATM 교환 구조를 갖는 특정 교환 노드를 고려하면, CAC가 각 입력과 출력 포트에 적용된다는 것을 알고 있다. 실제 환경에서의 다양한 트래픽 요구 조건을 만족시키기 위하여, 여러 연구자들은 여러 가지의 CAC 알고리즘을 사용하였다<sup>19-20)</sup>. 여기서 우리는 유효 대역폭(effective bandwidth)의 개념<sup>22-23)</sup>을 사용한 간단한 CAC 알고리즘<sup>2)</sup>을 고려한다. 이를 간단히 설명하면 다음과 같다. 호는 트래픽 기술자(descriptor)와 QoS 요구 조건으로부터 추출될 수 있는 유효 대역폭을 갖는다. 소스 트래픽 기술자는 연결이 설정되는 시점에서 연결의 고유한 트래픽 특성을 지정하는 트래픽 매개 변수들의 조합이다<sup>24)</sup>. 본 논문에서 사용된 호의 유효 대역폭은 상수로 표현될 수 있으며 교환기에 들어오는 다른 호들에 대해 독립적이라고 가정한다.

분석의 편리성을 위해, 모든 호가 동일한 트래픽 특성과 QoS 요구조건을 갖고, 각 호는 연결시간 동안 각 타임 슬롯에서 확률  $p$ 로 셀을 생성한다, 즉, 연속된 셀 사이의 도착 시간차이가 geometrical 분포를 갖는다고 가정하자. 그러면 각 호의 유효 대역폭은 입/출력 라인 용량에 대해 정규화 하면  $p$ 로 표현할 수 있다. 즉, 최대  $C_{max} = 1/p$  개의 호가 입력이나 출력포트를 통해 연결될 수 있다. 그러나, 호 요청은 셀 유실 확률과 지연 요구 조건과 같은 QoS 목표치를 요청된 호뿐 아니라 기존 호들에 대해서도 만족시킬 수 있는 충분한 망 자원이 있을 경우에만 받아들여질 수 있기 때문에, 호는 그 최대치인  $C_{max}$ 까지 연결되지 않을 수도 있다. 일반적으로, 입력과 출력이 수용할 수 있는 호 개수의 기준치  $C$ 는  $C_{max}$ 보다 적거나 같게된다. 교환기가 대기 구조를 갖는다는 가정에 의해, 동일한 CAC 알고리즘이 각 입력과 출력포트에 적용될 수 있다. 즉, 새로운 호가 입력포트  $i$ 에서 출력포트  $j$ 로 설정되도록

2) 여기서 사용된 모델은 비연결형 서비스에 대한 CAC 방식에서는 참고 문헌 [21]의 버스트 수락 제어로 대체될 수 있다.

요청할 때, 만일 입력포트  $i$ 나 출력포트  $j$ 에 존재하는 호의 수가  $C$ 이면, 이 호는 연결될 수 없다.

### 3. 호 프로세스 모델

트래픽이 입/출력포트 상에 균일하게 분포되어 있고 매 타임 슬롯마다 각 입력포트에 도착하는 호의 수가 도착율(arrival rate)  $\lambda$ 인 포아송(Poisson) 분포를 가지며 연결된 호의 유지 시간이 평균  $1/\mu$ 인 geometric 분포를 갖는다고 가정하자. 이 가정으로부터 입력과 출력포트의 호 상태에 대한 이산시간 마코프 연쇄 모델을 형성할 수 있다. 단 우리가 도착율  $\lambda$ 를 마코프 연쇄의 해석에 직접 사용할 수 없다는 점에 주의하라. 그 이유는 도착 호들이 호 수용 거절로 인해 교환기에 연결되지 못하는 경우가 발생하기 때문이다. 여기서 유효 도착율  $M$ ,  $\lambda O$ 를 각각 입력포트와 출력포트에 대한 수용 성공 호의 도착율로 정의하자. 교환기가 대기구조이고, 호 도착이 균일하므로, 각 입력에 대한 호 도착 분포가 포아송 분포를 갖는다는 가정으로부터 우리는  $M = \lambda O$ 임을 알 수 있다. 입력포트에 도착하는 호가 목적하는 출력포트의 상태에 따라 거절될 수 있기 때문에, 입력포트에 대한 유효 도착율은 목적하는 출력포트의 거절 확률에 의해 결정된다. 이 거절 확률은 또한 출력포트의 유효 도착율에 따라 결정되므로, 마코프 연쇄의 정상상태 확률 분포를 재귀적 방법을 사용하여 유도할 수 있다. 한 타임 슬롯에 새로 도착하는 호의 수가  $k$ 일 확률을  $a_k^C$ 로,  $l$ 개의 호가 있을 때  $m$ 개의 호가 종료될 확률을  $b_{l,m}^C$ 로 정의한다. 이 확률들은 다음과 같이 표현된다.

$$a_k^C = e^{-\lambda} \lambda^k / k! \\ b_{l,m}^C = \binom{l}{m} \mu^m (1-\mu)^{l-m} \tag{1}$$

$C_i$ 를 입력과 출력포트에서  $i$ 번째 타임 슬롯의 경계점에서 설정되어 있는 호의 수로 정의하면, 정상상태 천이 확률인  $\omega_{nk} = \lim_{t \rightarrow \infty} \Pr[ C_{t+1} = k | C_t = n ]$ 은 다음과 같이 구해진다.

$$\omega_{nk} = \begin{cases} \sum_{i=0}^C a_{k-n+i}^C b_{n,i} & \text{if } n < k, k \neq C, \\ \sum_{i=0}^C a_{k-n+i}^C \sum_{j=0}^n b_{n,i-j} & \text{if } n < k, k = C, \\ \sum_{i=n-k}^C a_{k-n+i}^C b_{n,i} & \text{if } n > k, \\ \sum_{i=0}^C a_i^C b_{n,i} & \text{if } n = k, k \neq C, \\ 0 & \text{otherwise.} \end{cases} \tag{2}$$

여기서 입력과 출력포트에 대한 결과적인 마코프 연쇄는 그림 2와 같이 나타난다. 입력과 출력포트에 대한 마코프 연쇄가 동일한 상태 천이 확률을 갖기 때문에, 입력과 출력포트에 있는 호 상태의 정상 상태 확률을  $\pi_n^C = \lim_{i \rightarrow \infty} \Pr [C_i = n]$ 로 나타낼 수 있다. 호 상태가  $n$ 인 입력포트를 생각해 보자. 입출력 라인이 한 타임 슬롯에 하나의 셀만 송수신할 수 있기 때문에 이 입력포트에 대한 셀 도착 프로세스는 확률  $np$ 를 갖는 베르누이 프로세스로 가정할 수 있다. 따라서 전체적인 셀 도착 프로세스는 이산 시간 MMBP를 형성한다.

### III. 입력 버퍼 교환기의 성능 분석

분석을 수행하기 위해, 먼저 입력 버퍼에서의 HOL(head-of-line) 위치에서 대기중인 셀의 대기 시간을 구한다. 이러한 HOL 위치의 셀을 갖는 대기 행렬을 가상 대기 행렬(virtual queue; VQ)라고 부른다. 뒤에서 우리는 이 VQ의 평균 대기 시간을 평균 서비스 시간으로 사용하여, 입력 대기 행렬을 분석한다. 분석을 위해, 이산 시간 모델의 몇 가지 특징을 살펴보자.

- (a) 시간은 슬롯화되어 있다. 각 슬롯 시간은 출력 포트에서 한 셀의 전송시간과 일치한다. 이 시간을 1로 가정한다.
- (b) 각 슬롯 경계점에서, 셀 상태 (하부 마코프 연쇄) 천이가 발생한다. 슬롯 경계점 바로 뒤에서, 현재 호 상태에 의해 결정되는 확률로 셀이 도착할 수 있다.
- (c) 서비스는 버퍼에 셀이 있거나 또는 셀이 도착하면 시작된다. 슬롯의 끝에서 (슬롯 경계점보다는 전에) 서비스는 종료된다.
- (d) 큐 통계의 관찰 시점은 슬롯 경계점이다.

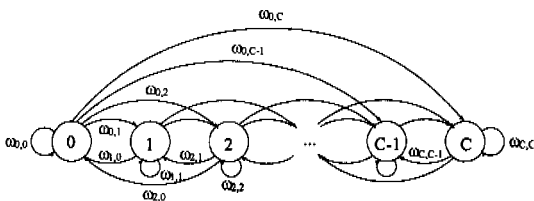


그림 2. 입력과 출력 포트의 호 상태에 대한 이산 시간 마코프 연쇄 모델

#### 1. 가상 대기행렬 분석

가상 대기행렬은 특정한 출력포트로 향하는 HOL

셀들로 구성된 가상 큐를 의미한다. 이러한 셀들은 적어도 하나의 호가 특정 출력포트에 연결된 입력 포트에 존재할 수 있으므로 가상 큐의 대기 공간은  $\min(N, C)$ 의 용량을 갖는다. 우리는 교환기 크기  $N$ 이 충분히 커서 하나의 입력포트에서 특정한 출력으로 둘 이상의 호가 연결될 확률이 무시할만하다고 가정한다. 가상 큐에의 셀 입력은 비어있는 HOL 위치에 새로운 셀이 들어오는 것으로 정의한다. 만일 가상 큐에  $i$ 개의 셀이 있다면, 새로 들어올 수 있는 셀의 최대 수는  $\min(N, C) - i$ 가 될 것이다. 따라서 셀 입력은 특정 출력포트의 호 상태와 가상 큐의 큐 길이 둘 다에 의존된다.

이러한 도착 프로세스는 이산 시간 마코프 변조 배치 베르누이 프로세스(Markov Modulated Batch Bernoulli Process; MMBBP)를 형성한다.  $Q_i^V$ 를 시간  $t$ 에서 가상 큐의 큐 길이로 놓으면, 배치 크기  $X_t$ 는  $\{C_i^V = n, Q_i^V = i\}$ 라는 조건이 주어졌을 때 다음과 같은 이항(binomial) 분포를 갖는다.

$$a_{i,j}^V = P \{ X_t = k | C_t^V = i, Q_t^V = j \} = \binom{i-j}{k} p^k (1-p)^{i-k}$$

$$0 \leq k, j \leq \min(N, C), 0 \leq i \leq C.$$

따라서 이 시스템은 MMBBP/D/1/min(N,C) 큐로서 모델링된다. 이중 변수 프로세스  $\{C_i^V, Q_i^V\}$ 는 마코프 연쇄를 형성한다. 상태 천이 확률은 다음과 같이 얻어진다.

$$P_{in,jk} = \Pr [ C_{t+1}^V = k, Q_{t+1}^V = j | C_t^V = n, Q_t^V = i ]$$

$$= \begin{cases} \omega_{nk} (a_{n,i}^V(0) + a_{n,i}^V(1)) & \text{if } i=0 \text{ and } j=0 \\ \omega_{nk} a_{n,i}^V(j-i+1) & \text{if } 0 < i < \min(N, C) \\ 0 & \text{otherwise.} \end{cases} \quad (3)$$

이에 대한 정상 상태 확률을 구하는 것은  $(\min(N, C) + 1)(C+1)$ 개의 평형 방정식과 하나의 정규화 방정식을 푸는 것과 같다.

$\pi_{i,n}^V = \lim_{i \rightarrow \infty} \Pr [ C_i^V = n, Q_i^V = i]$ 를 마코프 연쇄의 정상 상태 분포로 정의하자. 방정식은 다음과 같이 주어진다.

$$\pi_{i,n}^V \sum_{j=0}^{\min(N,C)} P_{in,jk} = \sum_{j=0}^{\min(N,C)} \pi_{j,k}^V P_{jk,in}$$

$$0 \leq i \leq \min(N, C), 0 \leq n \leq C, \quad (4)$$

$$\sum_{0 \leq i \leq \min(N,C), 0 \leq n \leq C} \pi_{i,n}^V = 1. \quad (5)$$

이제 특정 가상 큐에 들어오는 임의의 셀을 생각해 보자. 임의의 셀의 평균 대기 시간은 참고 문헌 [25,26]에서 사용한 것과 비슷한 방법으로 얻어진다.

$$\bar{\omega}^V = \sum_{n=0}^C \sum_{i=1}^{\min(N,C)} a_{i,n} \pi_{i,n}^V (i + \bar{a}_{i,n}) / \alpha \quad (6)$$

여기서  $a_{i,n} = 1 - a_{i,n}^V(0)$ 은 양수인 배치가 상태가  $n$  이고  $i$ 개의 셀을 갖고 있는 가상 큐에 도착할 확률이고,  $\alpha = \sum_{n=0}^C \sum_{i=0}^{\min(N,C)} a_{i,n} \pi_{i,n}^V$  이다. 그리고  $\bar{a}_{i,n}$ 은 표시된 셀이  $\{C^V = n, Q^V = i\}$ 인 상태에서 도착했다는 조건이 주어졌을 때, 표시된 셀과 동일한 타입 슬롯에 도착하나 표시 셀보다 앞셀 셀의 예측 값을 나타낸다. 이는 다음 식과 같이 주어진다.

$$\bar{a}_{i,n} = \frac{1}{a_{i,n}} \sum_{k=j+1}^i \sum_{l=k+1}^{\min(N,C)} a_{i,n}^V(l) \quad (7)$$

여기서  $\bar{a}_{i,n}$ 은  $\{C^V = n, Q^V = i\}$ 가 주어졌을 때의 평균 배치 크기이다. 셀 도착이 가상 큐의 점유 상태에 의존하고 버퍼가 넘치지 않기 때문에, 가상 큐에 대한 셀 유실 확률은 0라는 점을 유의하라.

### 2. 입력 큐 분석

입력 큐에 대한 분석은 가상 큐에 대한 것과 유사하게 수행된다. 도착 프로세스는 제 2장에서 설명한대로 MMBP로 모델링된다. 서비스 시간은 평균  $1/q$ 인 geometrical 분포를 갖는다. 여기서  $q$ 는 HOL 셀의 평균 서비스 확률로 정의되며 이는 가상 큐 분석에서 얻어진 평균 대기 시간으로부터 다음과 같이 계산될 수 있다.

$$q = 1 / (\bar{\omega}^V + 1). \quad (8)$$

입력 큐의 용량이  $K$ 이므로, 입력 큐의 모델로서 MMBP/Geom/1/K 큐잉 시스템을 형성한다.

$$P_{i,n,k}^I = \Pr[ C_{i+1}^I = k, Q_{i+1}^I = j | C_i^I = n, Q_i^I = i ]$$

$$= \begin{cases} \omega_{nk}((1-np) + npq) & \text{if } i=0, j=0, \\ \omega_{nk}(np(1-q)) & \text{if } j=i+1, \\ \omega_{nk}((1-np)q) & \text{if } j=i-1, i>0, \\ \omega_{nk}((1-np)(1-q) + npq) & \text{if } j=i, \\ \omega_{nk}(1-q) & \text{if } j=i=K \\ \omega_{nk}(q) & \text{if } i=K, j=K-1 \\ 0 & \text{otherwise.} \end{cases} \quad (9)$$

여기서  $np$ 는 호 상태가  $n$ 일 때 특정 입력포트에 하나의 셀이 도착할 확률이다.

위의  $(C+1)(K+1)$ 개의 평형 방정식과 하나의 정규화 방정식을 풀면, 입력 큐 크기와 호 상태에 대한 공동 정상 상태 확률  $\pi_{i,n}^I$ 을 얻을 수 있다. Little의 결과로부터 평균 대기 시간은 다음과 같이 주어진다.

$$\bar{\omega} = (\sum_{n=0}^C \sum_{i=0}^K n \pi_{i,n}^I - q) / \rho_{eff}. \quad (10)$$

여기서  $\rho_{eff}$ 는 입력 큐에 대한 유효 부하로서 다음과 같이 구해진다.

$$\rho_{eff} = \sum_{n=0}^C \sum_{i=0}^{K-1} i b \pi_{i,n}^I. \quad (11)$$

셀 유실 확률은 입력 큐가 가득 찰 확률에 비례하므로 아래와 같이 나타낼 수 있다.

$$P_{loss} = \sum_{n=0}^C a_n^I \pi_{K,n}^I. \quad (12)$$

### 3. 성능 평가

서로 상관관계가 있는 트래픽의 영향을 고찰하기 위해, 먼저  $C = C_{max}$ 인 경우를 보자. 이 가정은 각 입력과 출력이 각각 넘칠 수 없으나, 전체 교환기 측면에서 보면 HOL 블로킹 때문에 오버로드 상태가 존재함을 나타낸다. 이러한 오버로드 상태를 제거하기 위해, 교환기가 최대 스루풋보다 적은 부하에서 동작하도록 해야한다. 순수 입력 버퍼 교환기의 최대 스루풋은 균일 트래픽 상황에서 0.586으로 알려져 있다<sup>[3]</sup>. 그러나 입력 트래픽이 상관관계가 있으면, 최대 스루풋은 0.5로 감소한다<sup>[9]</sup>. 따라서 다음의 예에서는 최대 스루풋 0.5를 맞추기 위해  $C = C_{max}/2$ 로 설정한다. 분석을 검증하기 위해, 모의실험을 제 2장의 가정 하에 실시하였다. 교환기 크기  $N = 32$ 를 선택하였다.

그림 3은 스루풋에 대한 평균 대기 시간을 나타내었고, 그림 4에는 인가된 부하에 대한 셀 유실 확률을 여러 가지 호의 수에 대해  $\mu = 0.001, K = 30$ 셀일 때 나타내었다. 그림에서 보여지는 바와 같이 입력 큐의 분석에서 평균 대기 시간과 셀 유실 확률이 geometric 분포 서비스의 가정에 의해 과소 평가되어 있음을 알 수 있다. 이 그림들은 각 입출력이 수용할 수 있는 호의 수가 증가할수록 분석과 모의실험 결과의 차이가 작아지고 균일 트래픽 성능에 가까워짐을 알 수 있다.  $C > 40$ 일 때는 참고

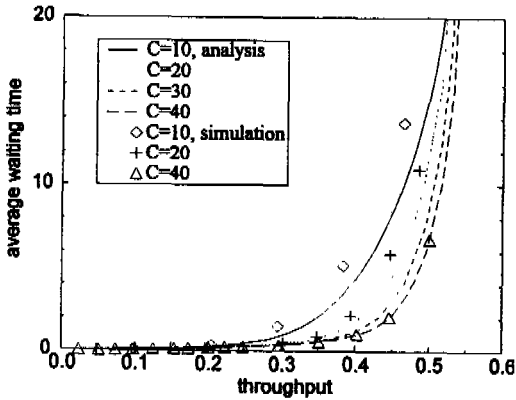


그림 3. 여러 가지 호 수에 대한 평균 대기 시간

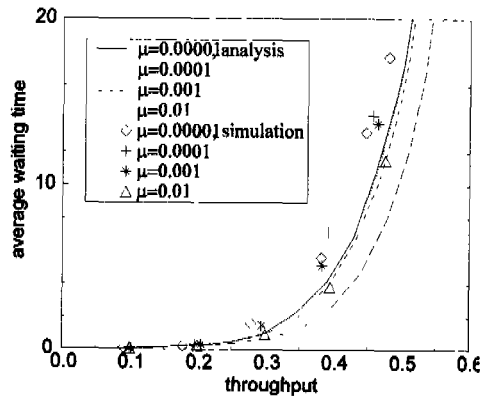


그림 5. 여러 가지 호 해제율  $\mu$ 에 대한 평균 대기 시간

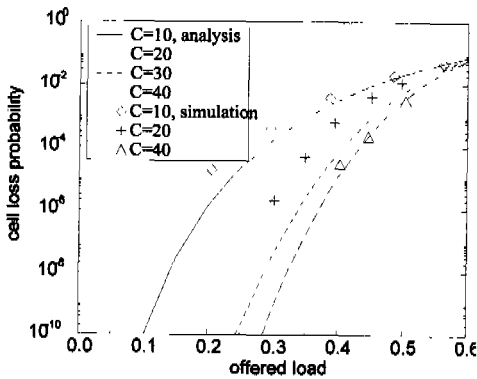


그림 4. 여러 가지 호 수에 대한 셀 유실 확률

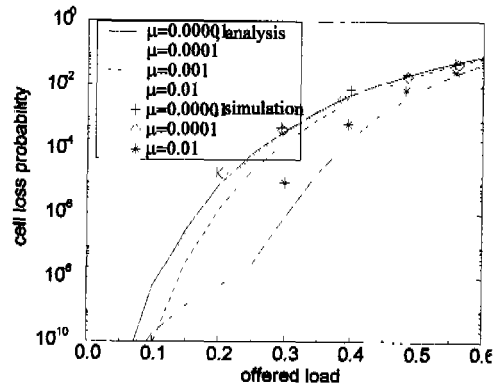


그림 6. 여러 가지 호 해제율  $\mu$ 에 대한 셀 유실 확률

문헌 [9]에서 주장한바와 같이 상관관계가 있는 트래픽의 효과가 무시될 수 있다.  $C = 10$ 일 때 하나의 호는 약 15Mbps의 평균 부하를 교환기에 인가한다. HDTV 시스템이 20Mbps이하의 평균 비트율을 갖고, MPEG-2 비디오 스트림이 약 10Mbps 정도의 평균 비트율을 전송할 것으로 예상되므로, 일반적으로, 우리는  $C > 40$ 이라는 가정을 채택할 수 없다. 호 해제 확률의 영향을 그림 5와 6에서 보았다. 이 그림들에 대한 조건은  $C = 10$ ,  $K = 30$ 일 때이다. 호 유지 시간이 길어질수록 성능이 나빠지는 것을 알 수 있으나,  $\mu > 0.001$ 이면 성능이 포화 상태가 됨을 알 수 있다. 본 논문에서 사용하는 호 유지 시간은 일반적인 소스 모델에서의 버스트 길이와 비슷하게 생각할 수 있다. ATM 다중화기에 대한 이전의 문헌들에서 상당히 긴 버스트 길이에 대해 성능이 포화되는 현상을 볼 수 있다<sup>[22,15]</sup>. 버퍼 크기에 대한 셀 유실 확률을 스루풋이 0.15일 때 여러 가지 호 해제 확률에 대하여 그림 7에 나타내었다. 각각의  $\mu$ 에 대해 뒷줄은  $C = 10$ 일 때이고,

아래 줄은  $C = 20$ 일 때이다. 이 그림은 버스트 길이에 따라 포화 현상에 대한 버퍼 크기의 영향을 나타낸다. 버스트 내에서 생성되는 평균 셀 수가 버퍼 크기에 비해 아주 작지 않을 때, 유실 확률이 버퍼 크기에 따라 영향을 받음을 보여준다.  $C = 10$ 일 때  $\mu = 0.001$ 인 호는 평균적으로 100 셀을 생성한다, 즉 이 호는 4.8kbyte의 정보를 네트워크에 전송하고 2.7ms동안 유지된다. 이 그림에서 평균 버스트 길이 100 또는 50 셀을 갖는 호에 대한 유실 확률은 버퍼 크기가 10에서 60으로 변할 때 기하급수적으로 감소하고, 평균 버스트 길이 10 또는 5 셀을 갖는 호에 대해선 버퍼 크기가 20보다 작을 때 감소하나 20보다 큰 버퍼 크기에 대해서는 포화 상태로 들어간다.

다음으로,  $C = C_{max}/2$ 로 설정하자. 그림 8과 9는 스루풋에 대한 평균 대기 시간과 인가된 부하에 대한 셀 유실 확률을 각각  $\mu = 0.001$ ,  $K = 30$  셀일 때 보여준다. 이 그림들에서 우리는 몇 가지 흥미로운 결과를 볼 수 있다. 먼저 그림 8에서  $C$ 에 대한

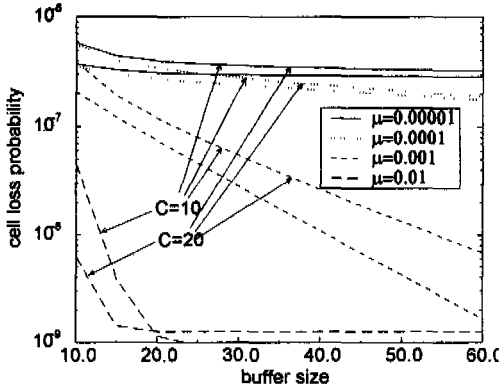


그림 7. 버퍼 크기에 대한 셀 유실 확률

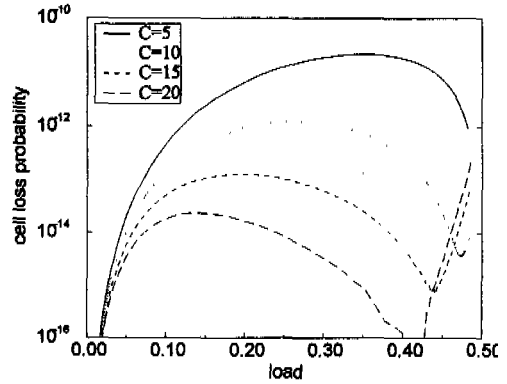


그림 9. 여러 가지 호 수에 대한 호 유실 확률

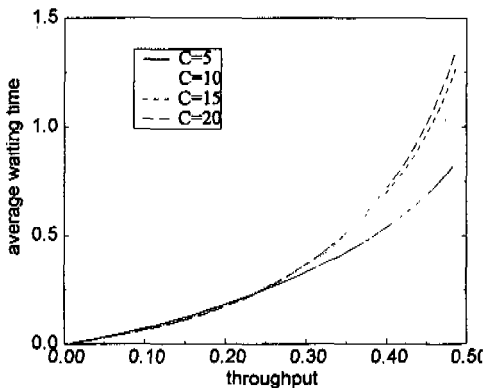


그림 8. 여러 가지 호 수에 대한 평균 대기 시간

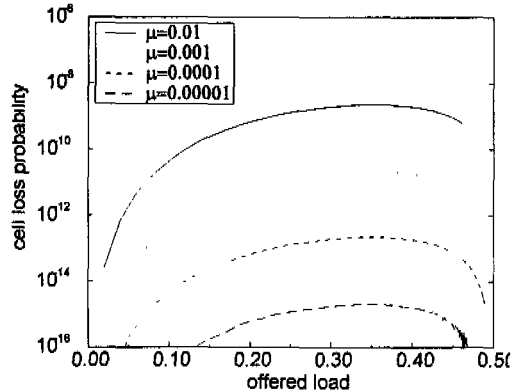


그림 10. 여러 가지 호 해제율  $\mu$ 에 대한 셀 유실 확률

그래프의 순서가 그림 3과 비교했을 때 반대로 되어 있다. 다른 말로 하면, 그림 3에서는 호 수가 가장 작은 그래프가 가장 큰 값을 가지나, 그림 8에서는 호 수가 가장 클 때 가장 큰 값을 갖는다. 다음으로, 그림 9는 셀 유실 확률이 낮은 부하에서 최대치를 갖고 부하가 커짐에 따라 점차 감소함을 알 수 있다. 그림 10은 호 해제 확률의 영향을 보여준다. 그림 6과 비교하면, 버스트성의 효과가 더 큼을 볼 수 있고, 그림 6에서 볼 수 있는 포화 현상이 발생하지 않음을 알 수 있다. 그림 11에서는 버퍼 크기의 영향을 보여준다. 여기서 버퍼 크기를 30보다 크게 만드는 것이 성능에 영향이 없음을 알 수 있다.

#### IV. 결론

본 논문에서는 연결 수락 제어를 갖는 입력 버퍼 ATM 교환기를 분석하였다. 분석을 위하여 동일한 소스들의 중첩을 잘 표현하는 이산 시간 MMBP 도

착 모델을 사용하였다. 비록 분석 결과가 geometric 분포 서비스 가정 때문에 실제 성능에 비해 과소 평가되는 경향이 있지만, 이 결과는 상관관계가 있는 트래픽의 영향에 대한 연구에 적용할 수 있다. 또한 CAC를 갖는 교환기의 큐 동작이 이전 연구들의 것 과 다름을 보여준다.

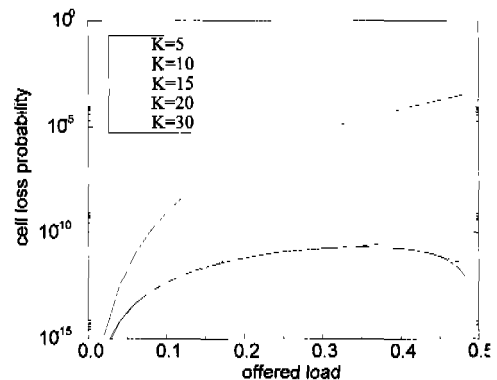


그림 11. 여러 가지 버퍼 크기  $K$ 에 대한 셀 유실 확률

참 고 문 헌

- [1] F. A. Tobagi, "Fast packet switch architectures for broadband integrated services digital network," *Proc. IEEE*, vol. 78, no. 1, pp. 133-167, Jan. 1990.
- [2] H. Ahmadi and W. E. Denzel, "A survey of modern high-performance switching techniques," *IEEE J. Sel. Areas Commun.*, vol. 7, no. 7, pp. 1091-1103, Sept. 1989.
- [3] M. J. Karol, M. G. Hluchyj, and S. P. Morgan, "Input versus output queueing on a space-division packet switch," *IEEE Trans. on Commun.*, vol. 35, no. 12, pp. 1347-1356, Dec. 1987.
- [4] S.-Q. Li, "Non-uniform traffic analysis on a non-blocking space division packet switch," *IEEE Trans. on Commun.*, vol. 38, no. 6, pp. 1085-1096, Jul. 1990.
- [5] C. P. Kruskal and M. Snir, "The performance of multistage interconnection networks for multiprocessors," *IEEE Trans. Comput.*, vol. 32, no. 12, pp. 1091-1098, Dec. 1983.
- [6] Feature topics for digital video communications and video on demand, *IEEE Commun. Mag.*, vol. 32, no. 5, May 1994.
- [7] D. X. Chen and J. W. Mark, "Performance analysis of output buffered fast packet switches with bursty traffic loading," in *GLOBECOM '91*, pp. 455-459, 1991.
- [8] I. Makhameh, D. McDonald, and N. Georganas, "Approximate analysis of a packet switch with finite output buffering and imbalanced correlated traffic," in *Proc. of ICC '94*, pp. 1003-1007, 1994.
- [9] S.-Q. Li, "Performance of a nonblocking space-division packet switch with correlated input traffic," *IEEE Trans. on Commun.*, vol. 40, no. 1, pp. 97-108, Jan. 1992.
- [10] B. R. Collier and H. S. Kim, "Effect of multiplexed sub-ATM rate inter-LAN traffic on input queueing ATM switches," *GLOBECOM '93*, pp. 1861-1866, 1993.
- [11] S. Shiokawa and I. Sasase, "Performance of a nonblocking space-division packet switch with two kinds of correlated input calls," *GLOBECOM '93*, pp. 1384-1388, 1993.
- [12] S. C. Liew, "Performance of various input-buffered and output-buffered ATM switch design principles under bursty traffic: simulation study," *IEEE Trans. on Commun.*, vol. 42, no. 2/3/4, pp. 1371-1379, Feb./Mar./Apr. 1994.
- [13] A. Khamisy and M. Sidi, "Discrete-time priority queueing systems with two-state Markov modulated arrival processes," *INFOCOM'91*, pp. 1456-1463, 1991.
- [14] Y. H. Kim and C. K. Un, "Performance analysis of statistical multiplexing for heterogeneous bursty traffic in an ATM network," *IEEE Trans. on Commun.*, vol. 42, no. 2/3/4, pp. 745-753, Feb./Mar./Apr. 1994.
- [15] A. Baiocchi, N. Melazzi, M. Listanti, A. Roveri, and R. Winkler, "Loss performance analysis of an ATM multiplexer loaded with high-speed ON-OFF sources," *IEEE J. Select. Areas Commun.*, vol. 9, no. 3, pp. 388-393, Apr. 1991.
- [16] N. Fonseca and J. Silvestar, "Modelling the output process of an ATM multiplexer with Markov modulated arrivals," *Proc. of ICC '94*, pp. 721-725, 1994.
- [17] D. Park and H. G. Perros, "*m*-MMBP characterization of the departure process of an *m*-MMBP/Geo/1/K queue," *ITC 14*, pp. 75-84, 1994.
- [18] H. Chung and C. K. Un, "Performance Analysis of A Dynamic ATM Multiplexer with Heterogeneous Traffics and Multiple QoSs," *Proceedings of Applied Mathematics Workshop*, Vol. 6, pp. 201-254, July 1996.
- [19] F. Vakil and H. Saito, "On congestion control in ATM networks," *IEEE Lightwave Tech. Systems*, vol. 2, no. 3, pp. 55-65, Aug. 1991.
- [20] H. Saito, K. Kawashima, and K.-I. Saito, "Traffic control technologies in ATM networks," *IEICE Trans. on Commun.*, vol. E74, no. 4, pp. 761-771, Apr. 1991.
- [21] S. W. Min and C. K. Un, "Performance of a

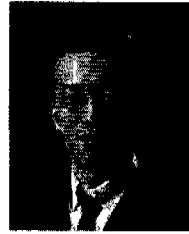


burst admission control scheme based on prediction of cell losses," *Telecommunication Systems*, vol. 6, pp. 229-235, 1996.

- [22] R. Guerin, H. Ahmadi, and M. Naghshineh, "Equivalent capacity and its application to bandwidth allocation in high-speed networks," *IEEE J. Select. Areas Commun.*, vol. 9, no. 6, pp. 968-981, Sep. 1991.
- [23] T. Murase, H. Suzuki, and T. Takeuchi, "A call admission control for ATM networks based on individual multiplexed traffic characteristics," Proc. of ICC '91, pp. 193-198, 1991.
- [24] CCITT Draft Recommendation I.371, "Traffic control and congestion control in B-ISDN," Geneva, 1992.
- [25] O. Hashida, Y. Takahashi, and S. Shimogawa, "Switched batch Bernoulli process (SBBP) and the discrete-time SBBP/G/1 queue with application to statistical multiplexer performance," *IEEE J. Sel. Areas Commun.*, vol. 9, no. 3, pp. 394-401, Apr. 1991.
- [26] T. Takine, B. Sengupta, and T. Hasegawa, "An analysis of a discrete-time queue for broadband ISDN with priorities among traffic classes," *IEEE Trans. on Commun.*, vol. 42, no. 2/3/4, pp. 1837-1845, Feb./Mar./Apr. 1994.

이 종 우(Jong Woo Lee)

정회원



1990년: 서울대학교  
컴퓨터공학과 졸업(학사)  
1992년: 서울대학교  
컴퓨터공학과 대학원 석사  
1996년: 서울대학교  
컴퓨터공학과 대학원 박사

1994년~1995년: 현대전자 소프트웨어 연구소 연구원 (대리)  
1996년~1998년: 현대전자 정보시스템사업본부 연구1실(과장)  
1998년~1999년: 현대정보기술(주) 기술지원본부 연구소(책임연구원)  
1999년~현재: 한림대학교 정보통신공학부 조교수 <주관심 분야> 운영체제, 분산 및 병렬 시스템 소프트웨어, 클러스터 시스템, 전산 금융 (computational finance)

박 찬 영(Chan Young Park)

정회원



1987년: 서울대학교 전자공학과 학사  
1989년: 한국과학기술원 전기 및 전자공학과 석사  
1995년: 한국과학기술원 전기 및 전자공학과 박사

1991년~1999년: 삼성전자 정보통신총괄 네트워크사업부 선임연구원  
1999년~현재: 한림대학교 정보통신공학부 전임강사 <주관심 분야> 고속 통신망, ATM, 통신 ASIC, 통신 프로토콜, xDSL, 차세대 인터넷