

# 낮은 임피던스 정합을 위해 병렬 CPW 라인을 이용한 6 - 44 GHz, 100 mW MMIC 증폭기

정희원 김홍득\*, 김대현\*, 이재학\*, 권영우\*, 서광석\*

## A 6 - 44 GHz, 100 mW MMIC amplifier using parallel CPW lines for low impedance matching

Hong-Teuk Kim\*, Dae-Hyun Kim\*, Jae-Hak Lee\*, Youngwoo Kwon\*, and Kwang-Seok Seo\*

Regular Members

요 약

0.25  $\mu\text{m}$  pHEMT 공정을 이용하여 광대역 CPW MMIC 증폭기가 설계, 제작되었다. 공정 변화에 덜 민감한 회로를 구현하기 위해 직렬 캐패시터와 CPW 라인만이 임피던스 정합에 이용되었다. 20  $\Omega$  이하의 낮은 임피던스 CPW 라인은 두 개의 라인을 병렬 연결하여 구현하였다. MMIC 증폭기의 측정 결과, 6 - 44 GHz에서 소신호 이득이 7dB 이상이었고, 26 - 31 GHz에서 출력전력이 100mW 이상이었다.

ABSTRACT

A wide band CPW MMIC amplifier was designed and fabricated by 0.25  $\mu\text{m}$  pHEMT process. To provide lower sensitivity to process variation, only series capacitors and CPW lines were used for impedance matching. Low  $Z_0$  CPW lines ( $Z_0 < 20 \Omega$ ) were realized by paralleling two lines. The measured results of MMIC amplifier showed small signal  $S_{21} > 7 \text{ dB}$  at 6 - 44 GHz and over 100 mW output power at 26 - 31 GHz.

### I. 서론

근래 설계가 간단하고, 또, 공정 변화에 둔감한 회로를 구현하기 위해 매우 낮은 특성 임피던스 ( $Z_0$ ) 라인을 이용한 임피던스 정합법이 주로 microstrip 구조의 MMIC 전력 증폭기에 응용되었다<sup>[1][2]</sup>. 왜냐하면 마이크로스트립 구조에서는 신호 라인의 폭만 넓히면 낮은  $Z_0$  라인을 쉽게 구현할 수 있기 때문이다. 하지만, 이 방법이 기존 CPW 구조에 적용되기는 한계가 있다. CPW 구조의 낮은  $Z_0$  경우, 사진 식각법 (Photolithography) 기술에 의해 그 최저값이 제한을 받기 때문이다. 공정상의 안전한 제작을 고려하여 CPW의 slot 최소 간격을

10  $\mu\text{m}$ 로 할 경우, 현재 많이 사용하고 있는 GaAs 기판 ( $\epsilon_r=12.9$ ,  $H=650 \mu\text{m}$ ) 상에서  $Z_0$ 가 20  $\Omega$  이하인 CPW 라인을 구현하기 힘들다.

이 문제점은 최근 발표된 Overlay CPW에 의해 해결될 수 있는 근거를 마련하였다. Overlay CPW는 중앙 전송선의 측부 일부가 공기 중에 들린 채로 양측의 접지 전송선과 중첩 가능한 구조인데, 이 중첩에 의해 매우 낮은  $Z_0$  라인을 제공하는 장점이 있다<sup>[3]</sup>. 그러나, MMIC 공정에서 CPW의 중앙 전송선과 양측 접지 전송선 간에 uniform한 Overlay를 안전하게 구현해야 하는 기술적 어려움을 가지고 있다.

본 논문에서는 두 개의 CPW 라인을 병렬로 연

\* 서울대학교 전기공학부 밀리미터파 집적 시스템 연구실(htkim@snu.ac.kr)

논문번호: 00404-1016, 접수일자: 2000년10월16일

※ 본 논문은 2000년도 과학기술부의 국가지정 연구실사업 과제 (2000-N-NL-01-C-058) 및 서울대학교 밀리미터파 연구실의 관리로 수행되었습니다.

결시켜 20 Ω 이하의 낮은 Z<sub>0</sub> CPW 라인을 기존의 MMIC 공정으로 안전하게 구현하는 방법을 제안하였다. 기령, 두 개의 Z<sub>0</sub>=30 Ω, λ/4 길이의 CPW 라인을 병렬로 연결하여 Z<sub>0</sub>=15 Ω, λ/4 길이의 CPW 라인을 구현하는 것이다. 또, 기존처럼 낮은 Z<sub>0</sub> 라인을 위해 CPW의 slot 간격을 과도하게 줄이면 라인 특성이 공정 변화에 매우 민감해지고, 라인 손실 또한 커진다. 때문에, 이러한 점에서도 낮은 Z<sub>0</sub>의 병렬 CPW 라인이 유효하게 사용될 수 있다.

전력 증폭기 경우, FET의 임출력 임피던스가 모두 낮으므로, 임출력 임피던스 정합뿐만 아니라 중간단에서의 임피던스 정합에도 낮은 Z<sub>0</sub>의 병렬 CPW 라인을 이용하면 매우 간단하게 전력 증폭기의 임피던스 정합을 해결할 수 있다. 그리고, 낮은 Z<sub>0</sub>의 병렬 CPW 라인을 사용함에 따라, 임피던스 정합에서 병렬 캐패시터를 제거할 수 있으므로, 광대역 증폭기에서 공정 변화로 인한 높은 주파수에서의 특성 저하를 줄일 수 있다.

본 논문에서는 제안된 낮은 Z<sub>0</sub>의 병렬 CPW 라인을 광대역 (6 - 44 GHz), 100 mW MMIC 증폭기의 임피던스 정합에 응용하였다.

## II. 병렬 CPW 라인

그림 1에서 알 수 있듯이, CPW 라인의 낮은 Z<sub>0</sub>은 주로 중앙 전송선의 폭 (W)보다는 양쪽 slot의 간격 (G)에 의존한다. 본 공정의 한 실 예로, 사진식각법 (Photolithography)에 의한 안전한 slot 간격을 10 μm로 두었을 때, GaAs 기판 위에서 중앙 전송선의 폭을 400 μm 까지 넓혀도 라인의 Z<sub>0</sub>가 20

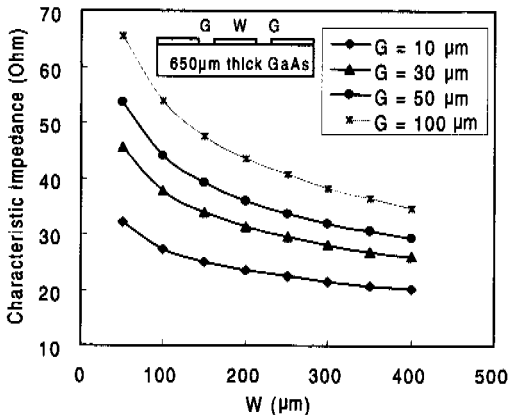


그림 1. W와 G의 변화에 따라 계산된 CPW 특성 임피던스 기판은 650 μm thick GaAs.

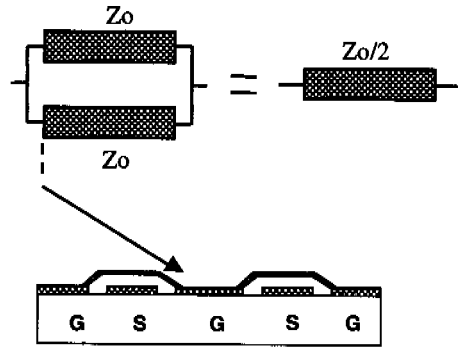


그림 2. 병렬 CPW 라인 구조

Ω 이하로 얻어지지 않는다. 따라서, 이러한 낮은 Z<sub>0</sub>의 제한은 수동 및 능동 소자에 대한 CPW의 응용폭을 줄일 수 있다.

본 연구에서는 이러한 문제를 해결하기 위해 그림 2와 같이 두 개의 CPW 라인을 병렬로 묶어 20 Ω 이하의 낮은 Z<sub>0</sub> 라인을 구현하였다. 그림 1을 참고로 하면, G=10 μm, W=60 μm 일 때 CPW 라인의 Z<sub>0</sub>가 30 Ω이 된다. 그 다음, 이 두 라인을 병렬로 연결하면 Z<sub>0</sub>=15 Ω인 CPW 라인을 얻을 수 있다. W=400 μm인 20 Ω라인의 폭에 이 Z<sub>0</sub>=15 Ω인 병렬 라인을 구현했을 때, 두 병렬 라인의 공통 접지면 폭이 260 μm가 된다. 실제 최근 FGC (Finite Ground CPW) 라인의 연구 결과를 보면 CPW의 접지면 폭은 W+2G의 1.5배 정도면 충분하다. 때문에, 260 μm의 공통 접지면 폭을 120 μm로 줄일 수 있어 사용 면적에서도 유리할 수 있다고 판단된다<sup>[4]</sup>.

## III. 광대역 증폭기 설계

게이트 길이 0.25 μm, 게이트 폭 6x75 μm인 pHEMT를 이용하여 중간 전력용 증폭기를 6 - 50 GHz의 광대역에서 설계하였다. 사용된 토폴로지는 그림 3과 같다. 광대역 임피던스 정합을 간단히 하기 위해 입력단과 중간단에 앞장에서 언급한 Z<sub>0</sub>=15 Ω인 병렬 CPW 라인을 사용하였는데, 이는 설계를 간단히 할뿐만 아니라 제작 변화에서 높은 주파수에 많은 영향을 주는 병렬 캐패시터를 대체하는 역할도 겸하고 있다. 출력단은 광대역 전력 정합을 위해 중심 주파수 28 GHz 보다 조금 높은 33 GHz에서 Z<sub>0</sub>=23 Ω (W=406 μm, G=12 μm)인 λ/4 라인을 사용하였다. 광대역 이득과 전력 평탄도를 위해 낮은 Z<sub>0</sub> 라인의 길이와 임피던스 값은 주로

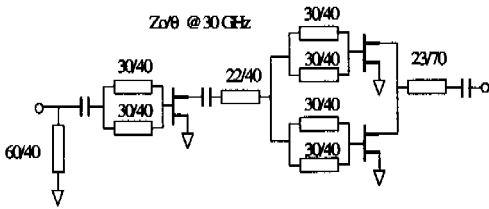


그림 3. CPW 증폭기 구조

50 GHz까지의 고주파 영역 임피던스 정합을 고려하여 결정되었다. 6 GHz까지의 저주파 영역의 평탄 이득 임피던스 정합은 병렬 short stub와 직렬 캐패시터로 이루어진 high pass network으로 조정되었다. 광대역 바이어스와 발진 방지를 게이트 바이어스 라인에 직렬 150 Ω저항을 달았고, odd 모드 발진을 방지하기 위해 두 개의 출력단 pHEMT 게이트를 20 Ω 저항으로 서로 연결하였다.

50 GHz까지의 정확한 설계를 위해 각종 TEE 접합, STEP 접합, 그리고 병렬 라인 구조에서의 불연속부 (discontinuities)는 IE3D를 이용한 EM 시뮬레이션을 하였다. 그림 4는 EM 시뮬레이션 된 구조의 예들이다. 여기에서, 모멘트 방법의 수치 해석에 적용된 각종 불연속부의 mesh는 70 GHz에서 한 파장당 50 cells이었고, 나란히 연결된 단자간에 격리를 위해 공통 접지면은 두 쪽으로 나누어 각각 사용하였다. 그 외 CPW 라인은 Libra의 CPWG (CPW with lower ground plane) Library를 이용하였다. CPWG를 사용한 이유는 on wafer 측정에서 wafer를 받치는 chuck이 metal로 되어 있고, 또, 지 그에 칩을 직접 mount해서 측정할 경우를 고려해서 사용한 것이다. 그러나, GaAs 기판이 650 μm만큼이

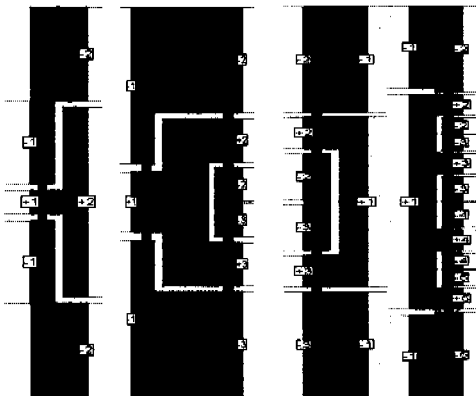


그림 4. EM 시뮬레이션된 불연속부의 예들

나 두접기 때문에 CPW와 CPWG 간에 라인 특성이 거의 차이가 나지 않았다. 시뮬레이션 결과, 그림 5에 나타난 바와 같이 50 GHz까지 12 dB 이상의 소신호 이득과 100 mW 이상의 출력 전력, 10 dB 이상의 전력 이득을 보였다.

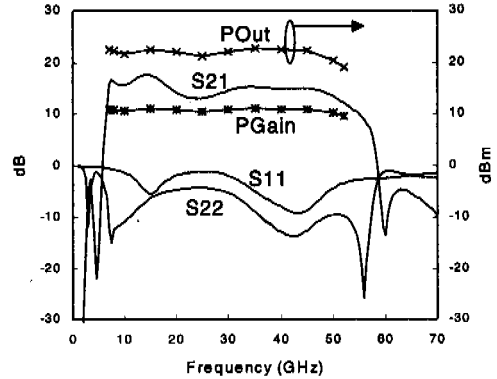


그림 5. 설계된 증폭기의 시뮬레이션 결과

#### IV. 제작

CPW MMIC 공정은 그림 6의 순서와 같이 진행된다. 첫 공정은 epi layer가 형성된 650 μm 두께의 GaAs 기판 위에 active device 영역을 정의하고 나머지 영역을 active 영역과 isolation하기 위한 MESA 공정으로 PR patterning 후 H<sub>2</sub>PO<sub>3</sub>와 H<sub>2</sub>O<sub>2</sub>, DI water 혼합액으로 etching하는 방법을 사용한다. 다음으로 Pt/AuGe/Ni layer를 evaporation한 다음 alloy하여 active 영역의 ohmic을 형성하게된다. 그리고 나서 NiCr을 비저항이 20ohm/sq 정도가 되도록 evaporation하여 저항을 형성한다. 게이트를 형성하기 위한 recess 공정은 wide recess와 narrow recess로 구성된다. recess 공정은 e-beam을 이용하여 patterning하게 되는데, narrow recess 의 경우 0.25 μm 게이트 길이를 갖도록 patterning하게 되며 그 후 RIE-80의 CCl<sub>2</sub>F<sub>2</sub>와 Ar plasma를 이용하여 selective dry etching을 하게 된다. 그 다음 metal-1을 증착하여 실제 저항의 길이를 결정하고 MIM의 bottom metal을 형성한다. 그리고 나서 RPECVD로 600A Si<sub>3</sub>N<sub>4</sub>를 증착하여 passivation layer와 MIM의 dielectric으로 동시에 사용한다. 다음으로 contact 부분을 opening 하기 위해 Si<sub>3</sub>N<sub>4</sub> etching을 하게된다. 그리고 평면적으로 바로 연결될 수 없는 부분을 연결하기 위해 copolymer로 air-bridge를 형성한다.

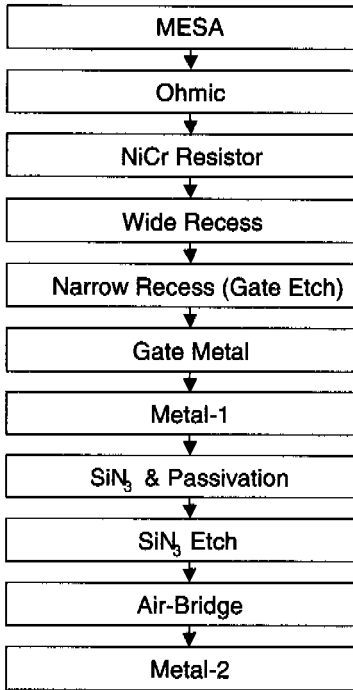


그림 6. CPW MMIC 공정 순서

마지막으로 metal-2 공정을 실시하면 MMIC 공정이 끝나게 된다<sup>5)</sup>.

### V. 측정결과

그림 7은 제작된 증폭기의 사진이다. 회로는 대체로 낮은  $Z_0$  라인을 이용하여 직선형으로 설계되어 간단하고도 매우 compact하게 제작되었다. 크기는  $2.5 \times 1.5 \text{ mm}^2$  이다. 게이트와 드레인의  $\lambda/4$  바이



그림 7. 제작된 6 - 44 GHz CPW MMIC 증폭기의 사진. 크기는  $2.5 \times 1.5 \text{ mm}^2$ .

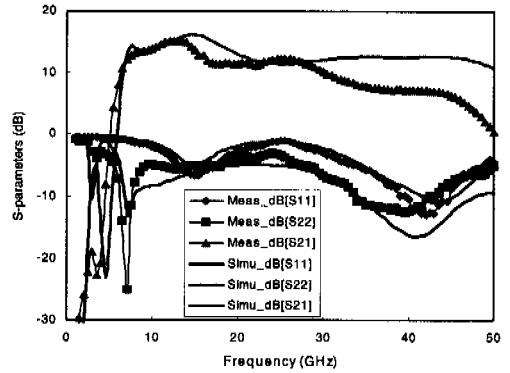


그림 8. 제작된 MMIC 증폭기의 소신호 특성

어스 라인의 길이는 광대역 평탄 이득과 전력을 위해 설계에서 약간의 튜닝을 하였다. 그리고, 병렬 라인을 이용한 낮은  $Z_0$  구현의 한 예가 중간단에 잘 나타나 있다. CPW 양쪽 접지간의 간격 ( $W+2G$ )이  $428 \mu\text{m}$  일 때, 출력단에서는 한 개의  $Z_0=22 \Omega$  라인이 형성된 반면, 중간단에서는 네 개의  $Z_0=30 \Omega$  병렬 CPW 라인 (실제  $7.5 \Omega$ )이 충분히 구현될 수 있었다. 이 사실은 병렬 라인을 이용한 낮은  $Z_0$  라인의 구현 방법이 CPW 구조에서 매우 효과적임을 예증한 것이다.

소신호 측정 결과 ( $V_{ds}=3 \text{ V}$ ,  $V_{gs}=-0.5 \text{ V}$ ), 그림 8과 같이 6 - 44 GHz까지 7 dB 이상의 이득을 보였다. S11과 S22의 경우,  $\lambda/4$  라인을 이용한 임피던스 정합과 광대역 이득 평탄도를 우선적으로 고려하였기 때문에 좋은 특성을 확보할 수 없었다. 그러나, 전 주파수 대역에서 시뮬레이션과 측정치가 매우 잘 일치한다. 이것은 불연속부를 EM으로 시

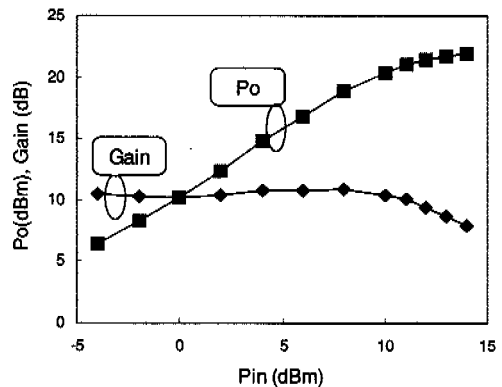


그림 9. MMIC 증폭기의 29 GHz에 측정된 입력 전력대 출력 전력

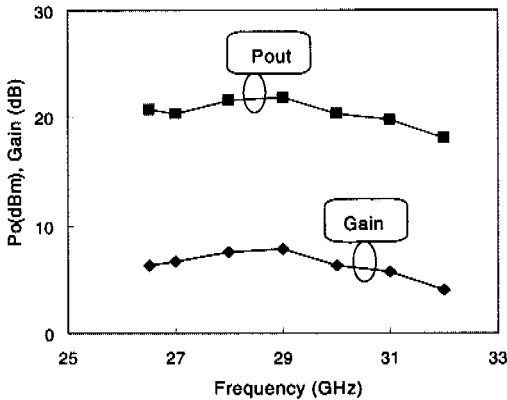


그림 10. MMIC 증폭기의 주파수에 따른 출력 전력 (P<sub>in</sub>=14 dBm)

플레이션 한 것과 병렬 캐패시터 대신 낮은 Z<sub>0</sub> 라인을 임피던스 정합에 사용한 결과로 판단된다. 그러나, 고주파로 갈수록 이득이 떨어지는데, 이유는 설계보다 제작된 FET의 F<sub>t</sub> 와 G<sub>m</sub> 이 낮아졌기 때문이다. 대신호 측정 결과 (V<sub>ds</sub>=4.5 V, V<sub>gs</sub>=-0.9 V, I<sub>ds</sub>=340 mA), 그림 8과 같이 29 GHz에서 P<sub>1dB</sub>=21.4 dBm (Gain=9.4 dB), P<sub>sat</sub>=21.9 dBm (Gain=7.9 dB) 였다. 그리고, P<sub>in</sub>=14 dBm일 경우, 그림 10과 같이 26 - 31 GHz까지 100 mW (20 dBm) 이상의 출력 전력을 보였다.

### VI. 결 론

낮은 Z<sub>0</sub>의 병렬 CPW 라인이 광대역 중간 전력 증폭기의 낮은 임피던스 정합에 응용되었다. 이로 말미암아, 크기가 작고, 설계가 간단하며, 공정 변화에 둔감한 회로를 얻었다. 측정 결과, 6 - 44 GHz에서 소신호 이득은 7 dB 이상 이었다. 대신호 특성은 측정된 26 - 31 GHz에서 포화 출력 100 mW 이상 (이득 6 dB 이상)을 보였다.

MMIC 공정기술에 제약을 받았던 CPW의 낮은 특성 임피던스 값의 한계를 병렬 CPW 라인 구조로 해결함에 따라, 앞으로 제안된 이 구조는 여러 가지 uniplanar 회로에 적용되어 회로의 특성을 향상시키리라 판단된다.

### 참 고 문 헌

[1] M. Gillick, and I. D. Robertson, "X-Band Monolithic Power Amplifier Using Low Characteristic Impedance Thin-Film Microstrip

Transformers," *IEEE Microwave and Guide wave Lett.*, Vol. 2, No. 8, pp. 328-330, Aug., 1992.

[2] 정진호, 이재학, 고원, 차호영, 김대현, 정연규, 권영우, 서광석, "0.2um AlGaAs/InGaAs 전력 PHEMT 공정을 이용한 Ka-Band MMIC 전력증폭기 모듈 설계 및 제작", 1999년도 춘계 마이크로파 및 전파 학술대회 논문집, pp.46-49, 1999

[3] H. T. Kim, S. H. Jung, J. H. Park, C. W. Baek, Y. K. Kim and Y. Kwon, "A New Micro-machined Overlap CPW Structure with Low Attenuation over Wide Impedance Ranges," *IEEE MTT-S Digest*, pp.299-302, Jun. 2000

[4] F. Braucher, S. Robertson, J. East, and L. P. B. katehi "W-band Finite Ground Coplanar(FGC) Line Circuit Elements," *IEEE MTT-S Digest*, pp.1845-1848, Jun. 1996

[5] 양성기, "Design and Fabrication of Ultra-Broadband Amplifiers Using Self-Aligned GaAs P-HEMT Technology," *서울대학교 박사 학위 논문*, 1999

김 홍 득(Hong-Teuk Kim)

준회원



1991년 2월 : 부산대학교

전자공학과 학사

1993년 2월 : 한국과학기술원

전기·전자공학과 석사

1993년~현재 : LG중합기술원

선임연구원

1998년~현재 : 서울대학교 전기·컴퓨터공학부 박사 과정

<주관심 분야> MMIC 및 RF MEMS 설계, 저 위상 잡음 발전기 연구

김 대 현(Dae-Hyun Kim)

1997년 2월 : 경북대학교 전자공학과 학사

2000년 2월 : 서울대학교 전기공학부 석사

2000년 3월~현재 : 서울대학교 전기·컴퓨터공학부 박사과정

1999년 5월~현재 : 서울대학교 반도체 공동연구소 식각 조교

<주관심 분야> GaAs P-HEMT MMIC 설계 및 제작

이 재 학(JaeHak Lee)

1988년 2월 : 서울대학교 전자공학 학사  
1990년 2월 : 포항공과대학교 전자공학 석사  
1990년 2월~현재 : LG 전자기술원 선임연구원  
2001년 2월 : 서울대학교 전기·컴퓨터공학부 박사  
(Ph. D) 예정  
<주관심 분야> 화합물 반도체 epi 설계, GaAs 전자소자 및 MMIC의 설계와 제작, GaAs MMIC의 passivation & reliability 연구

권 영 우(Youngwoo Kwon)



1988년 2월 : 서울대학교 전자공학과 학사  
1990년 : University of Michigan M.S.E.E  
1994년 : University of Michigan Ph.D

1994년~1996년 : Rockwell International Science Center, MTS  
1996년~현재 : 서울대학교 전기·컴퓨터공학부 조교수  
<주관심 분야> MMIC 설계, 밀리미터파 회로 및 시스템, 능동소자 모델링, RF MEMS

서 광 석(Kwangseok Seo)

1972년 3월~1976년 2월 : 서울대학교 전자공학과 학사  
1976년 3월~1978년 2월 : 한국과학기술원 석사  
1978년 3월~1982년 8월 : 한국전자기술 연구소 선임연구원  
1983년 3월~1987년 2월 : Univ. of Michigan Ph.D  
1987년 2월~1989년 2월 : IBM T. J. Watson 연구소 연구원  
1989년 3월~1992년 2월 : 서울대학교 전기공학부 조교수  
1992년 3월~1999년 2월 : 서울대학교 전기공학부 부교수  
1999년 3월~현재 : 서울대학교 전기·컴퓨터공학부 교수  
<주관심 분야> 화합물 반도체 GaAs 전자소자 및 MMIC의 설계와 제작.