

디지털 위상 변조 기능을 갖는 디지털 직접 주파수 합성기의 스퍼리어스 잡음 감소

정회원 유 상 범*, 손 종 원*, 김 용 로*, 유 흥 균*

Spurious Noise Reduction of Digital Direct Frequency Synthesizer with Digital Phase Modulation Function

Sang-Burm Ryu*, Jong-Won Son*, Yong-Ro Kim*, Heung-Gyoon Ryu* *Regular Members*

요 약

스퍼리어스 잡음을 감소시킨 이중 구조의 디지털 직접 주파수 합성기를 설계하였고, QPSK 변조기능을 갖도록 추가시켰다. 그리고 설계된 이중 구조 디지털 주파수 합성기의 시뮬레이션 결과를 분석하여 스퍼리어스 잡음이 감소되었음을 보였다. XILINX를 이용하여 디지털 시뮬레이션을 통하여 각 부분별 논리동작 상태를 확인하였고, 또한 P-SPICE를 이용하여 원하는 주파수를 갖는 정현파의 출력, 위상 변조 입력에 따른 QPSK 변조된 정현파의 출력 파형을 확인하였다.

ABSTRACT

Dual-structured digital direct frequency synthesizer(DDFS) is designed to reduce the spurious noise which has an additional function of QPSK modulation. The proposed dual-structured DDFS is compared with conventional DDFS. Simulation results show the reduction of spurious noise.

To design and verify the aimed operation of logic circuit, standard cell library and XILINX design system are used for digital simulation. By P-SPICE, it is also conformed to obtain the output sinusoidal waveform with wanted frequency and phase according to the modulation input.

1. 서 론

디지털 직접 주파수 합성기(DDFS: Digital Directed Frequency Synthesizer)는 원하는 주파수를 디지털 신호 입력에 따라 발생시키는 장치로 아날로그 방식의 직접 주파수 합성기보다 스위칭 속도가 빠르며 주파수 해상도와 안정도가 높기 때문에 이에 대한 연구가 널리 진행되고 있다^{[1]-[5]}. PLL 주파수 합성기보다 정밀한 해상도를 갖기 때문에 광대역에서 사용할 수 있는 연구가 활발히 진행되고 있는데, 주파수 합성기의 순도(purity)를 결정하는 스퍼리어스(spurious) 잡음성분은 다른 주파수 성분에 영향을

주기 때문에 이를 억제하는 것은 매우 중요하다고 할 수 있다. 국내외적으로 DDFS에 관한 연구의 초점은 고속화와 D/A변환기를포함한 혼성설계 기법이 중심을 이루나 스퍼리어스 잡음감소에 관한 연구는 드물다^{[4]-[6]}.

이에 본 연구는 디지털 직접 주파수 합성기에서 발생하는 스퍼리어스를 억제할 수 있는 이중구조 디지털 직접 주파수 합성기와 정밀하게 위상 증가분을 제어하여 디지털 위상 변조 기능을 추가하였다. 위상변조에는 QPSK 방식을 설계하고 시뮬레이션하였다.

* 충북대학교 전자공학과(ecomm@cbucc.chungbuk.ac.kr)
논문번호: 98262-0622, 접수일자: 1998년 6월 22일

II. 기존의 단일구조 방식

디지털 직접 주파수 합성기의 일반적인 구조는 외부의 디지털 입력 신호에 따라 일정한 위상 값을 발생시키는 위상 누산기와 이 값들을 발생 시키고 자하는 파형의 진폭 값으로 변환 시켜주는 위상 진폭 변환기, 그리고 위상-진폭 변환기의 데이터를 디지털-아날로그 변환기를 사용하여 아날로그 신호로 변환하고 파형을 정형하는 저역 통과 여파기로 구성된다. 그림 1은 일반적인 디지털 직접 주파수 합성기의 기본 구성도이다.^[2]

디지털-아날로그 변환기의 출력에는 스퍼리어스가 발생한다. 출력이 변화되는 요인에는 디지털-아날로그 변환기의 입력이 이산적인 위상 증가 값을 갖기 때문에 발생되며 수치적 문제로 인해 발생하는 위상 에러는 디지털 필터링 기술과 dithering으로 억제 할 수 있지만 주파수가 높아질수록 발생하는 글리치(glitch)와 같은 성분들은 한계가 있다.

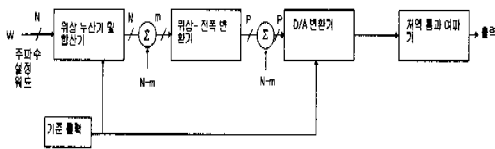


그림 1. DDFS의 기본 구성도

III. 설계된 이중구조 방식

이중구조 디지털 직접 주파수 합성기의 구조는 두 개의 디지털 직접 주파수 합성기를 가지고 출력을 합성하는 방법이며 본 논문에서는 감산기(subtractor)를 사용하여 구성하였고 위상 변조를 하기 위한 변조기 부분을 추가하였다. 이중구조 디지털 직접 주파수 합성기에서 스퍼리어스를 억압하기 위하여 두 개의 출력이 정확한 180°의 위상 차를 유지하여야 하며 이를 감산기 회로에 합성하면 스퍼리어스를 억압할 수 있음은 아래와 같이 증명된 바 있다^[4]. 글리치는 디지털-아날로그 변환기 이전의 이산적인 값들의 지연 시간이 각기 다르기 때문에 일정하고 균일해야 될 데이터가 불규칙성 가지게 되면 디지털-아날로그 변환기의 출력은 그림 2(a)과 같이 나타나게 되며 180° 위상차를 가지는 다른 하나의 파형에서도 글리치는 동상을 가짐을 보여주고 있다. 이를 감산회로에서 합성하면 그림 2(b)과

같이 글리치의 성분이 줄어든다.

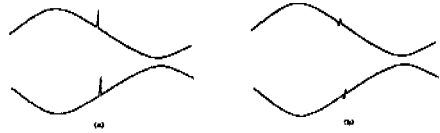


그림 2. (a) 기존 DDFS의 글리치, (b) 이중 구조 DDFS의 글리치

그림 3은 설계된 이중구조 디지털 직접 주파수 합성기의 구조이며 위상 변조를 하기 위한 위상 변조기를 추가하였으며 설계 방식은 회로 전체적으로 파이프라인 방식으로 구성하여 글리치를 감소시켰다.

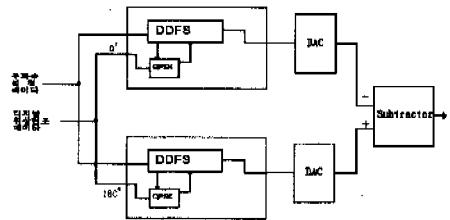


그림 3. 디지털 변조 기능이 있는 이중 구조 DDFS의 구조

위상 누산기는 전가산기를 사용하여 구성하는데 전단에서의 캐리(carry)가 그 다음단으로 넘어가는 지연시간 보다 클럭 주파수의 속도가 빠르면 출력 위상 값이 제대로 나오질 못하므로 각 전가산기의 SUM의 출력에 위상 누산기의 전가산기의 수만큼 배열함으로써 높은 클럭 주파수에서도 고속으로 동작할 수 있게 설계하였다.

위상 진폭 변환기는 look up table 방식을 사용하여 엔코더 형식으로 설계하였고 입력과 출력은 4×5로 하였으며 저장된 진폭 데이터는 1/4 주기만큼만 저장하고 나머지는 외부에서 제어할 수 있게 설계하여 4개의 위상을 변환하여 QPSK를 실현하였다.

위상 진폭 변환기의 저장 데이터 방식은 위상 진폭 변환기를 어드레싱하는 입력 비트 수의 $2^m - 1$ 로 사인 파형을 나눈 다음 각 클럭 주파수에 따라 표현되는 진폭 값을 계산하였고 데이터는 표 1에 나타내었으며 하나의 정현파를 표현하기 위해서는 +와 - 부호가 필요하므로 부호 비트 1비트를 추가하였다.

위상 변조기는 위상 진폭 변환기의 출력 값의 위상을 변화시키기 위하여 여기서는 위상 진폭 변환

기의 전단과 후단에 XOR를 이용하고 이에 입력되는 제어 데이터는 위상 누산기의 최상위 비트와 그 다음 상위 비트를 사용하고 위상 변조기는 이 제어 데이터를 외부 입력에 따라 변화시키도록 구성하였다. 또한 이중구조 디지털 직접 주파수 합성기는 위상 차를 유지하여야 하므로 위상 변조기의 입력 데이터 값이 두 개의 디지털 직접 주파수 합성기의 출력 위상이 180°의 위상 차를 유지하도록 위상 진폭 변환기의 입력 회로를 구성하였다.

위상 변조기는 QPSK 변조를 하기 위하여 두개의 입력 데이터로 위상 누산기의 파형을 제어하기 위해 MUX를 사용하였으며 그림 4는 QPSK 위상 변조기의 구성도이다⁵⁾.

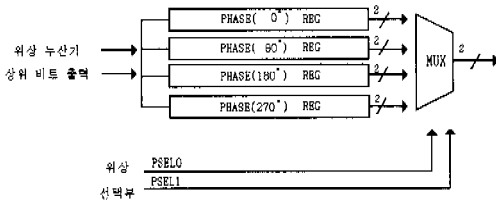


그림 4. QPSK 위상 변조기의 구성도

두 개의 직접 디지털 주파수 합성기의 출력을 합성하기 위한 감산기는 디지털-아날로그 변환기에서의 출력을 입력으로 가지므로 아날로그 방식이어야 하며 디지털 방식으로 감산기를 구성하여 글리치를 제거는 현실적으로 어렵다. 두 개의 입력을 가지며 감산기는 동상으로 발생하는 글리치들을 제거하여 안정된 파형을 출력한다.

XILINX에서의 시뮬레이션을 위하여 회로를 구성하였다. 로직 시뮬레이션만을 하므로 감산기 회로는 있지 않으며 입력 6 비트에 출력이 12 비트이고 상위 6비트와 하위 12 비트는 180도의 위상차를 유지하는 이산적인 데이터 값들이 출력되게 된다.

기존의 단일 디지털 직접 주파수합성기에서 출력되는 부분의 지연회로는 발생 주파수의 데이터들의 동기를 맞추어서 글리치를 줄이는 기능을 갖고, 디지털 직접 주파수 합성기 보다 빠른 클럭속도나 스위칭 속도를 갖게 설계하여 하여야만 한다.

IV. 시뮬레이션 결과와 검토

로직 시뮬레이션은 XILINX를 사용하였고 디지털-아날로그 혼합 시뮬레이션은 P-SPICE를 사용하여 결과 파형을 확인하였다.

이중 구조 디지털 직접 주파수 합성기에 입력되는 클럭 주파수는 1MHz로 하였으며 이에 발생 가능한 최대 출력 주파수는 500KHz가 되고 주파수 해상도는 15.625KHz이다. 본 논문에서는 입력을 6비트로 하고 출력을 5비트로 설계하여 시뮬레이션 하였다.

표 1은 주파수 설정 워드에 따른 출력 주파수의 이론치와 시뮬레이션 값의 결과이다. 위상 트렁케이션이 생기는 값을 제외하고는 매우 정확한 결과가 나왔다.

표 1. 발생주파수의 이론값과 실험값 비교

이론치	실험치		오차율 (%)
	DDFS	이중구조 DDFS	
0[kHz]	0[kHz]	0[kHz]	0
15.625[kHz]	15.625[kHz]	15.625[kHz]	0
31.250[kHz]	31.250[kHz]	31.250[kHz]	0
46.875[kHz]	46.878[kHz]	46.878[kHz]	0.0064
62.500[kHz]	62.500[kHz]	62.500[kHz]	0
78.125[kHz]	78.127[kHz]	78.127[kHz]	0.0027

표 2는 주파수 설정 워드에 따른 기존의 DDFS와 이중구조 DDFS의 스퍼리어스를 비교한 것이다. 전체적으로 약 5.6dB 감소하였다.

표 2. 기존의 DDFS 와 이중구조 DDFS의 스퍼리어스 비교

주파수 설정 워드	스퍼리어스 비교	
	DDFS	이중 구조 DDFS
1	-44.115dB	-47.0904dB
2	-41.831dB	-47.2209dB
3	-40.7094dB	-43.5168dB
4	-38.1834dB	-49.1606dB

그림 5는 기존의 디지털 직접 주파수 합성기를 단일 구조로 보고 이중구조 디지털 직접 주파수 합성기와의 QPSK 변조시 파형을 비교하였다. 감산기의 대역폭을 위상 변조시 확실하게 변하게 하기 위해 클럭 주파수 보다 넓게 잡고 시뮬레이션 하였다. 신호 성분은 증폭되고 글리치가 제거됨으로 보다 정확한 파형이 있음을 확인하였다.

그림 6은 주파수 설정 7일때의 FFT 결과로써,

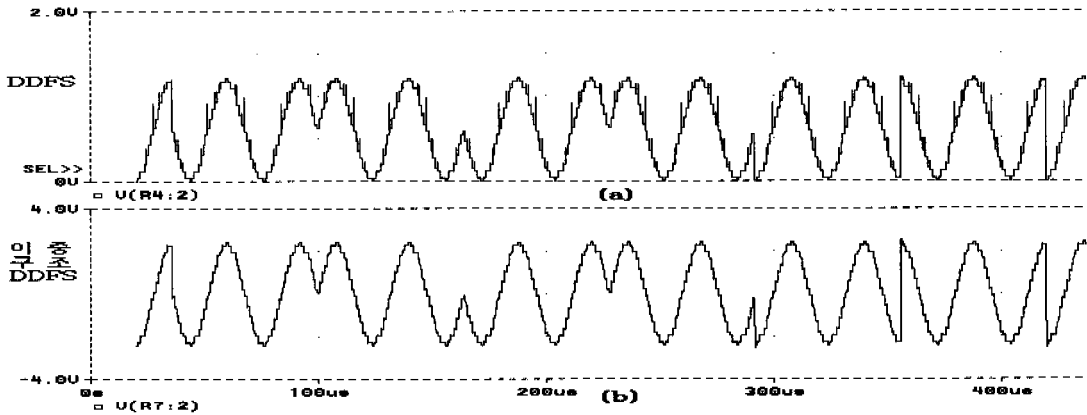


그림 5. 기존의 DDFS(a)와 이종구조 DDFS(b)의 QPSK 출력

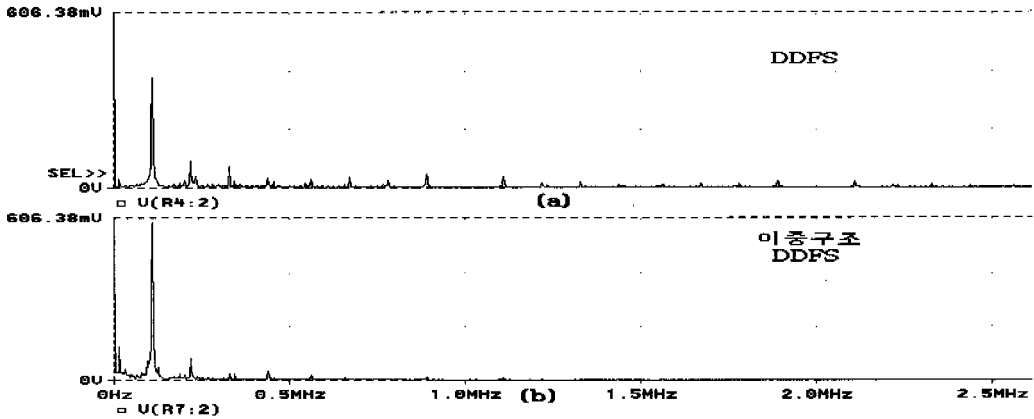


그림 6. 기존의 DDFS(a)와 이종구조 DDFS(b)의 FFT를 이용한 스펙트럼 비교

기존 DDFS 방식의 스펙트럼 출력과 제안된 이종구조 DDFS의 스퍼리어스 감소를 비교하고 있다.

V. 결론

본 논문은 최근 연구의 중점이 되고 있는 주파수 합성기의 스퍼리어스 감소에 대한 방법으로 이종구조 디지털 직접 주파수 합성기를 설계하여 제안하였다. 이종 구조 파수 합성기와 기존의 디지털 직접 주파수 합성기의 스퍼리어스 비교 결과 이종 구조 디지털 주파수 합성기 스퍼리어스가 약 5.6dB 감소하였다. 입력 비트 수가 작기 때문에 일부 스퍼리어스 성분이 줄지 않은 면도 있으나 비트 수가 충분히 크면 스퍼리어스가 많이 줄 것으로 보인다. 비트 수가 작을 때 아날로그 방식의 감산기에 이득을 주게 되면 양자화여러가 늘게 되므로 표 3에서는 이득을 1로 하여 시뮬레이션 하였고 이에 대한 해결

책은 위상-진폭변환기의 비트 수를 늘리고 코스파인(coarse-fine)방식과 같은 사인롬(sine-ROM)압축 기술을 쓴다면 충분히 억제 시킬 수 있다. 앞으로의 연구 방향은 위상 트렁케이션에 의해 발생하는 부분이 비트 수가 적을수록 양자화 에러 증가와 혼변조를 발생시킬 수 있으므로 이에 대한 디터링 기술을 연구 함으로써 동일 한 비트 수를 가지면서도 스퍼리어스를 억압 할 수 있는 방법을 연구하고 위상 변조뿐만 아니라 통신 분야에서 널리 응용 될 수 있는 변조방식을 연구함으로써 모뎀이나 CDMA 방식의 통신 장치나 기타 다른 통신 분야에도 응용 분야를 넓혀 나가야 할 것으로 보인다.

참고 문헌

- [1] 유상범, 유홍균, "디지털 직접주파수 합성기를 이용한 16-QAM 변조기 설계", 한국음향학회는

