

광 기록 저장 시스템에 대한 디지털 신호처리 시뮬레이터 구현

준회원 김민철*, 정회원 이재진*

Implementation of the Digital Signal Processing Simulator for Optical Data Storage Systems

Min-chul Kim*, Jae-jin Lee* *Regular Members*

요약

디지털 데이터 처리 및 전송과 함께 방대한 양의 디지털 데이터에 대한 저장 시스템의 용량 증가를 위한 신호처리 기법에 대해 관심이 날로 증가하고 있다. 이로 인해 다양한 기록 시스템에 대하여 고안된 여러 가지 채널 코딩 및 신호 검출 알고리즘이 많이 발표되고 있다. 따라서, 이 알고리즘을 분석, 검증하는데 있어 통신과 관련된 연구분야에서 기술 개발을 통해 급격히 발전하고 있는 분야인 Software Define Radio 개념을 도입해 하드웨어적으로 시뮬레이터를 구현하였다. 본 시뮬레이터는 광 기록 저장 채널에 대한 신호처리 시뮬레이션 프로그램을 토대로 디지털 신호처리 프로세서(DSP)를 이용하여 RLL 변조 코드에 대한 인코더/디코더 및 채널을 통과한 데이터에 대해 심볼간 간섭을 제거하기 위한 등화기와 등화된 채널 출력 신호로부터 전송된 데이터를 결정하기 위한 여러 가지 신호 검출기를 설계하여 채널을 통과하기 전의 원본 데이터와 통과후의 출력 값에 대한 에러율을 분석, 검증하였다.

ABSTRACT

The signal processing techniques for optical recording storage device system are implemented using general digital signal processor of TMS320C31. By adjusting the concept of Software Defined Radio to the proposed simulator, various detectors can be simulated by downloading a software to the hardware.

The simulator downloads and saves the program of PRML, DFE and FDTS/DF to the program memory, then processed data in a PC is saved to the data memory via parallel port of DSK board. Next, simulator detects and saves the data by performing the detection program in the DSP. Finally, the performance capability of the simulator is verified by the error rate which was compared the detected data to the generated data in the PC.

I. 서론

다양한 형태의 정보들에 대한 수요가 급속히 증가함에 따라, 개개인이 처리하고자 하는 정보량 역시 매우 빠른 속도로 증가하고 있다. 이에 따라, 초고용량의 정보 저장 매체 개발에 대한 연구가 활발히 진행되고 있다. 기존에는 정보 저장 매체로서 비교적 가격이 저렴한 자기 기록 매체가 많이 사용되었지만, 이제 그 물성상의 한계에 의하여 용량의 한

계점에 거의 도달한 상태이다. 이러한 상황에서 그 대안으로 각광받고 있는 것이 광 디스크를 이용한 저장 매체들이다.

광 기록 저장 장치 시스템의 정보 저장 용량의 증가를 위하여 사용되는 디지털 신호 처리 기술들 중 가장 대표적인 것이 이미 고밀도 자기 기록 매체에서 성능이 검증되어 사용된 PRML(Partial Response Maximum Likelihood) 기술이다^[1]. 이 밖에도 DFE (Decision Feedback Equalization)나

* 동국대학교 전자공학과
논문번호: 000003-1024, 접수일자: 2000년 10월 24일

DFE에 ML검출 방식을 결합한 FDTS/DF(Fixed Delay Tree Search with Decision Feedback)과 같은 신호 처리 기술들에 대한 연구도 활발히 진행중이다^[2].

본 논문에서는 Texas Instrument사의 범용 DSP 프로세서인 TMS320C31을 이용하여 광 기록 저장 장치에 사용되는 신호 처리 Simulator를 구현하였다. (1,7) RLL 부호기와 광 채널, 그리고 가우시안 채널은 PC에서 구현하였고, 32bit 128Kword의 용량의 메모리를 추가하여 PC에서 처리된 데이터들이 외부 메모리에 저장하고, 하나의 하드웨어에서 다양한 검출 방식을 제공하는 SDR개념을 도입해 DSP에서 PRML, DFE, FDTS/DF를 동작하게 하여, PC에서 시뮬레이션한 결과와 비교하였다. 본 논문의 전반적인 내용은 2장에서는 광 기록 저장장치 시스템에 대해 설명하였고, 3장에서는 구현한 시스템에 대한 설명을 그리고 4장에서는 구현된 시스템의 실험 결과를 설명하였다. 마지막으로 모든 결론을 정리하여 5장에 요약하였다.

II. 광 기록 저장장치 시스템

1. 런 길이 제한(Run-Length Limited, RLL) 부호

(*d, k*) 런 길이 제한(RLL) 부호는 연속적인 '1' 사이에 '0'이 최소 *d*개부터 최대 *k*개까지의 '0'과 '1'의 심벌들로 구성되어 있다. 이 부호를 사용하는 주목적은 채널에서 야기되는 인접 심벌간의 간섭을 제거하기 위함이다. 본 시뮬레이터에 적용되는 RLL 부호는 *d*가 1, *k*가 7인 부호를 사용하였고, 2비트의 데이터를 입력으로 받아 3비트로 부호화하여 출력한다. 부호화된 데이터를 Precoder를 통하여 RLL 부호의 시퀀스에 대한 연속적인 천이들 사이의 최소 및 최대 거리가 각각 *d*+1 및 *k*+1로 변환하여 광 디스크에 피트(pits) 또는 랜드(lands)로 표현되어 기록된다.

2. 광 기록 시스템에서의 재생과정

이론적인 광 기록 저장 시스템의 채널 모델을 유도하기 위하여 먼저 전체 광학 시스템의 신호 재생 과정이 선형이라고 가정한다. 그리고 재생 신호의 검출 신호의 크기를 가우시안 함수의 형태로 표현할 수 있다고 가정한다. 이와 같은 가정들을 통하여 검출된 재생 신호는 디스크에 기록된 정보 열과 가우시안 펄스모양들의 곱으로 다음과 같이 표현할

수 있다.

$$f(t) = \frac{2}{t_0\sqrt{\pi}} \exp\left[-\left(\frac{2t}{t_0}\right)^2\right] \quad (1)$$

이진 정보 신호 열은 비트 구간 *T*의 폭을 갖는 구형과 *c(t)*열로 표현한다. 구형파로 표현된 이진 신호 열은 식 2와 같이 채널의 임펄스 응답 *f(t)*와 콘볼루션되어 광 검출기의 재생 신호로서 검출되어 진다.

$$h(t) = c(t) * f(t) \quad (2)$$

심볼간 간섭의 정도는 비트구간 *T*와 채널의 임펄스 응답의 영역 범위를 나타내는 *t₀*의 비 *S*에 의하여 결정된다. 즉, *S* = *t₀*/*T*이다. 일반적으로 *S*를 채널 밀도라고 하고, 근사한 채널 임펄스 응답 *f(t)*를 채널 밀도 *S*를 이용하여 다시 정리하면 다음과 같이 나타낼 수 있다.

$$f(t) = \frac{2}{ST\sqrt{\pi}} \exp\left[-\left(\frac{2t}{ST}\right)^2\right] \quad (3)$$

3. 부분 응답 최대 유사도(PRML) 검출기

PRML은 선형등화기와 비터비 검출기와 연결된 형태의 검출기로서 채널 출력 값을 선형등화기를 이용해 부분 응답 다항식의 신호로 근사화한 후 부분 응답 다항식에 맞는 트렐리스를 이용하여 데이터를 검출하는 방법이다. 이 방법은 비터비 알고리즘을 바탕으로 하기 때문에 신뢰할 수 있는 성능을 갖는 반면 복잡성이 기타의 검출 방법 보다 크다. 채널의 밀도가 증가할수록 고차의 부분 응답 다항식이 필요하기 때문에 검출기의 복잡성은 더욱 더 커진다. PRML의 구조는 그림 1과 같다.

4. 결정 궤환 등화기(Decision Feedback Equalizer)

결정 궤환 등화기는 인접 심벌간 간섭의 꼬리 부분을 전방 필터에서 제거하기보다는 결정된 값에 의하여 활성화된 궤환 필터에 의하여 제거된다. 이러한 제거는 잡음 강조 현상을 피할 수 있지만, 잘못된 결정은 궤환 필터를 통하여 다음의 결정 순간에 오류를 발생 시킬 수 있다는 단점과 등화기 결정단이 2레벨 검출기로 되어 있기 때문에 모든 부분 응답 다항식에 적용할 수 없다는 단점이 있다. 결정 궤환 등화기의 구조는 아래 그림 2와 같다.

5. 결정 궤환을 가진 고정 지연 가지 탐색 (FD- TS/DF)

FDTS/DF는 DFE와 비슷한 구조를 가지면서 유한 깊이(fixed-depth)를 갖는 재귀적 가지 탐색 알고리즘을 사용한다. 즉, DFE에서는 신호의 모든 심벌간 간섭을 제거하는 반면, FDTS/DF는 등화기의 출력에 나타나는 심벌간 간섭의 일부를 통과시킨 후 가지 탐색 알고리즘을 사용하여 제한된 깊이를 갖는 MLSD를 수행한다. FDTS/DF의 구조는 그림 3과 같다.

이 구조의 결정단에서는 각 단으로부터 2개의 가지(branch)가 나오고, 가지의 수는 가지의 깊이에 따라 지수 함수적으로 증가한다.

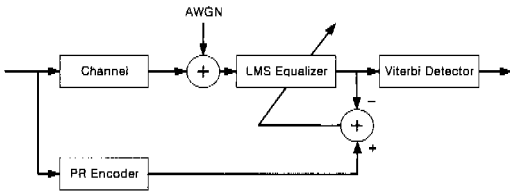


그림 1. PRML 구조

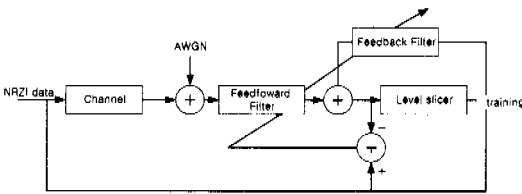


그림 2. DFE 구조

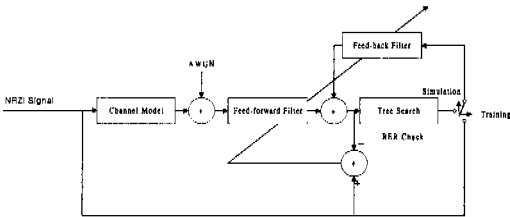


그림 3. FDTS/DF의 구조

FDTS/DF 검출기의 기본적인 개념은 기록 신호 값의 결정을 τ 만큼 지연시킨 다음, τ 만큼의 신호 전체를 고려하여 τ 이전의 신호를 추정하는 것이다. 본 논문에서 사용한 (1, 7)부호를 사용한 경우, 발생될 수 없는 경우가 생긴다. 예를 들어 τ 가 2인 경우, (1, -1, 1) 또는 (-1, 1, -1)과 같은 경로를 제

거하여 성능을 크게 향상시킬 수 있다. 이렇게 구성된 FDTS/DF는 일반적으로 유한 깊이가 깊어질수록, 가지의 수가 늘어나 계산량은 증가하지만 성능은 향상된다.

III. 시뮬레이터 구현

구현된 시뮬레이터는 크게 두 가지 부분으로 나눌 수 있는데 먼저 PC에서 RLL부호기와 광 기록 채널 그리고 가우시안 잡음까지 처리하고, 이 처리된 데이터를 DSK(DSP Starter Kit)와 연결된 포트를 이용하여 외부 확장 메모리에 저장한 후 이 저장된 값을 가지고 위에서 설명한 여러 검출과정을 DSP가 처리한다.

구현한 시뮬레이터는 TMS320C31 DSK보드에 내장된 램 외에 access 속도가 15ns인 외부 확장 램을 연결하여 메모리 용량을 늘렸다. 이 때 사용된 SRAM은 삼성 KM681000모델로 128K×8bit 용량을 갖는다. 따라서 4개를 병렬로 연결하여 32bit×128K 용량을 갖도록 하였다. 그리고 외부 확장 램을 제어하기 위해 GAL22V10을 이용하여 어드레스를 디코딩 하였다. GAL에서 램 어드레스는 0x820000h번지로 지정하였고, /WR와 /RD신호 역시 GAL을 통해 입출력 제어를 하였으며, 이 때 외부 메모리 영역이므로 /STRB신호와 조합하였다. 사용된 SRAM은 고속으로 동작하므로 0 wait state로 동작할 수 있다.

본 논문에서 구현한 시뮬레이터를 구동시키기 위한 소프트웨어는 크게 PC로부터 시뮬레이터의 메모리로 데이터를 병렬포트를 통해 다운로드 시키는 소프트웨어와 저장된 데이터를 이용해 여러 검출방식을 하는 소프트웨어로 구분할 수 있다.

PC와 시뮬레이터를 서로 통신하기 위한 소프트웨어는 먼저 PC의 병렬포트를 통해 INIT신호를 보냄으로써 DSP를 초기화시킨다. 초기화된 후 PC와 시뮬레이터간의 통신이 이루어지고 검출 프로그램이 PC병렬포트를 통해 프로그램 메모리에 저장된다. 그리고 PC에서는 랜덤 데이터를 발생시키고, (1, 7)부호기, Precoder, 광 채널과 가우시안 잡음 모듈 프로그램을 실행시키면서 데이터를 시뮬레이터의 데이터 메모리에 저장시킨다. 한 프레임의 데이터가 저장되면 프로그램 메모리에 저장된 검출 프로그램을 실행시킨다. 이 프로그램 내의 getmem모듈은 PC의 병렬포트를 통해 DSP의 어드레스 버스에 의해 32bit 데이터 메모리 블록에 저장된 데이터

를 읽는 것을 수행하고 putmem 모듈은 반대로 PC에서 처리된 데이터를 32bit 메모리 블록에 쓰는 것을 수행한다. PC의 프린터포트를 사용하는데 필요한 여러 드라이버 파일은 TI사에서 제공된 프로그램일^[6,7] 이용하였다. 이 프로그램의 구조를 그림 6에 나타내었다. 검출방식을 수행하는 소프트웨어는 그림 5의 방법으로 C code로 구현한 프로그램과 서로 비교하면서 개발하였다.

DFE 프로그램 구현시 대표적 모듈은 전방필터 모듈과 후방필터 모듈로 나눌 수 있는데 이 필터를 구현시 그림 7에 나타낸 콘볼루션과 correlation연산의 구현이 용이한 Circular Addressing 방법을 이용해 구현하였다. 필터를 구현한 어셈블리의 예는 다음과 같다.

```

LDI    LENGTH, BK
FILT   RPTS    LENGTH-1
MPYF3  *AR0++, *AR1++, %, R0
||     ADDF3   R0, R2, R2
      ADDF3   R0, R2, R0
    
```

PRML의 경우 검출기 앞단의 선형 동화기는 위의 방법을 이용해 구현하고 비터비 검출기는 그림 8에 나타낸 것처럼 6개의 모듈로 나누어 구현하였다.

FDTS/DF의 경우 τ 가 증가함에 따라 가지의 수가 늘어나고 이에 따라 가지가 갖는 값을 저장하는 메모리의 양도 증가하는 단점이 있지만 수행능력이 좋아지는 것을 알 수 있다. 검출 프로그램의 최적화 기술은 함수별로 실행 사이클 수를 체크하며 적용되었다. Software pipelining은 기본적으로 모든 함수에 적용된다.

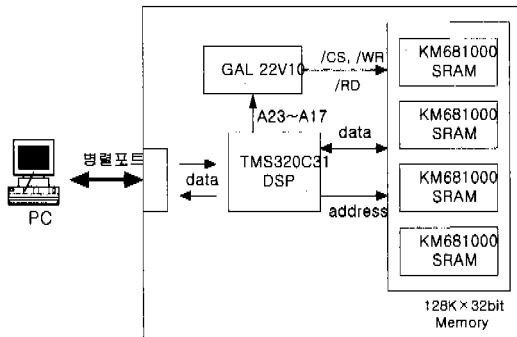


그림 4. 구현한 시뮬레이터 구조

이 기술은 앞에서 for문에서 효과를 볼 수 있다. 특히 반복횟수가 많을수록, 반복문 안에서 쓰이는 변수가 적을수록 효과가 증대된다. 이 방법이 가장 유용하게 쓰인 함수는 PRML에서 Traceback 모듈과 FDTS에서 Branch metric 모듈이다. 실행 사이클수가 가장 많은 두 함수는 기본적으로 for문이 2개 이상으로 이루어져있어, 변수를 줄이기 위해 for문을 가능한 나누어서 최적화를 시도했다. 그 결과 TI사에서 제공한 C compiler를 사용하여 시뮬레이터를 구현한 결과보다 약 2배정도의 속도의 증가를 가져왔다.

VI. 모의실험 결과

1. 광 기록 채널에서의 PRML 성능 비교

본 논문에서는 채널 밀도 S 가 4.6일 때 (4.7Gbyte-용량), RLL부호로 (1, 7)부호를 사용하여 PR 응답이 $1 + 2D + 2D^2 + 2D^3 + D^4$ 일 때의 PR-ML 성능을 PC모의실험결과와 구현한 시뮬레이터의 결과를 비교하여 나타내었다. 이 때 시뮬레이터에서 한 비트를 받아 PRML을 수행하는 클럭수는 3743으로 약 74 μ s의 수행 속도를 갖는다.

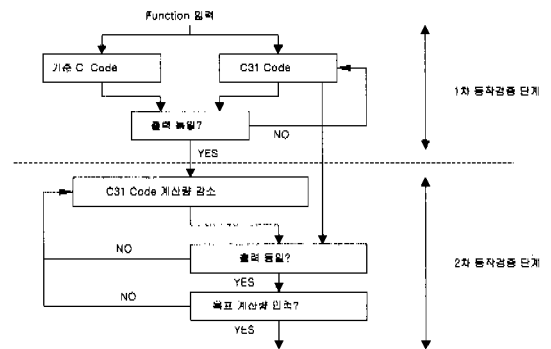


그림 5. 프로그램 개발 과정

2. 광 기록 채널에서의 DFE 성능 비교

앞에서 제시한 조건과 똑같이 하여 DFE 성능을 PC모의실험결과와 구현한 시뮬레이터의 결과를 비교하여 나타내었다. 이 때 시뮬레이터에서 한 비트를 받아 DFE를 수행하는 클럭수는 2233으로 약 44 μ s의 수행 속도를 갖는다.

3. 광 기록 채널에서의 FDTS/DF 성능 비교

FDTS/DF의 성능을 PC모의실험결과와 구현한 시뮬레이터의 결과를 비교하여 나타내었다. 이 때 시

플레이터에서 한 비트를 받아 FDTS/DF를 τ 가 5일 때 수행하는 클럭수는 31451으로 약 629 μ s의 수행 속도를 갖는다.

IV. 결 론

본 논문에서는 Software Defined Radio의 개념을 도입해 여러 검출 방식을 하드웨어에 검출 프로그램을 다운로드 함으로써 한 하드웨어에서 동작할 수 있는 방법을 제시하고, TI사의 범용 DSP인 TMS320C31을 이용하여 시뮬레이터를 구현하였다. 검출방식을 수행하는 소프트웨어의 구현은 검증된 C 프로그램과 구현한 어셈블리 소프트웨어를 서로 비교하면서 구현하였고, 실행 속도에 관련해서는 소프트웨어를 구현하면서 함수별로 실행 사이클 수를 체크하는 과정에서 수행하였다. Software pipelining은 기본적으로 모든 함수에 적용하였다. pipelining 적용시 for문에서 가장 큰 효과를 볼 수 있었다. 특히 반복 횟수가 많을수록, 반복문 안에서 쓰이는 변수가 적을수록 효과가 증대되었다. 그 결과, TI사에서 제공한 C 컴파일러를 통해 구현된 소프트웨어보다 약 2배의 소프트웨어 수행 속도의 증가를 가져왔다. 채널밀도 4.6에 대해서 (1, 7) 부호를 사용하여 시뮬레이터에서의 PRML, DFE, FDTS/DF의 성능을 PC 모의 실험과 비교하여 시뮬레이터의 성능

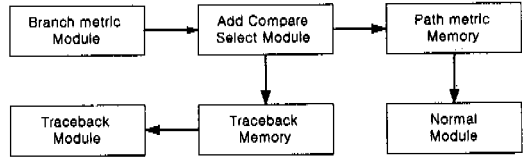


그림 8. 비터비 검출기 모듈

을 검증하였다. 여러 검출방식에 대한 성능 분석에서는 DFE일 때 가장 빠른 수행 속도를 갖지만 좋지 않은 수행능력을 나타냈고, FDTS/DF의 검출 방식이 τ 가 5일 때 가장 좋은 수행 능력을 나타냈지만, 일반적으로 유한 깊이가 깊어질수록, 가지의 수가 늘어나 계산량이 증가하고, 가지에 대한 메모리 수의 증가로 인해 여러 검출 방식 중 수행 속도가 가장 느리게 나타났다. 따라서, 수행속도와 여러 검출방식의 수행능력간의 상호관계를 통해 광 기록 저장 시스템에서 여러 검출방식 프로그램을 메모리에 저장하고, 잡음의 양에 따라 검출방식을 다운로드 하면서 여러 검출방식을 지원하고, 경제적인 시스템 구현 방법을 제시하였다.

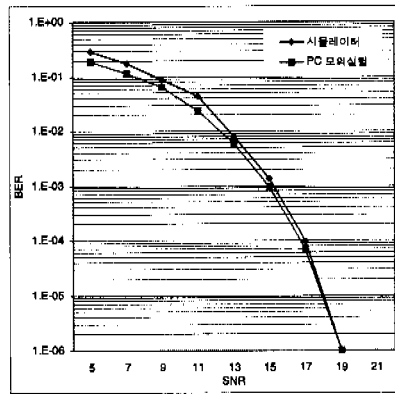


그림 9. PRML 성능 비교

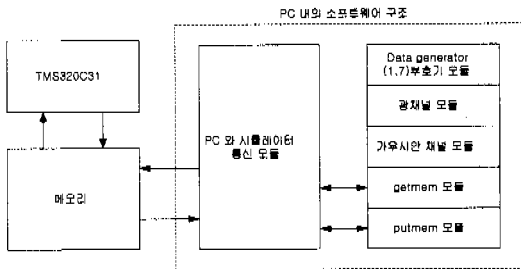


그림 6. 소프트웨어 구조

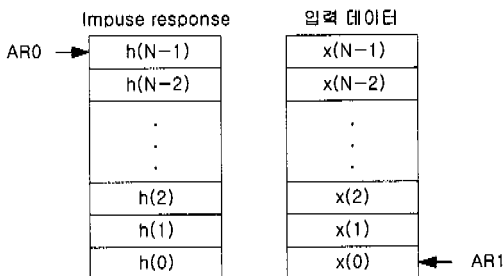


그림 7. Circular Addressing 모드

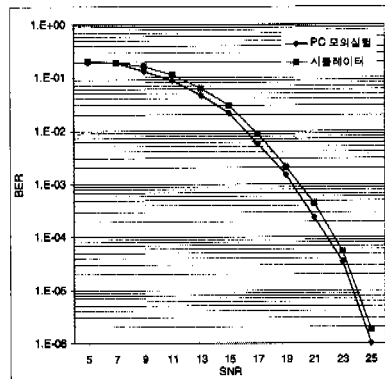


그림 10. DFE 성능 비교

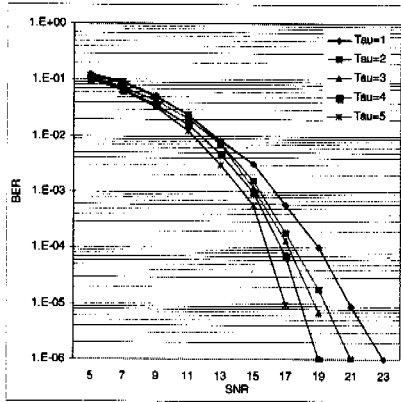


그림 11. FDTS/DF 성능 비교

참 고 문 헌

- [1] Jaekyun Moon, "The Role of SP in Data-Storage", *IEEE Signal Processing Magazine*, pp. 55-72, July 1998.
- [2] J. W. M. Bergmans, "Partial Response Equalization", *philips journal of Research*, Vol.42, pp. 209-245, 1987.
- [3] H. K. Thapar and A. M. Patel "A Class of Partial Response Systems for Increasing Storage Density in Magnetic Recording", *IEEE Tran. on Magnetics*, Vol.MAG-23, No. 5, Sep 1987.
- [4] Jaekyun Moon and L. richard Carley, "Partial Response Signaling in Magnetic Recording Channel", *IEEE Trans. on Magnetics*, Vol. MAG-4, No. 24, Nov 1988.
- [5] TMS320C3x DSP Starter Kit User's Guide, Texas Instruments. 1996.
- [6] TMS320C3x User's Guide, Texas Instruments. 1996.

김 민 철(Min-Chul Kim)

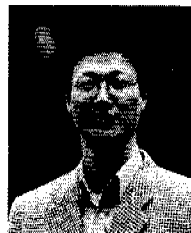
준회원



1998년 2월: 순천향대학교
정보통신공학과 학사
1999년 3월~현재: 동국대학교
전자공학과 석사과정
<주관심 분야> 통신이론, 소프트
웨어라디오, DSP H/W
설계

이 재 진(Jaejin Lee)

정회원



1983년 2월: 연세대학교
전자공학과 졸업
1984년 12월: U. of Michigan,
Dept. of EECS 석사
1994년 12월: Georgia Tech,
Sch. of ECE 박사

1995년 1월~1995년 12월: Georgia Tech, 연구원