

ATM망에서의 스위치 알고리즘의 상호동작성능에 관한 연구

정회원 최규태*, 박승권**

A Study on the Interoperability of Switch Algorithms in ATM Networks

Kyu-Tae Choi*, Sung-Kwon Park** *Regular Members*

요 약

본 논문에서는 ATM망상의 다수의 종단간(End-to-end)연결에서 망의 구성장치인 교환기들 간의 상호연동성능에 관하여 평가하였다. ATM Forum의 Traffic Management Specification 4.0에서 제시한 스위치 메카니즘 중에는 Binary Feedback 기법과 Explicit Rate Feedback 기법이 있다. 전자의 경우에는 망으로부터의 제한정보를 이용하여 종단시스템에서 트래픽 제어가 이루어지나, 후자의 경우에는 스위치로부터의 정보에 의하여 종단시스템의 전송 가능한 트래픽 양이 정해진다. 상이한 방식으로 동작하는 교환기로 구성된 망에서는 그 제어방식의 차이로 동일한 방식을 가지는 교환기들로 구성된 종단간 연결과 비교할 때 망자원의 활용도, 망 제어 측면에서 성능저하를 예상할 수 있다. 이에 본 논문에서는 4가지의 기법에 대하여 각각 망을 구성하고, 구성의 차이에 따른 성능을 비교하고 그 원인을 분석하였다. 상이한 방식으로 구성된 경우 각 구성형태에 따라서 성능 차이가 나타났으며, 폭주가 발생하는 노드의 교환기 동작성능이 전체 망 전송성능을 결정하는 것을 볼 수 있었다.

ABSTRACT

This paper evaluates the interoperability between switches for an ATM network with a number of end-to-end connections. ATM Forum includes Binary Feedback scheme and Explicit Rate Feedback scheme as switch mechanisms in Traffic Management Specification 4.0. The former controls the traffic at end systems using the feedback information from network. In the latter case, the amount of traffic to be transferred at end systems is determined based on the information from switches. We can expect performance degradation in the utilization of network resource and the control of a network that is constructed with heterogeneous switches than homogeneous switches due to the different controlling methods. In this paper, we constructed each configuration of a network using the four methods, then compared performances and presented analysis for these methods. On the configurations of heterogeneous methods, it showed different performances at each case and the performance of switch at the congestion node determined the entire performances of transmission on the networks.

I. 서론

ATM (Asynchronous Transfer Mode)은 다양한

QoS (Quality of Service)를 요구하는 트래픽을 동시에 모두 처리할 수 있는 가장 적절한 기술로서 여겨지고 있다. 일반적으로 트래픽은 크게 실시간/비실시간 트래픽으로 분류할 수 있는데 ATM에서는

* 한양대학교 대학원 전자통신공학과 응용통신연구실(joker99@ihanyang.ac.kr), ** 한양대학교 전자전기공학부(sp2996@hanyang.ac.kr)
논문번호: 00014-0114, 접수일자: 2000년 1월 14일

※ 본 연구는 한국학술진흥재단 학술연구비에 의하여 지원되었음.

CBR (Constant Bit Rate), VBR (Variable Bit Rate), ABR (Available Bit Rate), UBR (Unspecified Bit Rate)의 네 가지 서비스 클래스로 분류하고 있다. 실시간 트래픽의 경우에는 지연에 민감하고 비실시간 트래픽은 셀손실에 의하여 전송품질이 영향을 받는다. 그러나 CBR, VBR 트래픽은 ABR, UBR에 비해 높은 우선순위(Priority)를 가짐으로써, 상대적으로 높은 전송 품질을 보장받을 수 있게 된다.

스위치 알고리즘은 흐름제어 중에서도 트래픽제어와 밀접하게 관련이 되며 특히 우선순위가 낮은 ABR의 QoS를 향상시키며 사용 가능한 여유대역을 효과적으로 활용하게 함으로써, 전체적인 망 사용도(Utilization)를 높이는 것에 목적이 있다. 이와 관련되어 ATM Forum에서 Traffic Management Specification에 종단시스템(End System)의 동작에 대해서는 표준화가 되어 있으나, 스위치의 동작방식에 대해서는 정의하지 않고 있어서 다양한 방식으로 구현될 수 있다^[9]. 그러므로, 통신망이 서로 다른 ABR 트래픽제어 방식을 가지는 스위치 메커니즘으로 구성되었을 때, 상호연동성은 중요한 문제가 될 수 있다^[8]. 이에 본 논문은 ATM Forum에서 예시한 스위치 알고리즘간의 상호동작성능에 대한 분석 및 평가를 하고자 한다.

본 논문의 구성은 다음과 같다. 2장에서는 흐름제어의 기본적인 개념을 3장에서는 상호동작성능을 평가하기 위해서 다룬 스위치 알고리즘에 대하여 4장에서는 시뮬레이션 환경 및 결과 분석을 하였고, 5장에서는 결론 및 향후 연구 방향에 대하여 논함으로써 논문을 맺었다.

II. ABR 흐름제어(Flow Control)

2.1 ABR 서비스를 위한 흐름제어 모델

ABR 흐름제어는 양방향 연결(Bi-directional Connections)을 통해 연결된 소스 종단 시스템(SES; Source End System)과 목적지 종단 시스템(DES; Destination End System) 사이에서 일어나며, 양방향으로 연결 설정된 경우에는 각 종단 시스템은 SES/DES가 될 수 있다. 그림 1에서는 RM (Resource Management) 셀 처리와 관련하여 종단 시스템 사이에서의 정보 흐름을 도식화하기 위해서 종단 시스템이 각각 한 개의 SES와 DES로 구성된 망을 가정하였다. 여기서 전방향 진행은 SES로부터 DES로의 정보흐름이며, 역방향은 그 반대가 된다. 그림에서 보듯이 SES로부터 DES로의 정보 흐름을 위해

서는 두 가지의 RM셀 흐름으로 구성되는 제어 루프가 형성되어 질 수 있다. SES는 데이터 셀을 망으로 전송할 때 32번째 셀마다 데이터 셀 대신 FRM셀을 보내게 되고, 이렇게 보내어진 FRM (Forward RM) 셀은 DES에 의해 BRM (Backward RM)셀이 되어 제어루프를 따라 귀환 된다. 이렇게 보내어진 BRM 셀은 DES에 의한 계환정보를 포함할 수도 있으며, 망 장치(NE; Network Element)에 의해 기록된 정보도 가질 수 있다.

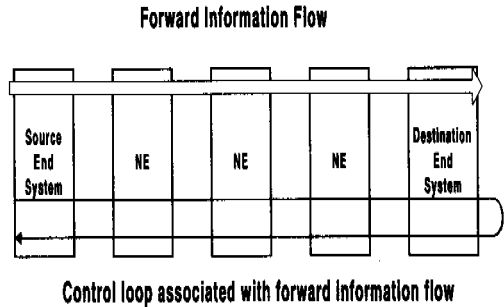


그림 1. 전방향 정보흐름을 가지는 제어루프 구성도

2.2 RM 셀

RM셀은 ATM에서 ABR 트래픽을 제어하기 사용 되는 관리 셀이다. RM셀은 SES로부터 DES로 가는 FRM셀과 그 반대 방향으로 전달되는 BRM셀로 구분될 수 있다. RM셀은 스위치의 폭주 여부, SES의 셀율(Cell Rate) 등의 망의 현재 상태에 대한 정보를 지니고 있다. 물론 EFCI 알고리즘의 경우에는 폭주 여부에 관한 정보가 일반 데이터 셀에 실려서 보내 지기도 한다. 망의 폭주여부는 CI (Congestion Indication) 비트에 의해 판단되며, 일반적으로 32번째 셀을 RM셀로 보내게 된다. 또한 RM셀은 스위치로부터 특정 소스에 대한 ER 정보를 SES에게 전달 함으로써 ABR 트래픽의 제어가 이루어지게 된다.

III. 스위치 알고리즘

개념적인 폭주 제어는 두 가지의 의미로 해석될 수 있다. 망이 폭주 상태에 있을 때 이를 해소한다는 의미로 사용되는 Congestion Control(폭주 제어)과 망이 폭주 상태에 들어가기 전에 미리 제어하여 폭주 상태로 접어들 지 않게 하는 Congestion Avoidance(폭주 회피)로 나눌 수 있다^[5]. 그림 2는 트래픽 부하에 대한 수율(Throughput)의 변화와 지연에 대한 그래프이다. 망 상태는 그림 2와 같이 수

율이 선형적으로 증가하는 과도 상태와 일정하게 유지되는 정상 상태로 나눌 수 있다. 과도 상태에서 정상 상태로 접어드는 지점을 “Knee” 지점이라 하고, 정상 상태에서 폭주 상태로 즉 수율이 급격히 떨어지는 점과의 경계점을 “Cliff” 지점이라 한다. 이미 폭주 상태로 들어간 망에서는 그림에서 보듯이 수율은 급격히 떨어지며, 지연은 무한히 증가하게 되어 망은 거의 전송 불능의 상태로 접어들게 된다. 이는 망 자원의 활용 면에서나 성능 측면에서 바람직하지 않다. 그러므로 폭주 회피 방식을 사용하는 것이 더 효과적인 흐름제어라 할 수 있다.

본 논문에서 상호동작 성능을 평가하기 위하여 사용한 알고리즘은 EFCI (Explicit Forward Congestion Indication), EPRCA (Enhanced Proportional Rate Control Algorithm), NIST ER (Explicit Rate), ERICA (Explicit Rate Indication for Congestion Avoidance)이다.

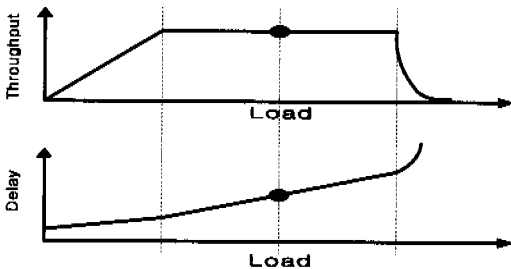


그림 2. 부하와 지연 및 수율과의 관계

3.1 EFCI 기법

EFCI 방식은 Binary Feedback 기법의 범주에 포함되며 각 가상연결들은 공용 FIFO를 공유하고 있으며, 미리 설정된 상한문턱치(QH; Queue High)에 스위치 큐의 값이 도달하게 되면 폭주제어가 시작되어 ACR (Allowed Cell Rate)을 낮추게 되고, 큐가 하한문턱치(QL; Queue Low)에 도달하게 될 때까지 계속 감소시키게 된다. 제한정보가 없을 때는 소스는 정해진 파라미터에 의해 셀율을 계속 증가시킨다. 폭주유무는 EFCI의 비트 값에 의하여 알 수 있는데 큐의 값이 상한치에 도달하게 되면 스위치에서는 SES로부터 전송되어 오는 모든 셀의 EFCI 비트를 '1'로 설정하여 다음 노드로 전송하게 된다. EFCI 비트가 '1'인 값을 가지고 있는 셀들이 DES에 도착하게 되면 DES는 CI (Congestion Indication) 비트

를 '1'로 설정하여 BRM (Backward RM)셀에 기록하여 제한하게 되고 식 (1), (2)에 의해서 SES에서 ACR 값을 제어하게 된다. 식의 MDF (Major Decrease Factor), AIR(Additive Increase Rate)는 각각 감소/증가 파라미터이며, MCR (Minimum Cell Rate)는 최소 보장 셀율, PCR (Peak Cell Rate)은 최대 가능 셀율이다.

$$ACR = MAX(ACR * MDF, MCR) \quad Q > QH \quad (1)$$

$$ACR = MIN(ACR + AIR, PCR) \quad \text{no feedback} \quad (2)$$

이 방식은 폭주제어를 하기 위한 시간이 많이 소요되고, 모든 가상연결들(VCs; Virtual Connections)이 버퍼를 공유함으로써 망의 구성형태 및 SES/DES 구성에 따라 Beat-down 문제가 발생할 수 있고, 이는 대역의 불공정성(Unfairness)이라는 결과를 가져온다. 이를 해결하는 방안으로는 “Selective Feedback” 과 “Intelligent Marking” 기법 등이 사용될 수 있다^[5].

3.2 EPRCA 스위치 알고리즘

EPRCA는 PRCA 알고리즘을 개선한 것이며, 이 알고리즘의 특징은 SES가 RM셀을 생성할 때 현재의 셀율에 비례하여 RM셀을 생성한다는 것이다. RM셀에는 SES가 원하는 셀율과 현재의 셀율에 대한 정보가 실려있으며, 이들은 각각 종단장치의 다음 전송시 ACR 값이 되는 ER (Explicit Rate) 및 현재의 전송율을 의미하는 CCR (Current Cell Rate)이다. 스위치의 큐 감시는 세 가지의 문턱치에 의해서 이루어지는데 EFCI의 QH, QL에 해당하는 HT (High Threshold)와 LT (Low Threshold) 값과 여기에 추가적으로 매우 폭주된 상태로 간주하게 되는 DQT (Dominant Queue Threshold) 값이 있어서 폭주레벨에 따라 다른 식이 적용된다^[12]. 식 (3), (4)는 스위치에서 계산되는 ER값을 구하는 식이다.

if Queue length > DQT

$$ER = \min(ER, MACR * MRF) \quad (3)$$

*else if CCR > MACR * DPF*

$$ER = \min(ER, MACR * ERF) \quad (4)$$

여기서 MACR (Mean ACR)은 현재의 셀율과 과거의 MACR에 의해 추정되는데 식 (5)와 같으며 α 는 일반적으로 1/16이며, 지수적 가중 평균 (Exponential Weighted Average)에 의해서 구해진다. MRF (Major Reduction Factor), ERF(Explicit Reduction Factor)는 감소지수이고, DPF (Down Pressure Factor)는 일반적으로 7/8이 사용되며 (7/8)*MACR인 값으로 대역의 공평성을 계산한다.

$$MACR = (1-\alpha)*MACR + \alpha*CCR \quad (5)$$

3.3 ER 스위치 알고리즘

ER 스위치 메카니즘은 종단시스템에서의 성능을 개선하기 위하여 제안되었으며, 안정된 ACR 값을 유지하고 스위치의 큐 상태변화를 줄임으로써 망을 안정되게 동작하게 하고, 종단시스템에서의 성능향상을 가져올 수 있게 하였다^[1]. 본 논문에서 NIST (National Institute of Standards and Technology)에서 제안된 방식을 사용하였다^[2, 4]. 이 스위치 알고리즘의 특징은 크게 4가지로 설명된다. 첫째, 빠른 폭주 감지이며 이는 최대의 링크 용량을 사용하면서 버퍼의 셀 대기를 줄이기 위함이다. 폭주의 감지는 큐 증가율에 의하며 큐의 문턱치(QT; Queue Threshold)에 의해 폭주해소를 알린다. 둘째, 교환기에서의 집합적인 큐 입력율의 감지와 이를 이용한 LF(Load Factor)를 계산하는 것이다. LF는 입력율 (Input Rate)과 목표율(Target Rate)의 비로 나타나며 링크 사용도를 판단하는 기준이 된다. 셋째, ER 값 계산을 위해서 모든 가상연결들의 ACR에 대하여 지수적 가중 평균을 구함으로써 식 (6)에 의하여 MACR을 계산한다는 것이다. 그리고 MACR은 같은 대역을 공유하는 가상연결들에 공통으로 적용되는 값이다. AVF (AVerage Factor)는 가중변수이며 1/16이 사용된다.

$$MACR = (1-AVF)*MACR + AVF*ACR \quad (6)$$

넷째, 컨텐딩(Contending) 소스에 대한 사용가능한 대역의 할당시 어떤 컨텐딩 소스의 제한조건에 의해 발생하는 여유대역을 다른 소스에 재할당하는 동작이 이루어지는 점이다. ER 스위치 알고리즘은 식 (7), (8), (9)로 나타난다.

$$MACR = MACR + MAIR \quad (7)$$

$$ER = MACR*MRF \quad (8)$$

$$ER = MACR \quad (9)$$

식 (7)은 사용가능한 대역을 재할당하는 과정이며, 폭주가 예상되는 경우 식 (8)에 의하여 셀율을 감소시키며, 그렇지 않은 경우에는 식 (9)에 의해서 셀율이 증가하게 된다.

3.4 ERICA 스위치 알고리즘

ERICA 알고리즘은 경쟁하는 모든 소스에게 공정성과 사용가능한 대역의 효율적인 할당과 관련 있다. 스위치의 출력단에서 동작하며 다른 동적 알고리즘과 같이 망자원(Resource)에 대한 수요와 사용가능한 대역의 감시가 필요하다. 여기서 "지원"은 큐잉 포인트에서 사용가능한 대역을 의미한다. 대부분의 스위치에선 출력 버퍼링이 사용되어지며, ERICA 알고리즘도 각 출력단에서 적용된다. 트래픽 제어과정은 스위치가 정기적으로 각 링크의 부하(Load)와 부하계수(Load Factor) 'z'를 결정하고, 사용 가능한 용량, 현재 액티브한 가상연결들의 수(N)를 감시한다. 부하계수는 측정된 입력율(Input Rate)과 출력 링크의 목표용량(Target Capacity) U로 계산된다. U는 사용가능한 용량의 90 ~ 95%로의 값을 일반적으로 사용하며^[10], ERICA에서는 AI (Averaging Interval)이라는 일정한 간격에 의해 값이 계산되어진다.

폭주상태의 판단은 부하계수에 의하여 판단되는데, 부하계수가 '1' 보다 큰 상태는 과부하(Overload)상태로 판단하고, 작으면 Underutilization 상태로 간주하게 되어, 새로운 제한정보를 계산한다.

또한, ERICA 알고리즘은 Max-Min 공정성을 위해 두 개의 파라미터를 사용하며, CCR[VC]/z로 계산되어지는 VCShare와 목표 ABR 용량과 액티브한 가상연결들의 개수의 비로 나타나는 FairShare가 있다. 이 값은 최소한의 공정성을 보장한다. 또한, 어떠한 소스라도 이 FairShare값 이하로 전송하는 것이 가능한데, 만약 모든 Source가 FairShare값에 근접하면 이 시스템은 Fairness를 만족하고, 부하계수는 '1'이 될 것이다. 그리고 다음 주기에서 FairShare보다 더 전송을 하기 위하여, 현재 주기에서 FairShare보다 낮은 전송을 금하고 부하의 변동을 줄일 수 있다^[11].

RM셀 내의 ER값은 식 (10)과 (11)에 의해 결정된다.

$$if z > 1+\delta$$

$$ER <- Max(FairShare, VCShare) \quad (10)$$

if ($ER > FairShare$) and ($CCR[VC] < FairShare$)

$ER \leftarrow FairShare$

$ER\ in\ RM \leftarrow Min (ER\ in\ RM,$

$ER,\ Target\ ABR\ Capacity)$ (11)

여기서 δ 은 부하계수가 '1' 근처일 경우 대역할당을 동일하게 하기 위해 사용되는데, 일반적으로 0.05 ~ 0.1의 값이 사용되며 부하계수가 '1' 근처에서 빠르게 변동할 때, 불필요한 계산을 줄일 수 있다. 또한 부하계수가 큰 값이 되는 경우 추가적인 과부하 상태를 방지하기 위함이다.

IV. 시뮬레이션 및 결과 분석

4.1 시뮬레이션 환경

상기한 알고리즘을 사용하는 스위치간의 상호동작성능을 평가하기 위하여, 망 장치로는 세 개의 스위치가 구성되며, 중단 시스템은 시간적 간격을 가지는 두 개의 VBR 트래픽 소스 및 세 개의 ABR 트래픽 소스를 각각 SES, DES로 연결하였다. 이 때 VBR 소스는 사용가능한 대역의 변화를 주기 위함이다^[13]. 망 구성은 그림3과 같으며 구성에 따라 각 스위치는 본 논문에서 사용한 네 가지의 알고리즘 중 하나가 될 수 있다. VBRs#, ABRs# 등은 SES가 되고 VBRr#, ABRr# 등은 DES이며, 5개의 가상연결들이 구성된 형태이다. 그리고 시뮬레이션 툴로서는 NIST의 ATM Network Simulator 4.0을 툴 이용해서 이루어졌으며, 망을 구성하는 각 장치들은 ATM Forum의 표준을 따르도록 구현되었다.

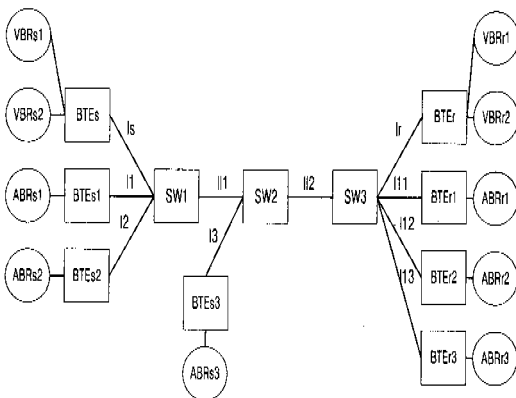


그림 3. 시뮬레이션 구성도

표 1. BTE 파라미터

파라미터	정의	파라미터 값
NRM	# of RM Cells	32 Cells
ICR	Initial Cell Rate	7.0 Mbit/s
MCR	Minimum Cell Rate	1.0 Mbit/s
PCR	Peak Cell Rate	50 Mbit/s
AIR	Additive Increase Rate	0.0625 Mbit/s
MDF	Multiplicative Decrease Factor	512

표 2. 스위치 알고리즘 파라미터

파라미터	정의	파라미터 값
MAIR	MACR Additive Increase Rate	0.5 Mbit/s
HT	High Threshold	6000 Cells
LT	Low Threshold	4000 Cells
DQT	Dominant Queue Threshold	10000 Cells
ERF	Explicit Reduction Factor	0.9375
N	Measurement Interval	50 Cells
VCS	VC Separator	0.875
AVF	Average Factor	0.0625
MRF	Major Reduction Factor	0.95
DPF	Down Pressure Factor	0.875
AI	Averaging Interval	5000 μ sec
δ	Delta	0.1

표 3 및 표 4는 입력 트래픽 소스의 특성이며, 표 3은 각각의 링크 특성이다. 각각의 트래픽 소스들은 시뮬레이션 툴에서 제공되는 것을 사용하였으며, 각 파라미터들은 다양한 시뮬레이션을 통해서 적절히 선택된 값들이다. ABR 트래픽의 경우는 가능한 최대의 전송율을 유지하려는 성질의 그리디한(Greedy) 특성을 가지는 것으로 가정하였다.

표 3. ABR 트래픽 소스 특성

Bit rate(Mbits/s)	50
Mean Burst Length(μ sec)	1000
Mean Interval between Bursts(μ secs)	100
Traffic Source	Poisson

표 4. VBR 트래픽 소스 특성

Mean number of cells generated	20
Mean Interval between Burst(μ secs)	200
Start time(msec)	0/500
Traffic Source	Batch

표 5. 링크 특성

링크 이름	링크속도 (Mbps)	링크길이 (km)
l1	50	10
l2	50	100
l3	50	10
ls	155	10
l11	50	10
l12	50	100
l13	50	10
lr	155	10
ll1	155	100
ll2	155	100

또한 시뮬레이션을 위해 구성된 토폴로지는 SW2가 병목이 발생하는 노드가 되도록 구성하여 폭주가 발생하도록 하였다. 이때 SW1과 SW2의 ABR 큐의 길이(Queue Length)와 각 소스들의 ACR에 대한 성능을 평가하였고, SW2에서 사용되는 알고리즘의 차이에 따른 SW1의 동작을 관찰하였다. 스위치 버퍼 특성은 셀 손실이 없는 환경을 가정하기 위하여 무한대 크기의 버퍼를 가지는 것으로 하였다. 이와 같은 환경에서의 실험은 적정 크기의 버퍼 크기를 알아보기 위함이다. 스위치의 큐 문턱치 값으로는 QH는 6000셀, QL은 4000셀을 사용하였고 EPRCA의 매우 폭주된 상태인 QDT의 값은 10000셀을 사용하였다. 시뮬레이션 결과는 5초동안의 결과이다.

4.2 시뮬레이션결과

4.2.1 동일한 스위치 알고리즘을 사용한 경우

동일한 스위치 알고리즘으로 구성된 망 형태의 경우이며 이와 같은 경우에는 스위치 알고리즘간에 같은 방식으로 동작하기 때문에 알고리즘 고유의 특성이 나타날 것으로 예상된다. 그림 4는 SW1, SW2에서의 평균 ABR 큐에 관한 그림이다. EFCI의 경우에는 QH와 QL의 중간값인 약 5000셀 근처의 값이고 이와 같은 결과는 EFCI 알고리즘의 폭주제어 방식에 근거한다. 그림 5는 각 소스의 ACR의 평균을 구한 결과이다. 각 소스들은 SW2의 폭주에 거의 동일한 영향을 주고 있다. EFCI의 경우에는 거리적으로 가까운 소스에 대해서 낮은 ACR 값이 설정되는 것을 볼 수 있다. 이는 각 소스들이 그리디하며 동일한 비트율로 전송하고, SW2에서 시뮬레이션 동안 거의 폭주인 상태를 유지하기 때문에 상대적으로 제어경로가 짧은 BTEs3의 셀율이 더 많이 감소된 것으로 해석된다.

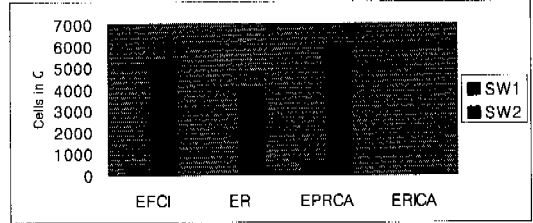


그림 4. SW1, SW2의 평균 ABR 큐

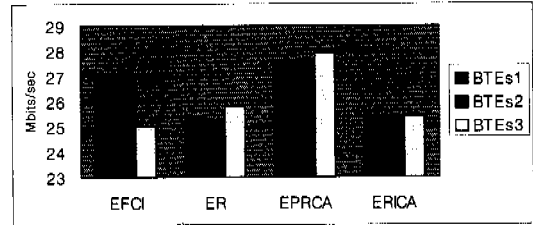


그림 5. 평균 ACR 비교

EPRCA 알고리즘의 경우 매우 큰 값의 큐를 보여주고 있다. 이러한 결과는 EPRCA 알고리즘의 문제점으로 여겨지며 EPRCA 알고리즘이 사용하는 큐 관리 방식에서 매우 폭주인 상태를 나타내는 QDT의 모의실험에서 10000 cells로 설정한 점을 고려할 때, 상당히 특이한 결과를 보여주는 것이다. 이에 관해서는 EPRCA 알고리즘에서 사용되는 파라미터의 설정을 바꿔줌으로써 개선할 여지가 있는 것으로 판단된다.

ERICA 알고리즘의 경우에는 스위치의 낮은 큐상태를 유지하는 특성을 보여주는데 이는 스위치의 폭주유무를 큐변화율에 의해 판별하기 때문이다.

4.2.2 상이한 스위치 알고리즘을 사용한 경우

1) SES 다음 노드에 위치한 경우

다음의 구성은 SES 다음 단인 SW1에 EPRCA, ER, ERICA 알고리즘을 사용하는 스위치가 배치되는 경우이며, SW2 및 SW3은 EFCI 알고리즘이 사용된다.

그림 6에서 보듯이 평균 큐는 세 가지의 결과 모두 동일한 스위치 구성과 비슷한 결과를 보여주고 있다. 그러나 평균 ACR의 결과는 동일한 알고리즘으로 구성된 결과와 차이가 나며, 두 가지의 경우로 나뉘어져서 해석된다.

EPRCA와 EFCI의 경우에는 큐 관리가 Q의 문턱치 값에 의하며, ER과 ERICA의 경우에는 큐의 변화치에 이루어진다. SW2에서의 제어 정보가 RM셀

에 실려서 다음 노드에 전해질 때 이 정보를 이용하여 역시 SW1에서도 ER 값을 계산하는 과정이 이루어진다. 그렇기 때문에 그림 6과 그림 7의 결과에서 보듯이 각각 비슷한 유형을 보여주고 있다. 또한 동일한 구성 보다 각 소스간 평균 ACR 값의 차이가 커짐을 알 수 있으며, 특히 BTEs3은 SW2와 SW3이 동일한 알고리즘이 사용된 스위치만을 경우하기 때문에 큰 평균 ACR 값을 보여준다.

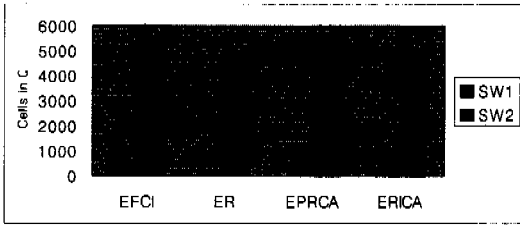


그림 6. SW1, SW2의 평균 ABR 큐

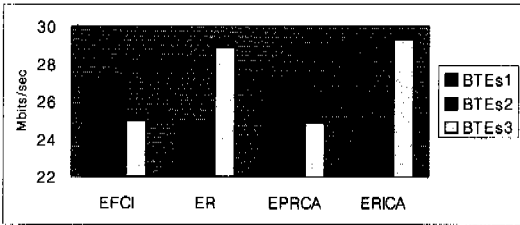


그림 7. 평균 ACR 비교

2) 가운데 노드에 위치한 경우

다음의 구성은 폭주가 발생하는 스위치인 SW2에 EPRCA, ER, ERICA 알고리즘을 사용하는 스위치가 배치된 경우이다. 그림 8, 그림 9의 결과와 동일한 스위치 구성인 그림 4, 그림 5의 결과와 비교하면 대체적으로 비슷한 유형을 나타내고 있음을 확인할 수 있다. 이는 상이한 알고리즘을 가지는 스위치가 서로이 망에 배치될 때, 망 상태가 좋지 않게 되는 노드에 배치하는 것이 적합함을 보여주는 결과이다.

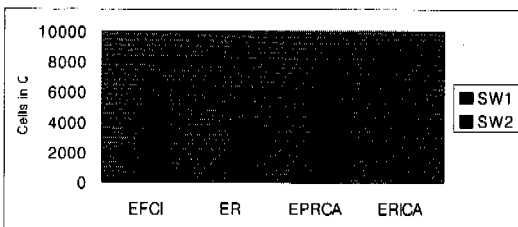


그림 8. SW1, SW2의 평균 ABR 큐

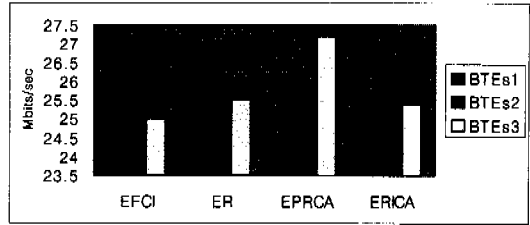


그림 9. 평균 ACR 비교

다만, EPRCA의 경우 각 소스간 평균 ACR의 값의 차이가 증가된 것을 볼 수 있는데, 이는 상대적으로 먼 거리의 소스가 망으로부터의 제어정보를 받는 회수가 적음으로서 전송율을 증가시킬 기회가 줄어드는 "Beatdown 현상"으로 설명될 수 있을 것이다.

3) DES 앞 노드에 위치한 경우

다음의 구성은 SW3에 EPRCA, ER, ERICA 알고리즘을 사용하는 스위치가 배치된 형태이다. 따라서 모든 소스들한 상이한 구조의 스위치를 경유하게 된다.

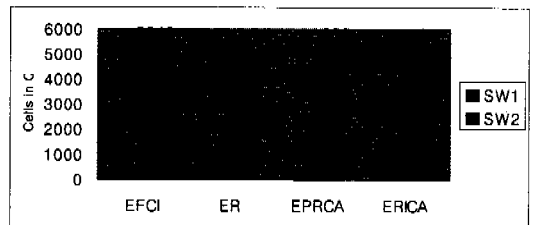


그림 10. SW1, SW2의 평균 ABR 큐

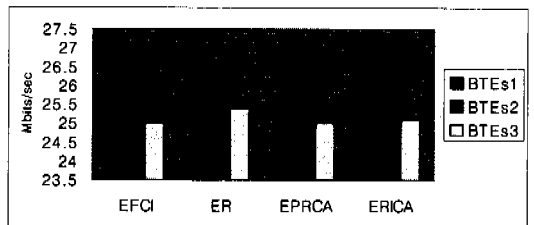


그림 11. 평균 ACR 비교

여기서는 결과에서 볼 수 있듯이 세 가지 알고리즘 모든 경우에서 EFCI로만 구성된 망 토폴리지와 유사한 형태를 나타내고 있다. 또한 소스들의 평균 ACR의 차도 상당한 커졌다. 이는 ATM 연결이 종단간 연결이며 ABR 트래픽 제어가 종단간에 RM셀에 의해서 이루어진다는 점으로 설명될 수 있다. 각

스위치에서 ER의 조절이 있지만 폭주가 발생하는 스위치에서의 제어정보가 소스의 ACR 결정에 가장 큰 영향을 준다고 볼 때, 이상과 같은 현상이 설명될 수 있다. 또한 상이한 스위치가 SES로부터 물리적 혹은 논리적으로 멀리 떨어져 구성될 때 다른 구성에 비해 상당한 성능 저하가 나타난다는 것을 알 수 있다.

4.3 대역 공정성(Fairness) 평가

ABR 서비스는 우선순위가 높은 CBR, VBR 서비스가 점유하고 남은 대역을 이용하게 된다. 스위치 알고리즘은 이렇게 ABR 서비스로 사용될 수 있는 대역을 효과적으로 각각의 소스에게 할당하게 된다. 또한 사용 가능한 대역을 할당할 때 가장 중요시되는 부분은 공정한 대역의 할당을 하는 것이다. 이는 변화하는 사용가능한 대역을 액티브한 소스에게 할당하는 것이고, 폭주가 발생하는 경우에는 폭주에 기여하는 정도에 따라 그 대역할당을 달리하는 의미도 포함한다 할 수 있다. 이에 관해서는 여러 논문에서 공정성 기준을 정의하고 이에 따라 성능을 평가하고 있다^{3, 5}. 본 논문에서는 공정성 지수에 대해서 식 (12)와 같이 정의하겠다.

$$\text{Fairness Index} = 1 - [\max(\alpha_j) - \min(\alpha_k)] \quad (12)$$

$$j = 1, 2, 3 \quad k = 1, 2, 3 \quad j \neq k$$

여기서 α_j 는 DES_j에서의 수신된 셀의 개수에 대하여 각각의 DES에서 수신된 셀의 평균과의 비율 취한 값이며, 각 시뮬레이션 환경에서 사용가능한 대역의 상대적인 공정성을 구하기 위함이다.

표 6. 동일한 스위치로 구성

	EFCI	ER	EPRCA	ERICA
FI	0.920	0.976	0.989	0.997

표 7. SW1이 EPRCA, ER, ERICA인 경우

	ER	EPRCA	ERICA
FI	0.848	0.921	0.836

표 8. SW2가 EPRCA, ER, ERICA인 경우

	ER	EPRCA	ERICA
FI	0.996	0.936	0.997

표 9. SW3이 EPRCA, ER, ERICA인 경우

	ER	EPRCA	ERICA
FI	0.940	0.925	0.926

표 6, 표 7, 표 8, 표 9은 각각 스위치 구성에 따른 공정성을 비교한 표이며, FI 값이 '1'에 접근할수록 좋은 특성을 가진다고 할 수 있다.

표 6에 의하면 동일한 스위치로 구성된 경우에는 EFCI 알고리즘을 제외하고는 상당히 만족한 값을 보임을 알 수 있다. 그러나 표 7, 표 8, 표 9에서는 다른 알고리즘을 사용하는 스위치의 위치에 따라 각각 다른 결과를 보여주고 있다. EPRCA 알고리즘의 경우에는 위치에 따른 큰 차이를 보여주고 있지 않지만 ER, ERICA의 경우에는 위치에 따라서 다소 큰 차이를 보여주고 있다. 이는 망 폭주와 직접적으로 관계가 있는 스위치의 동작성능에 의하여 다른 스위치의 동작성능이 영향을 받는 것으로 해석될 수 있다.

V. 결론

본 논문에서는 상이한 스위치로 구성된 ATM 망에서의 스위치간 상호동작성능에 관한 분석 및 평가를 다뤘다. 특히 현재 가장 많이 구현된 EFCI 알고리즘을 기준으로 하여 ATM Forum Traffic Management Spec.에서 예시한 알고리즘을 대상으로 실험이 이루어졌다. 시뮬레이션에 사용된 대부분의 구성에 있어서 빠른 시간 내에 수렴하는 결과를 보여 주어서, 비록 스위치 구성이 상이하더라도 망의 정상상태로 동작하는 데 있어서는 별 영향이 없음을 알 수 있었다.

상이한 폭주방식을 사용하는 스위치 사이의 상호 동작성능이 스위치가 배치되는 위치에 따라서 성능의 향상 혹은 저하로 나타남을 알 수 있었는데, 전체적으로는 다소 성능 저하가 있는 것을 볼 수 있었다. 본 시뮬레이션 결과에서 주목할 점은 ABR 트래픽의 셀율을 조절하는 알고리즘의 차이가 있다라도 스위치의 큐 제어방식이 유사한 알고리즘 사이에서는 비교적 상호동작성이 존재한다는 점이다. 또한 폭주가 발생하는 노드에 상이한 알고리즘이 사용되는 경우에는 전체적인 성능이 폭주가 발생한 노드의 스위치 알고리즘의 성능을 따르고 그 알고리즘 고유의 특성을 보여준다는 것이다. 그리고 전체적인 결과를 보면 폭주가 발생한 노드의 스위치로만 구성된 경우

만 비슷한 형태의 결과가 나타난다는 점을 주목할 만하다.

스위치의 배치에 관해서는 SES 다음 단인 경우에는 그 스위치 알고리즘이 전체 ABR 트래픽 제어에 영향을 주지만, DES 앞 노드에 위치한 경우에는 그 영향이 적게 나타났다. 이러한 결과는 ATM이 종단 간 연결형 서비스를 제공하고, ABR 트래픽의 제어가 RM셀에 의해서 이루어진다는 점으로부터 설명될 수 있을 것이다.

여기에서 이루어진 실험은 어떤 특정한 환경과 조건하에서 이루어졌다. 그러나 실제 망은 다양한 형태의 망이 상호접속될 수 있고, 다양한 특성을 가지는 트래픽이 존재하게 된다. 또한 증가하는 트래픽을 원활하게 수용하기 위해서는 망 관리와 망 설계가 매우 중요한 문제이다. 그러므로 증가하는 사용자를 수용하고 망자원을 효과적으로 활용하기 위해서는 상이한 스위치 사이의 상호동작성능에 관한 연구가 더욱 다양한 환경에서 이루어져야 한다.

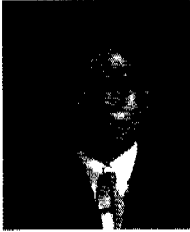
이를 개선하기 위한 연구방향으로는 각각의 스위치 알고리즘에서 사용되는 파라미터 간의 관계 유도 및 최적의 파라미터를 결정하기 위한 연구가 필요할 것이다.

참 고 문 헌

- [1] Yoon Chang, Nada Golmie, Davis Su, "A Rate Flow Control Switch Design for ABR Service in an ATM Network", *ICCC'95* Seoul, Korea, Aug 21-24, 1995.
- [2] N. Golmie, Y. Chang and D. Su, "NIST ER Switch Mechanism(An Example)", *ATM Forum/95-0695*, June 5-9, 1995, Orlando, FL.
- [3] Y. Chang, N. Golmie, and D. Su, "Interoperability Analysis between EFCI and ER Switch Mechanism for the New End System Behavior", *ATM Forum/95-0369R1*, April 10-14, 1995, Denver, CO.
- [4] ATM Forum, "Traffic Management Specification Version 4.0", af-tm-0056.000, April 1996.
- [5] R. Jain, "Congestion Control and Traffic Management in ATM Network : Recent Advances and A Survey," *Computer Networks and ISDN Systems*, vol. 28, no. 13, pp. 1723-1738, Oct 1996.
- [6] Raif O. Onvural, *Asynchronous Transfer Mode Networks: Performance Issues*, 2nd Edition, Artech House, 1995.
- [7] S. Keshav, *An Engineering Approach to Computer Networking: ATM Networks, the Internet, and the Telephone Network*, Addison Wesley, 1997.
- [8] Y. Chang, N. Golmie, and David Su, "Study of Interoperability between EFCI and ER Switch Mechanisms for ABR Traffic in an ATM Network," *ICCCN'95*, Las Vegas, Nevada. Sep 20-22, 1995.
- [9] Flavio Bonomi and Kerry W. Fendick, "The Rate-based Flow Control Framework for the Available Bit Rate ATM Service," *IEEE Network*, Mar/Apr 1995.
- [10] R. Jain, S. Kalyanaraman, R. Viswanathan, and Rohit Goyal, "A Sample Switch Algorithm," *ATM Forum/95-0178R1*.
- [11] R. Jain, S. Kalyanaraman, R. Goyal, S. Fahmy, R. Viswanathan, "ERICA switch algorithm: A Complete Description, *ATM Forum/96-1172*.
- [12] R. Jain, S. Kalyanaraman, R. Viswanathan, "Transient Performance of EPRCA and EPRCA++," *ATM Forum/94-1173*.
- [13] Yuna-Cheng Lai and Ying-Dar Lin, "Interoperability of EFCI and ER switches for ABR Services in ATM Networks," *IEEE Network*, pp. 34-42, Jan/Feb 1998.
- [14] 최규태, "ATM망에서 EFCI 스위치와 상호동작하는 새로운 인자가 도입된 ER 스위치 구조의 성능평가," 석사학위논문. 한양대학교, June 1998.

최 규 태(Kyu-Tae Choi)

정회원

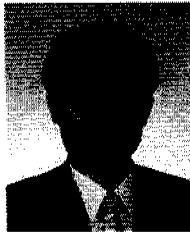


1996년 8월 : 경북대학교 전자
공학과 졸업
1998년 8월 : 한양대학교 전자
통신공학과 석사
1998년 9월~현재 : 한양대학교
전자통신공학과 박사과정

<주관심 분야> ATM, Traffic Engineering, MPLS,
CATV망.

박 승 권(Sung-Kwon Park)

정회원



1982년 2월 : 한양대학교 전자
통신공학과 졸업
1983년 : Stevens Institute
of Technology(공학석사)
1987년 : Rensselaer
Polytechnic Institute
(공학박사)

· Tennessee Technological University,
Electrical Engineering Dept.

1987년 9월~1992년 8월 : 조교수.

1992년 9월~1993년 1월 : 부교수.

· 한양대학교 전자전기공학부

1993년 3월~2000년 2월 : 조교수/부교수.

2000년 3월~현재 : 정교수.

<주관심 분야> 데이터통신, CATV망, 신호처리, 신
경회로망.