

# High-Swing Cascode 방식을 이용한 CMOS 저역통과 능동필터에 관한 연구

정회원 이근호\*, 한태종\*\*

## A study on the CMOS Low-pass Active Filter using High-Swing Cascode Method

Geun-Ho Lee\*, Tae-Jong Han\*\* *Regular Members*

### 요 약

본 논문에서는 저전압(2V) 동작이 가능하도록 high-swing cascode 방식을 이용한 능동소자를 제안하고, 이를 이용하여 400MHz의 차단주파수 특성을 나타내는 저역통과 능동필터를 설계하였다. 제안된 적분기는 이득특성에 영향을 주는 트랜스컨덕턴스값을 증가시키기 위해 CMOS 상보형 캐스코드 방식을 이용하여 구성되었다. 0.25 $\mu$ m CMOS n-well 공정 파라미터를 이용한 Hspice 시뮬레이션 결과, 제안된 적분기는 2V 공급전압하에서 42dB의 이득값과 200MHz의 단위이득주파수 특성을 나타내었다. 또한 이를 이용하여 설계된 저역통과 능동필터는 400MHz의 차단주파수 특성을 나타내고 368MHz에서 416MHz까지 튜닝이 가능하였다.

### ABSTRACT

In this paper, a new high-swing cascode integrator for low-voltage applications is proposed. The proposed integrator is composed of the CMOS complementary cascode circuit which can extend transconductance of an integrator. Therefore, the unity gain frequency which is determined transconductance is increased than that of the conventional integrator. And then these results are verified by the 0.25 $\mu$ m CMOS n-well parameter Hspice simulation. As a result, the gain and the unity gain frequency is 42dB and 200MHz respectively in the integrator on 2V supply voltage. And also, cutoff frequency of the tunable active filter is 400MHz.

### I. 서 론

집적회로의 급속한 발전에 의해 하나의 칩 안에 아날로그와 디지털회로가 공존하는 방식이 이용되고 있다<sup>[1][2]</sup>. 이러한 칩의 대부분은 디지털 회로가 차지하기 때문에 트랜지스터의 동작 조건은 대부분 디지털 회로를 기준으로 표준화 되어 있다. 따라서 상대적으로 높은 공급전압을 요구하는 아날로그 회로도 디지털 회로의 동작 조건 즉, 공급전압과 일치시켜 줘야할 필요가 있다. 또한 공급전압은 이동통신 시스템의 전력소모와도 밀접한 관계를 지니고 있다.

이러한 이유로 아날로그 회로에서 저전압 동작을 위한 방법이 여러 가지 방식으로 연구되고 있는 추세이다<sup>[3][4]</sup>. 따라서 본 논문에서는 저전압하에서 아날로그 능동필터 설계시 보다 이상적인 특성을 나타낼 수 있도록 이득 및 주파수 특성을 향상시킨 기본 능동소자를 제안하였다.

또한 최근 주목받는 ADSL(Asymmetric Digital Subscriber Line), 케이블모뎀 그리고 차세대 이동통신시스템 IMT(International Mobile Telecommunication)-2000 등에 포함되어야 하는 아날로그 집적회로 설계에 있어서 중요한 문제중의 하나는 얼마만

\* 군산대학교 전자정보공학부(L329@kunsan.ac.kr)

\*\* 전주대학교 정보기술컴퓨터공학부(tjhan@jeonju.ac.kr)

논문번호 : K01027-0118, 접수일자 : 2001년 1월 27일

\* 이 논문은 2001년도 군산대학교 두뇌한국21사업에 의하여 일부 지원되었음.

큼 정확하게 시스템에서 요구하는 특성을 만족시켜 줄 수 있는나는 것이다. 일반적으로 수동소자를 이용한 회로와는 달리 능동 소자를 이용한 집적회로는 제작 공정시 발생될 수 있는 잡음 및 기생요소, 그리고 제작 후에는 온도변화 등의 주변 환경에서 일어나는 오차요인으로 인해 당초 요구했던 특성을 얻기가 쉽지 않다. 그러므로 능동 필터와 같은 집적회로는 제작된 후에도 성능을 보상할 수 있는 동조(tuning)회로가 부가적으로 필요하다<sup>[5][6]</sup>. 본 논문에서 제안된 능동소자는 외부 전압 조절을 통해 간단하게 매뉴얼 튜닝이 가능하도록 설계되었고, 또한 이를 이용한 능동필터 역시 오차를 보정해 줄 수 있도록 설계되었다. 특히, 이러한 가변특성을 검증하기 위한 응용회로로 설계된 능동필터는 IMT-2000 IF(Intermediate Frequency)단의 송신단, 수신단에서 이용되는 주파수가 각각 140 MHz, 330 MHz 내외 인점을 고려하여 이에 적용가능한지를 검증하기 위한 고주파 대역 400 MHz에서의 차단주파수 값을 설계사양으로 선택하였다. 제안된 적분기와 능동필터의 특성들은 0.25 $\mu$ m CMOS n-well 공정파라미터를 이용한 Hspice 시뮬레이션을 통해 검증되었다.

## II. High-Swing Cascode 적분기

### 1. 완전균형 상보형 적분기

그림 1과 같이 병렬형태의 구조를 가진 완전균형 상보형 적분기는 비우성 극점 및 영점을 제거시킬 수 있어 단위이득 주파수 특성을 개선하고, 안정성의 유지에 큰 장점이 있다<sup>[3]</sup>. 전류미러를 구성하고 있는 트랜지스터의 트랜스컨덕턴스( $g_m$ )값들은 같은 크기로 설계하여 KCL을 적용하면 다음과 같은 식(1)과 식(2)를 구할 수 있다. 여기서  $i_p$ 는 비반전입력,  $i_n$ 은 반전입력이다.

$$2g_m + sCv + 2vsC_{gd} = i_i + i_o \quad (1)$$

$$2(g_m - g_{ds} - sC_{gd})v = i_o \quad (2)$$

식(1)과 식(2)으로부터 다음을 얻을 수 있다.

$$i_o = A \frac{(1 - \frac{s}{z_1})}{(1 - \frac{s}{p_1})} i_i \quad (3)$$

이때  $z_1$ 과  $p_1$ 은 각각 영점과 극점이며, 다음과 같이 표현할 수 있다.

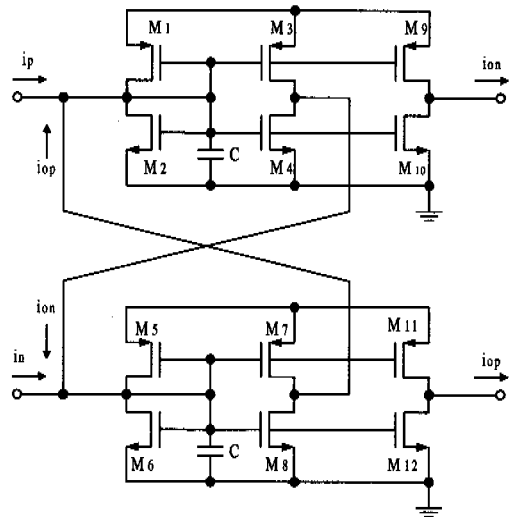


그림 1. 완전균형 상보형 적분기

$$z_1 = \frac{(g_m - g_{ds})}{C_{gd}}, \quad p_1 = \frac{2g_{ds}}{(C + 4C_{gd})}$$

또한 전류이득은 다음의 식(4)와 같다.

$$A = \frac{(g_m + g_{ds})}{g_{ds}} \quad (4)$$

따라서 적분기의 단위이득 주파수는 식(5)와 같이 얻을 수 있다.

$$\omega_o = p_1 A = \frac{2(g_m - g_{ds})}{C + 4C_{gd}} \cong \frac{2g_m}{C} \quad (5)$$

( $\because g_m \gg g_{ds}, C \gg C_{gd}$ )

하지만 이상적인 회로와 비교하면 입력과 출력저항의 비 이상적인 특성으로부터 야기되는 문제로 인하여 출력 전류에 오차가 발생하여 정확성이 떨어지는 단점이 있다. 이와 같은 단점을 보완하기 위해 본 논문에서 저전압 구현이 가능하며 출력전류의 오차를 개선시킬 수 있는 high-swing cascode 구조를 적용시켰다.

또한 이득과 단위이득 주파수의 결과식을 보면 모두 트랜스컨덕턴스( $g_m$ )값에 의해 그 특성이 조절 가능함을 알 수 있다. 따라서 트랜스컨덕턴스 값을 조절하기 위한 관계식을 유도해 보면 식(6),(7)과 같이 표현 가능하다.

$$g_m = \frac{\partial I_D}{\partial V} = 2\sqrt{K \cdot I_D} \quad (6)$$

$$I_D = K \cdot (V_{GS} - V_T)^2 \quad (7)$$

즉, 트랜스컨덕턴스 값은 드레인전류  $I_D$ 에 의해 조절가능하다. 다시 이 전류값은 식(7)에 의해 게이트-소스 전압에 의해 조절가능하며 정리하면  $V_{GS}$ 에 의해 적분기 소자의 이득과 단위이득 주파수를 튜닝할 수 있음을 알 수 있고, 이러한 특성조절회로의 적합한 구조로 다음절에 언급될 high-swing cascode 전류미러를 이용할 수 있다.

### 2. High-swing cascode 전류미러

그림 2와 같은 high-swing cascode 전류미러 구조의 회로는 최소 출력전압을  $V_{SS}$ 로부터  $V_{DS(sat)2} + V_{DS(sat)4}$  만큼 낮게 할 수 있어 저전압 구동이 가능하고, 출력저항을 증가시킴으로서 출력 전류에서 발생하는 오차를 개선시킬 수 있는 구조를 가진다. 따라서 우수한 입력 선형 범위와 출력 전압 스윙 등을 갖는다.

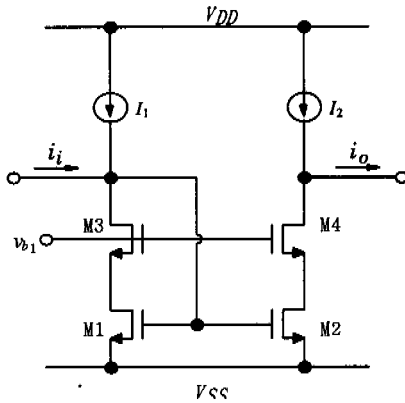


그림 2. High-Swing Cascode 전류미러

일반적으로  $g_m \gg g_{ds}$ 이고  $g_{m1} = g_{m3}$ 이면 입력저항은 다음과 같이 간략화 할 수 있다.

$$r_i = \frac{1}{g_{m1} + g_{ds1}} + \frac{1}{g_{m3} + g_{ds3}} \approx \frac{1}{g_{m1}} \quad (8)$$

또한, 출력 저항은 식(9)와 같이 나타낼 수 있다.

$$r_o = \frac{1}{g_{ds}} \left(1 + \frac{g_{m1}}{g_{ds1}}\right) \approx \frac{1}{g_{ds2}} \frac{g_{m1}}{g_{ds1}} \quad (9)$$

### 3. High-swing cascode 적분기 설계

그림 1의 차동 입출력 값을 갖는 완전균형 상보형 적분기에 그림 2의 high-swing cascode 전류미

러를 이용하여 그림 3과 같은 high-swing cascode 완전균형 적분기를 구성할 수 있다. 제안된 회로는 출력저항의 증가로 그 이득과 단위이득 주파수가 증가된다. 그림 4는 동일한 조건하에서 완전균형 상보형 적분기와 제안된 회로를 시뮬레이션한 결과이고, 이를 통해 제안된 적분기의 이득값이 2V 동작 전압하에서 기존회로 21dB에 비해 월등히 개선된 42dB값을 나타냄을 알 수 있다. 또한  $V_{b1}$ 과  $V_{b2}$ 는 오차를 보정할 수 있는 외부 전압단자를 나타낸다.

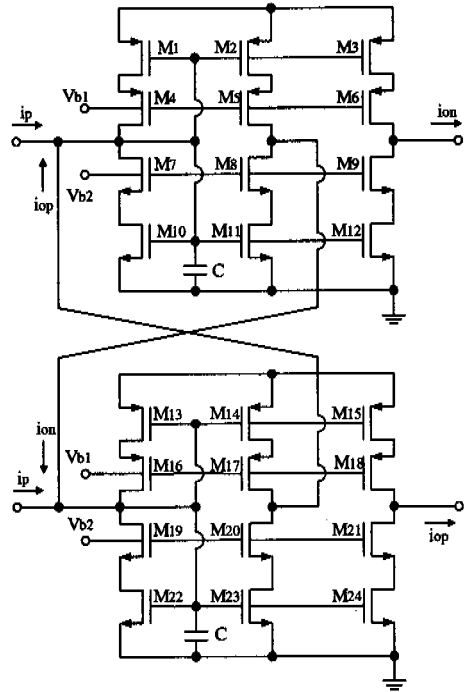


그림 3. 제안된 high-swing cascode 적분기

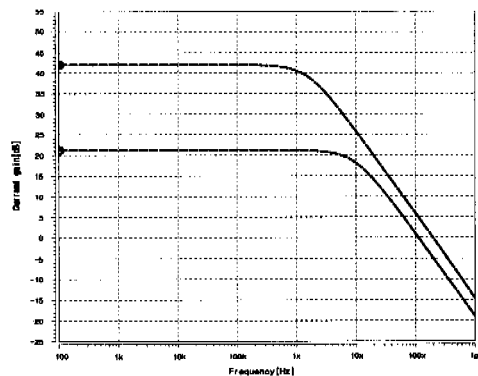


그림 4. 이득과 단위이득주파수 비교

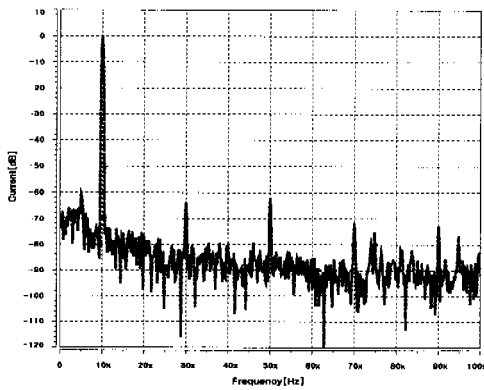


그림 5. 제안된 적분기의 주파수 스펙트럼

그림 5는 제안된 적분기의 출력 주파수 스펙트럼이다. 10 $\mu$ A의 입력 전류와 10MHz의 입력 신호 주파수에서 THD(Total harmonic distortion)는 0.46%를 갖는다. 또한 그림 6은 제안된 적분기의 가변 특성을 보여준다.

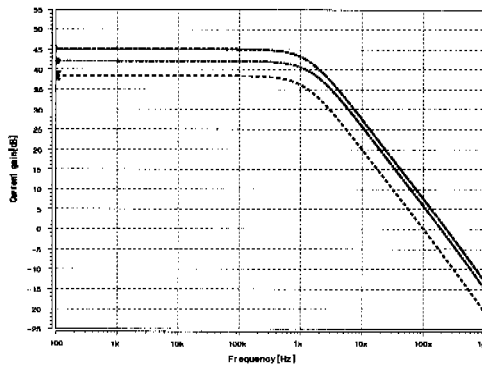


그림 6. 제안된 적분기의 가변특성

### III. 2V 400MHz 저역통과 능동필터 설계

향상된 이득특성을 보여주는 설계된 high-swing cascode 적분기를 이용하여 능동필터를 설계하였다. 우선 표 1과 같이 주어진 설계사양에 맞춰 수동필터 회로를 설계하고, 이를 능동필터로 변환하기 위해 수동회로의 신호흐름선도를 작성하여, 신호흐름선도에 따라 블럭다이어그램을 작성하고 최종적으로 능동필터를 구성하였다<sup>6)</sup>.

수동필터를 능동필터로 변환하기 위하여 신호흐름선도를 다음의 수식에 따라 작성하고, 이를 이용하여 블럭다이어그램을 나타내면 그림 2와 같다.

표 1. 저역통과 능동필터 설계사양

Parameter	Specification
Filter function	Third-order Lowpass, Chebyshev
Passive filter type	Doubly-terminated ladder
Passband ripple	3 dB
Cutoff frequency	400 MHz
Power supply	2 V

$$I_1 = \frac{1}{SC_1}(I_S - I_1 - I_2) \quad (10)$$

$$I_2 = \frac{1}{SL_2}(I_1 - I_3) \quad (11)$$

$$I_3 = \frac{1}{SC_3}(I_2 - I_3) \quad (12)$$

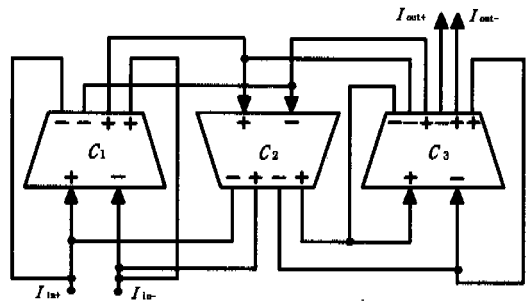


그림 7. 3차필터 블럭다이어그램

그림 7의 블럭다이어그램에 의하여 능동필터는 3개의 적분기로 직접 모의되며, 적분기 내부의 적분 커패시터의 값을 결정함으로써 설계가 완료된다. 각각 적분기 내부의 적분 커패시터  $C_i$ 는 식(13)을 통해 구할 수 있다.

$$C_i = \frac{g_m X_i}{\omega_{c0}} \quad (13)$$

식(13)에서  $g_m$ 은 적분기의 트랜스컨덕턴스이며,  $X_i$ 는  $i$ 번째 회로의 규준화(normalized)된 수동 소자 값이고,  $\omega_{c0}$ 는 능동필터의 차단주파수이다. 제안된 적분기의  $g_m$ 값과 설계된 능동필터의 차단주파수를 대입하여 최종적으로 설계된 능동저역필터의 시뮬레이션결과와 전체 회로도들 각각 그림 8과 그림 9에 나타내었다.

또한 주파수 튜닝을 위해 변화된 단자전압값과

주파수 값을 요약하여 표 2에 보여주었다.

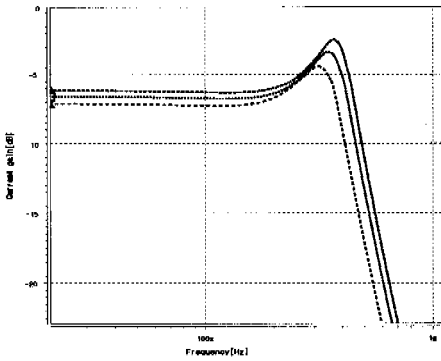


그림 8. 설계된 능동필터의 가변특성

표 2. 조절전압에 따른 차단주파수 변화값

	Controlled voltage[V]		Cut-off frequency [MHz]
	$V_{b1}$	$V_{b2}$	
Designed lowpass active filter	$V_{b1}$	0.9	367
	$V_{b2}$	0.4	
	$V_{b1}$	1.2	397
	$V_{b2}$	0.5	
	$V_{b1}$	1.5	420
	$V_{b2}$	0.6	

#### IV. 결론

본 논문에서는 완전균형 상보형 적분기에 그 이득과 단위이득 주파수 특성을 향상시킬 수 있는 high-swing cascode 구조를 이용한 새로운 적분기

를 설계하였다. 동일조건하에서 완전균형 상보형 적분기는 이득이 21dB이었으나 제안된 high-swing cascode 완전균형 적분기의 이득은 42dB를 나타내었다. 이는 적분기를 이용한 능동필터 설계시 요구 조건인 40dB 이상의 이득값을 만족함으로써 각종 시스템의 능동회로에 적용 가능할 것으로 사료된다. 특히, 설계된 high-swing cascode 적분기는 0.25 $\mu$ m n-well CMOS 공정 파라미터를 이용하여 Hspice 시뮬레이션 하였으며, 그림 4에서 그림 6까지의 시뮬레이션 결과에서 보여주고 있듯이 공정특성의 향상과 안정된 구조를 통해 2V 공급전압하에서 왜곡 없는 신호특성을 나타내었다. 시뮬레이션 결과 제안된 회로는 2V 공급전압에서 전력소모는 1.04mW이고 단위이득주파수는 200MHz를 갖는다.

또한 그림 8의 시뮬레이션 결과를 통해 알 수 있듯이 이를 이용하여 설계된 능동필터는 기본 블록인 적분기의 이득과 단위이득주파수를 튜닝할 수 있는 외부단자를 이용하여 조절하였을때, 400 MHz의 차단주파수를 기준으로 고주파방향과 저주파방향으로 각각 416MHz와 368MHz까지 주파수 튜닝이 가능하였다. 그림 9는 계산된 내부 커패시터값 0.121pF와 0.083pF를 포함하여 설계된 회로를 나타내고 있다.

추후 이렇게 제작된 아날로그 소자를 테스트를 통해 그 성능을 입증하고자 하며, 이를 이용하여 진행할 수 있는 향후 연구방향으로서 시스템에서 보다 안정적인 동작특성을 보여주기 위한 AGC (Automatic Gain Controller), 레퍼런스 회로 등의 주변회로를 설계하여 추가함으로써 각종 고주파용 통신시스템의 입·출력단을 구성하고 있는 아날로그 신호처리단 각종 블록에 적용 가능할 것으로 사료된다.

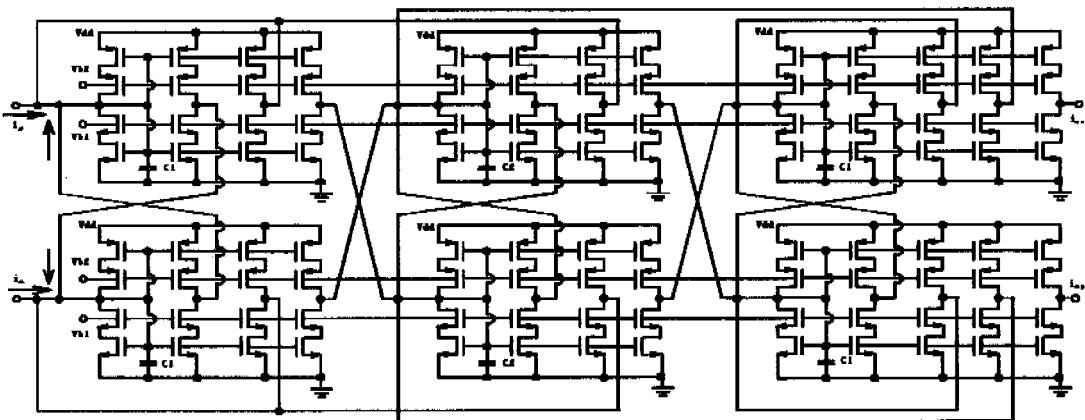


그림 9. 설계된 3차 저역통과 가변 능동필터

참 고 문 헌

[1] C. Toumazou, F. J. Lidgley, and D. G. Haigh, "Analogue IC design : the current-mode approach," *IEEE Circuits and systems series 2, Peter Peregrinus Ltd., on behalf of the Institution of Electrical Engineering, London, United Kingdom, 1993.*

[2] Yannis P. Tsvividis, "Integrated Continuous-Time Filter Design - An Overview," *IEEE J. Solid-State Circuits*, vol. 29, no. 3, pp. 166-176, 1994.

[3] 이근호, 방준호, 김동용, "시스템 안정화를 위한 아날로그 능동소자의 특성제어에 관한 연구," *한국통신학회지*, 제25권, 제6B호, pp. 1114- 1120, June 2000.

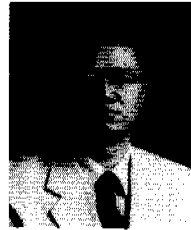
[4] R. H. Zele, D. J. Allstot, and T. S. Fiez, "Fully-differential CMOS current-mode circuits," in *Proc. IEEE ISCAS*, pp. 2411-2414. 1992.

[5] R. H. Zele, and D. J. Allstot, "Low-Power CMOS Continuous-Time Filter", *IEEE J. Solid-State Circuits*, vol. 31, no.2, pp. 18-27. Feb. 1996.

[6] C. S. Yoo, S. W. Lee, and W. C. Kim, "A  $\pm$  1.5V 4MHz CMOS Continuous-Time Filter with a Single-Integrator Based Tuning," *IEEE J. Solid-State Circuits*, vol. 33, no. 1, pp. 18-27, Jan. 1998

이 근 호(Geun-Ho Lee)

정회원



1994년 2월 : 전북대학교  
전기공학과 졸업  
1997년 2월 : 전북대학교  
전기공학과 석사  
2000년 8월 : 전북대학교  
전기공학과 박사

2001년 3월~현재 : 군산대학교 전자정보공학부 계약 교수

<주관심 분야> 아날로그 집적회로, 통신시스템

한 태 종(Tae-Jong Han)

정회원

1977년 2월 : 전북대학교 물리학과 졸업  
1981년 2월 : 고려대학교 물리학과 석사  
1987년 2월 : 고려대학교 물리학과 박사  
1984년 12월~현재 : 전주대학교 정보기술컴퓨터공학부 교수

2001년 3월~현재 : 전주대학교 e캠퍼스 기획단장  
<주관심 분야> 초고속 정보통신, 통신망 운용관리