논문 01-26-10B-15

한국통신학회논문지 '01-10 Vol.26 No.10B

고밀도 광 기록 시스템을 위한 새로운 변조 코드에 대한 VHDL 구현

학생회원 권 인 수*, 준회원 이 주 현*, 정회원 이 재 진*

VHDL Implementation of New Modulation Code for High Density Optical Recording System

Insu Kwon* *Student Member*, Joohyun Lee* *Associate Member*, Jaejin Lee* *Regular Member*

요 약

본 논문에서는 고밀도 광 기록 시스템에 적용이 가능한 코드율이 8/15이고, $(d, k)=(2, 15)$인 새로운 변조 코드 체계에 대한 변조 코딩 방법을 VHDL로 구현하였다. 인코딩 방법은 크게 세 가지로 구분되어 진다. 먼저 입력 데이터를 복수개의 바이트 단위로 묶어서 블록을 정의하고, 이 블록의 입력 데이터를 변환 테이블을 이용해서 채널 데이터로 변환한 후, 머징 비트(merging bits)를 첨가하여 데이터를 전송한다. 위와 같은 코딩 방법을 적용하여 새롭게 개발한 변조 코드에 대해 모의 실험을 통한 성능을 분석한 후 VHDL로 구현하여 검증하였다.

ABSTRACT

In this paper, the modulation coding method of the new (2,15) code, with rate of 8/15, for the high density optical recording systems is implemented by the VHDL. This encoding scheme is greatly divided into three ways. Input data block is first formed by several bytes. Next this input data is transformed into channel data using the look-up table. Finally the merging bits are added to this transformed code block and the data is transmitted. The performance of the new modulation code which is developed is simulated and it is verified by implementing the VHDL.

I. 서 론

고밀도 광 기록 시스템에 적용 가능한 변조 코드를 설계하는 데에 있어 가장 중요한 고려 사항 중 하나는 주파수 0에서 파워 스펙트럼(power spectral density, PSD)이 거의 소멸되어야 한다는 것이다[1]. 즉, 전송되는 코드 시퀀스에 대한 직류(DC) 성분의 제어가 가능하도록 코딩 시스템을 설계해야 다양한 고밀도 광 기록 시스템에 적용이 가능하게 된다.

이렇게 DC-제어가 가능하도록 설계하는 방법 중 대표적인 예를 들면, 먼저 변조 코드 자체를 DC 성분 제거가 가능한 코드로 설계하는 방법이다. 이러한 코드를 DCRLL(DC-free run-length limited) 코드라 한다. 그러나, 이 경우에는 코드율(code rate)이 높지 않기 때문에 고밀도 저장 매체에 적용이 거의 불가능하다. 둘째로 데이터 레벨 및 인코딩된 레벨에서 DC-제어를 하는 방법이다[2]. 코드 자체로 DC-제어가 가능한 경우가 극히 드물기 때문에 이에 대한 대안으로 저주파수에서 파워를 줄일 수 있도록 입력 데이터 레벨 또는 인코딩된 데이터 레벨에 선택 가능한 제어 비트(control bits)를 부가하여 DC-제어가 가능하도록 한다.

본 논문에서는 이중 인코딩된 데이터 레벨에서의 제어 비트를 이용한 DC 성분을 제거하는 방법을 이용하여 구현 및 성능을 분석하였다. 본 논문에서 사용한 변조 코드는 새롭게 개발된 코드율이 8/15

* 동국대 전자공학과

논문번호: 010154-0626, 접수일자: 2001년 6월 26일

인 (2,15) 코드이다[3]. 이것은 현재 CD에 적용되고 있는 EFM 코드[4]와는 달리 코드 자체로도 (d,k)-구속(constraint) 조건을 만족시킨다. 따라서, 여러 개의 코드워드를 한 단위로 묶어 DC-제어를 할 수 있어 코드율이 높다.

본 논문에서 구현한 인코딩 방법은 우선 입력 데이터를 복수개의 바이트 단위로 묶어서 하나의 블록으로 구성하여 이 블록을 새롭게 개발된 8/15 변환 테이블(look-up table)을 이용하여 해당 코드 시퀀스로 변환한 후, 이러한 코드 시퀀스 사이에 선택 가능한 머징 비트(merging bits)를 첨가하여 RDS가 작은 값을 갖는 시퀀스를 전송시킨다. 이와 같이 새로운 변조 인코딩 방법을 VHDL을 이용하여 고밀도 광 기록 시스템에 적용이 가능하도록 구현 및 성능을 검증하였다.

Ⅱ. 새롭게 개발된 변조 코드의 구성 및 코딩 방법

1. 코드의 구성

새롭게 개발된 변조 코드는 바이트 단위 인코딩이 가능하여 한번에 입력 8비트(1바이트)를 받아 $d=2, k=15$를 만족시키는 15개의 채널 비트로 변환된다. 즉, 코드율 R이 8/15로 이루어진 (2,15) 슬라이딩-블록 코드(sliding- block code)이고, 4개의 상태(state)로 이루어져 있다[3].

2. 데이터 변환(인코딩) 방법

데이터 변조 방법은 입력 디지털 데이터를 특정 바이트를 단위로 하는 블록으로 묶는 단계와, 상기 입력 데이터 블록의 각 바이트를 코드 변환 테이블을 이용해서 변조 코딩하는 단계, 그리고, 이와 같이 변조 코딩된 블록 단위의 입력 데이터에 대하여 블록 단위로 머징 비트를 할당하는 단계로 이루어지는 특징을 갖고 있다.

m 바이트를 한 개의 입력 데이터 블록으로 정의한 후, 입력 데이터 블록의 각 바이트는 변조 인코더에 입력되어 8/15 변환 테이블을 이용해서 15비트 길이의 코드워드로 인코딩된다. 따라서, 인코딩된 데이터는 $m\times15$비트의 길이를 갖는 데이터 블록(k번째 블록)을 형성한다. 입력 데이터 블록의 각 바이트를 인코딩하는 것과 동시에, k번째 블록이 갖는 RDS1을 생성한다. 이와 같은 k번째 블록의 RDS1과 k-1번째 블록의 RDS0를 비교해서 머징 비트 선택부(merging bit selection part)에서 머징 비트가 선택되도록 한다. 즉, RDS1과 RDS0을 비교해서 k번째 블록이 생성되었을 때, RDS 값이 최소가 되면서 런-길이 제한 조건을 위반하지 않도록 머징 비트를 000, 001, 010, 100 중에서 선택하여 채널로 전송한다.

여기서 데이터 블록은 코드율과 DC-억압 능력을 고려하였을 때, 3바이트에서 7바이트 이내의 단위로 묶여질 수 있다. 본 논문에서는 입력 단위를 3바이트로 하여 VHDL로 구현하였다. 상기 블록 단위에 할당되는 머징 비트는 3비트로 이루어진다. 블록 내의 입력 바이트는 8/15 변환 테이블에 의해서 각각 15비트 길이의 코드워드로 인코딩 된다. 또한, 머징 비트를 선택함에 있어서는 상기 현재 입력 데이터 블록과 이전 입력 데이터 블록 사이에 런-길이 제한 조건을 위반하지 않는 적용 가능한 머징 비트를 삽입한 후, 각각에 대한 RDS를 비교하여 현재 데이터 블록이 생성되었을 때 |RDS| 값이 최소가 되도록 머징 비트를 현재의 데이터에 대한 변환된 코드워드 블록 앞에 삽입하여 전송한다. 이때, 현재 블록까지의 RDS 값으로 이전 RDS 값을 갱신하여 그 다음의 머징 비트를 선택할 때 이용되도록 한다.

Ⅲ. 변조 인코더의 VHDL 구현

본 논문에서는 여러 가지 디지털 회로의 하드웨어 구현 방법 중 FPGA 소자를 이용하는 목적으로 VHDL을 사용하여 구현하였다. 인코더에 대한 전체 구성 및 흐름도를 그림 1에 나타내었다.

인코더는 입력 17핀(15+1+1)과 출력 16핀으로 구성되어진 회로이다. 인코더의 기능은 이미 변환된 15비트 코드워드를 3회 입력받아서 그 병렬 데이터 값을 직렬로 변환한 후, 머징 비트를 삽입한다. 그 다음, 삽입된 4가지의 경우에 대해 각각 프리코딩(precoding)을 수행하여 RDS값을 계산한 후, 가장 작은 RDS값을 갖는 코드 시퀀스를 출력해주는 기능을 한다.

본 논문에서 사용한 디바이스로는 MAX9000시리즈로 하였다. 그러나, MAX9000시리즈는 코드 테이블을 ROM에 저장하는 데는 게이트의 한계가 있기 때문에 8비트 심볼을 15비트의 코드화된 데이터로 변환하는 모듈은 마이크로 프로세서를 이용하는 방식으로 설계하였다. 즉, 전체적인 구현에서는 FPGA에 마이크로 프로세서와 ROM이 결합되어진다.

그림 1에서 각 모듈의 기능에 대해 살펴보면, 우선 모듈 DEFINET는 머징 비트를 발생시키기 위한 시간 분배기를 의미하고, 나머지 모듈에 대한 특징

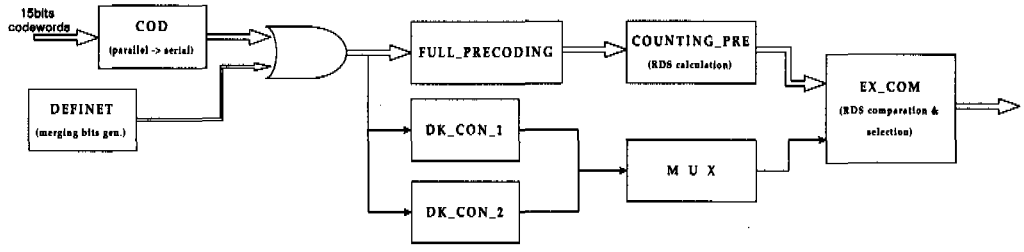


그림 1. 인코더의 전체 구성 및 흐름도

은 다음과 같다.

1. 병렬로 받은 데이터를 직렬로 바꾸어주는 모듈 (COD)

이 부분은 (15비트*1클럭) 병렬 데이터를 (15클럭*1비트) 직렬 데이터로 바꾸어주는 모듈이다. 물론 직렬보다는 병렬로 처리하는 것이 더 빠르다. 하지만 실제로 광 기록 매체의 트랙(track)에 정보가 기록될 때 정보는 직렬로 저장되므로 이러한 모듈이 필요하게 되었다. 또한, 병렬로 처리를 하게 되면 이전 출력이 정의되어 있지 않은 D-플립플롭(flip-flop)은 임의의 값을 가지게 되는데 이것은 오작동의 주요 원인이 된다. D-플립플롭은 한 클럭만 지연시키므로 직렬이나 병렬 모두 시간은 동일하게 소요되고, 오히려 직렬의 경우 소자 수를 많이 줄일 수 있다. COD에 대한 구성도와 동작 타이밍도를 그림 2에 나타내었다.

COD는 프리셋(preset)과 리셋(reset)이 있는 D-플립플롭 15개의 연결로 되어 있으며 15비트 쉬프트 레지스터(shift register)로서 동작하게 된다. *clk_sorce*는 인코더 자체에 대한 클럭이며 *clk_coding*은 D-플립플롭을 프리셋할 것인지 리셋할 것인지를 결정하는 순간 기록 신호로서 동작하게 되며 *set_d*0[14..0]는 병렬 15비트 입력이다. *Q_out*은 변환된 직렬 출력이다. 이러한 직렬 출력은 다음 단 프리코딩부의 입력으로 들어간다.

2. 프리코딩 모듈 (FULL_PRECODING)

이 모듈은 직렬로 변환된 코드를 프리코딩(precoding)하는 부분으로써 이전 데이터와 현재 데이터를 비교해서 2진(modulo-2) 연산을 하는 기능을 갖는다. 이것은 게이트 단위에서 해석하는 것이 이해가 간단하다.

FULL_PRECODING에 대한 구성도 및 게이트 단위에서의 논리 회로와 동작 타이밍도를 그림 3과 그림 4에 각각 나타내었다.

*rst_pre*는 프리코딩이 이루어져야 하는 시간에 '0'으로 세트시키고 프리코딩이 이루어지지 않을 시간에는 '1'로 세트시킨다.

*mem_pre*는 15비트씩 3번 동안 연산을 하고 난 후 RDS의 절대값이 가장 작은 값을 선택해서 다시 그 메모리에 RDS 값을 궤환(feedback)시켜 줄 때 결정된 메모리이다. *data_i*에는 이전 단계(COD)에서 받은 출력이 프리코딩 모듈 입력으로 들어가게 된다.

*mem_clk*는 결정된 메모리를 읽는 시간의 기록 신호이다. *out_pre*1은 프리코딩된 데이터의 결과이다.

3. RDS를 계산하는 모듈 (COUNTING_PRE)

이 모듈의 역할은 이전 프리코딩 모듈에서 받은 *out_pre*1을 입력으로 받아 '0'일 경우에는 -1로 '1'일 경우에는 +1로 계산하여 합산하는 일을 수행하게 된다. RDS의 범위는 오버플로우의 가능성을 방지하기 위해 -64~+63(2^7)의 범위로 잡았고, 음수의 경우에는 2의 보수를 취했다. 리셋 핀이 '1'일 때는 모듈 내에 있는 레지스터가 값을 유지하고, '0'일

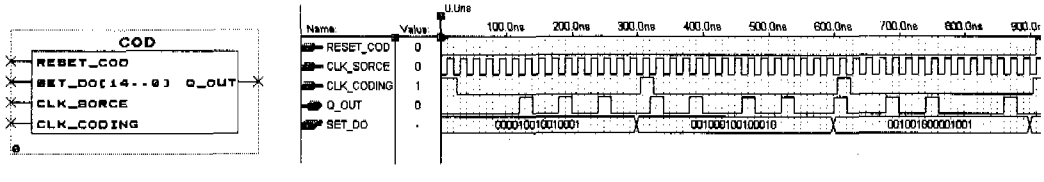


그림 2. COD에 대한 구성도(좌) 및 동작 타이밍도(우)

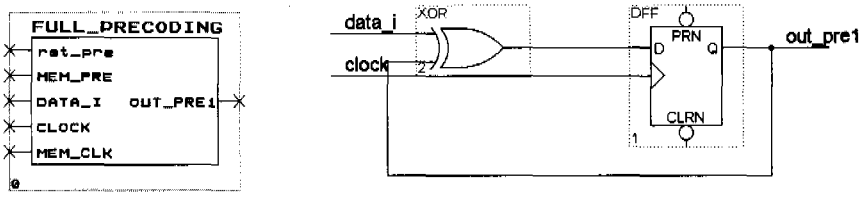


그림 3. FULL_PRECODING에 대한 구성도(좌) 및 논리 회로(우)

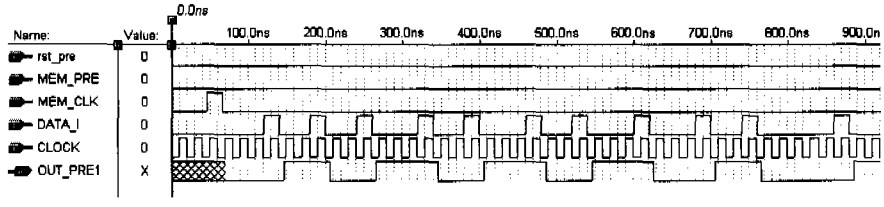


그림 4. FULL_PRECODING에 대한 동작 타이밍도

때는 연산을 하게 된다. COUNTING_PRE에 대한 구성도 및 동작 타이밍도를 그림 5에 나타내었다.

*count_co*에는 프리코딩부의 출력이 입력으로 들어가서, *read_time*이 '1'일 때는 이전 상태의 결정된 RDS값을 읽어들인다. *out_time*이 '1'일 때는 계산된 현재 RDS값을 출력한다.

4. (*d*, *k*) 조건위반 검사 모듈 (DK_CON)

DK_CON에 대한 구성도 및 동작 타이밍도와 *d*-조건을 검사하는 논리회로를 그림 6과 그림 7에 각각 나타내었다. *dk_in*은 COD 모듈에서 나온 직렬 인코딩된 출력이 입력으로 들어가게 되며, *clk_dk*에는 클럭이 들어가게 된다. 실질적으로 이 모듈은 버징 비트가 삽입되었을 경우 각 4개의 경로(path)에 각각 2개씩 달아주어 현 상태의 (*d*,*k*) 조건 위반을 검사할 때에 과거의 값이 소멸되지 않고 계속 저장되도록 한다. 그런 후에 각 경로당 2개씩의 *dk_con*을 MUX를 사용하여 현 상태의 위반 신호와 과거 상태의 위반 신호를 시간에 맞게 출력해준다.

5. 비교 연산 모듈 (EX_COM)

이 모듈의 기능은 4개의 다른 경로를 거쳐 지나온 RDS값 중 절대값이 가장 작은 RDS를 선택해서 선택된 경로에서의 마지막 프리코딩된 출력과 RDS값을 출력해서 다음 단에 입력하게 된다.

이때, (*d*,*k*)-구속 조건에 위반된 경로는 RDS의 절대값이 가장 작더라도 포기시킨다. 그리고, 각각의 경로에 임시로 저장해 놓은 프리코딩된 코드 출력 45비트와 머징 비트(3비트)를 출력할 수 있도록 기록 신호로서 보내주게 된다.

EX_COM은 3개의 서브 모듈로 구성이 되어있다. RDS의 절대값 크기 비교를 할 때에 1회에 4개를 비교하기가 어렵기 때문에 2개씩 비교하여 작은 값을 출력해주고 그 다음 단에서 선택된 두 개를 비교하게 된다.

Ⅳ. 성능 검증 및 분석

본 논문에서는 VHDL을 이용하여 인코더를 구현하였다. VHDL 컴파일러로는 Altera 사의 Altera Max Ⅱ Plus 9.6 버전을 사용하였으며, 목표 모델

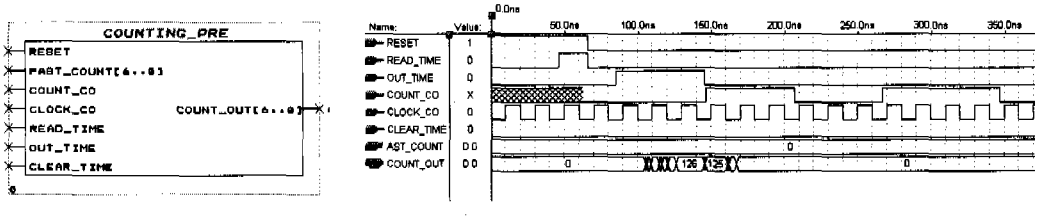


그림 5. COUNTING_PRE에 대한 구성도(좌) 및 동작 타이밍도(우)

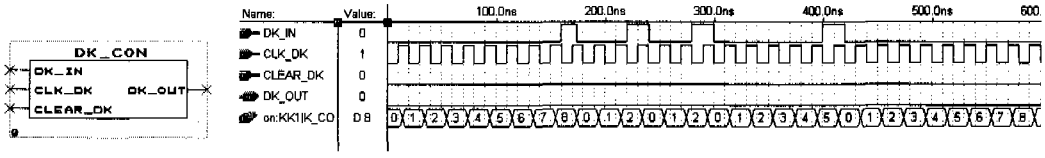
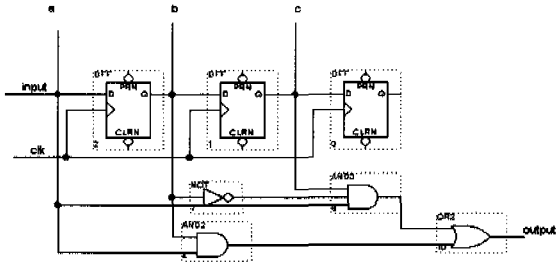


그림 6. DK_CON에 대한 구성도(좌) 및 동작 타이밍도(우)



$$output = ab + a\bar{b}c$$

그림 7. d-구속 조건을 검사하는 논리 회로도

(target model)은 2ns의 지연(delay)을 갖고 있고, 사용 가능한 게이트는 12,000개이며, 논리 소자를 1,008개 가지고 있는 EPF81188 AGC232-2를 기준으로 제작하였다. 전체 사용된 로직셀(Logic cells)은 856/1,008개(84%)이고, 이렇게 구현한 새롭게 개발된 R=8/15인 (2,15) RLL 코드에 대한 인코더의 성능을 분석하기 위해 그림 8과 같은 저주파수단에서의 인코더 출력 값에 대한 파워 스펙트럼(power spectral density, PSD)을 나타내었다. 저주파수단에서 직류 성분의 제어 여부를 판단하기 위해서는 일반적으로 $f_c = 10^{-4}$ 부근에서의 PSD를 확인한다. 이 부근에서 -25dB 이하의 성능을 나타낼 경우, DC-제어가 가능하다고 볼 수 있는데, 이 경우에는 $f_c = 10^{-4}$에서 약 -32dB의 성능을 나타내고 있다. 참고로, 현재 CD에 적용되고 있는 EFM 코드나 DVD의 표준 변조 코드인 EFMPlus 코드의 경우, 각각 이 부근에서 -33dB 및 -31dB의 성능을 보인다[2]. 따라서, 새롭게 개발된 변조 코드에 대한 코딩 방법은 코드율이 1/2 이상이면서도 EFM 및 EFMPlus 코드와 유사한 성능을 나타냄으로써 고밀도 광 기록 시스템에 적용이 가능함을 알 수 있다.

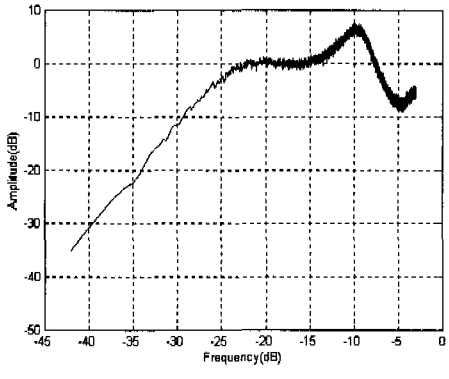


그림 8. VHDL로 구현한 인코더의 출력에 대한 저주파수단의 파워 스펙트럼(PSD)

Ⅳ. 결 론

본 논문에서는 R=8/15인 (2,15) 변조 코드에 대한 인코더의 구현을 통해 위와 같은 코딩 기법을 이용하여 고밀도 광 기록 시스템에 적용 가능함을 검증하였다. 특히, 본 코딩 기법은 새롭게 개발된 코드가 자체적으로 (d,k)-구속 조건을 만족하는 특징으로 인해 다수의 입력 바이트를 하나의 블록으로 지정할 수가 있다. 이로 인해, 매우 향상된 코드율을 나타낼 수 있다. 또한, 인코더의 출력에 대한 성능 분석을 통해 현재 광 기록 시스템에 적용하고 있는 기존의 변조 코드와 비교하여 우수한 성능을 나타냄을 보였다.

참 고 문 헌

[1] G.L. Pierobon, "Codes for zero spectral density at zero frequency," *IEEE Trans. Inform. Theory*, vol. IT-30, no. 2, pp. 435-439, March 1984.

[2] Kees A. Schouhamer Immink, *Codes for Mass Data Storage Systems*, Shannon Foundation Pub., 1999.

[3] 이주현, 이재진, "DC-억압을 위한 (2,15) RLL 코드 및 코딩 기법," 한국통신학회 논문지, vol. 26, no. 10, 2001년 10월.

[4] K.A.S. Immink and H. Ogawa, "Method encoding binary data," US Patent 4,501,000, Feb. 1985.

권 인 수(Insu Kwon) 학생회원
현재 : 동국대학교 전자공학과 학사과정
<주관심 분야> 변조 코드, VHDL 구현

이 주 현(Joohyun Lee) 준회원
2000년 2월 : 동국대학교 전자공학과 학사
2000년 3월~현재 : 동국대학교 전자공학과 석사과정
<주관심 분야> 변조 코드, 검출 기법 연구

이 재 진(Jaejin Lee) 정회원
한국통신학회 논문지 제26권 5A호 참조