

# 무선 통신을 위한 고효율 CMOS 전력 증폭기

정회원 유 창 식\*

## High efficiency CMOS power amplifier for wireless applications

Changsik Yoo\* *Regular Member*

요 약

무선 통신을 위한 전력 증폭기를 0.25 $\mu$ m CMOS 공정으로 구현하였다. 전력 효율을 증가시키기 위하여 class-E 구조를 사용하여 soft-switching 특성을 활용하였다. Class-E 부하 회로의 DC-feed 인덕터는 유한한 값을 갖도록 하여 RF-choke을 사용하는 경우에 비해 동일한 전력과 공급 전압에 대해 필요로 하는 부하 저항의 크기를 증가시킴으로써 전력 효율을 더욱 증가시킬 수 있었다. 또한 common-gate switching 방법을 사용하여 기존의 switching 방법에 비해 허용되는 공급 전압의 크기를 두배 정도 증가시킬 수 있도록 하였다. 이러한 기법을 사용함으로써 900MHz의 주파수에서 공급 전압이 1.8V일 때 트랜지스터에 아무런 전압 stress를 가하지 않고 0.9W의 전력을 41%의 효율 (power added efficiency, PAE)을 가지면서 50 $\Omega$  부하에 전달함을 확인하였다.

ABSTRACT

A power amplifier for wireless applications has been implemented in a standard 0.25 $\mu$ m CMOS technology. The power amplifier employs class-E topology to exploit its soft-switching property for high efficiency. The finite DC-feed inductance in the class-E load network allows the load resistance to be larger for the same output power and supply voltage than that for an RF-choke. The common-gate switching scheme increases the maximum allowable supply voltage by almost twice from the value for a simple switching scheme. By employing these design techniques, the power amplifier can deliver 0.9W output power to 50 $\Omega$  load at 900MHz with 41% power-added efficiency (PAE) from a 1.8V supply without stressing the active devices.

### I. 서론

지난 몇 년간 여러 연구자들이 CMOS 공정을 이용하여 1~2GHz 대역의 RF 회로를 구현하고자 많은 연구를 해왔으며, 그 결과 cellular phone 시스템과 같은 매우 까다로운 요구 조건을 가지는 응용에도 CMOS가 RF 송수신 회로를 구현하는데 유용한 공정이 입증되었다<sup>[1]</sup>. RF 전단부 회로와 나머지 IF 및 baseband 영역의 송수신 회로를 하나의 IC로 구현하는 것이 정말로 유용한 것인지에 대해서는 좀 더 많은 연구가 필요하기는 하지만, 하나의 chip으로 구현된 radio에 대해서는 많은 사람들이 깊은 관심을 가지고 연구하고 있다. 또한, 모든 RF 송수

신 회로를 하나의 chip에 구현하지 않더라도 동일한 CMOS 공정으로 구현할 수 있다면 매우 큰 경제적 효과를 가져올 수 있을 것이다. 이와 같이 하나의 chip으로 구현된 RF 송수신기 또는 동일한 CMOS 공정으로 모든 RF 송수신 기능을 구현하고자 하는 목표를 달성하기 위해서는 CMOS 공정을 이용하여 효율이 높은 전력 증폭기를 구현할 수 있어야 한다. 이러한 이유로 최근 일반적인 CMOS 공정을 이용한 전력 증폭기에 대한 관심이 높아지고 있다.

최근 몇 편의 논문이 1W의 출력 전력과 40% 이상의 PAE를 갖는 전력 증폭기를 0.8 $\mu$ m과 0.35 $\mu$ m CMOS 공정으로 구현한 연구 결과에 대해 기술하고 있다<sup>[2-3]</sup>. 논문 [2]에서는 0.8 $\mu$ m CMOS 공정을

\* 삼성전자 반도체총괄 (csyoo@ieee.org)

논문번호 : 010129-0530, 접수일자 : 2001년 5월 30일

이용하여 전력 증폭기를 구현하였지만 전력 소자의 채널 길이는 최소 길이인 0.8 $\mu$ m가 아닌 1.0 $\mu$ m이 되도록 하여 전압 stress에 대해 잘 견딜 수 있도록 하였다. 물론 0.8 $\mu$ m CMOS 공정의 경우 breakdown 전압이 비교적 높아 전력 증폭기를 구현하는 데에는 도움을 줄 수 있지만, 동일한 공정으로 RF 수신부 또는 아날로그 전단부를 구현하였을 경우에는 전력 소모가 매우 커지는 문제가 있다. 따라서, 0.8 $\mu$ m CMOS 공정으로 구현한 전력 증폭기는 하나의 chip으로 구현된 RF 송수신기 또는 동일한 CMOS 공정으로 모든 RF 송수신 기능을 구현하고자 하는 목표에 적합하지 않다. 향후 하나의 chip으로 RF 송수신기를 구현하기 위한 목표를 염두에 두고 논문 [3]에서는 class-E 구조를 positive feedback과 결부시켜 0.25 $\mu$ m CMOS 공정으로 고효율의 전력 증폭기를 구현하였다. 하지만, positive feedback 구조는 injection-locked oscillator를 구성하게 되어 그림 1에 표시한 것과 같이 안테나를 통해 들어오는 인접 채널의 간섭 신호에 의해 전력 증폭기의 출력 신호가 그 간섭 신호의 주파수를 갖는 reverse pulling 문제를 갖고 있다<sup>[4]</sup>. 또한, 신뢰성 측면에서 트랜지스터에 가해지는 전압 stress는 공정에 따라 주어지는 일반적인 공급 전압 (0.35 $\mu$ m CMOS 공정에 대해서는 3.3V, 0.25 $\mu$ m CMOS 공정에 대해서는 2.5V) 이하가 되도록 하는 것이 바람직하다. 따라서, 1W 정도의 RF 전력을 높은 효율을 가지면서 출력

할 수 있는 전력 증폭기를 sub-micron CMOS 공정으로 구현하는 것은 아직 어려운 일이다.

본 논문에서는 0.25 $\mu$ m CMOS 공정으로 구현한 900MHz에서 동작하는 전력 증폭기에 대해 기술한다. Class-E 구조를 사용하였으며, 유한한 값의 DC-feed 인덕터를 이용하여 최대의 전력 효율을 얻을 수 있도록 하였다. 또한, 전력 증폭 소자로 사용되는 트랜지스터에 stress를 주지 않기 위하여 게이트 공통 스위칭 기법을 사용하였다.

다음 장에서는 sub-micron CMOS 공정으로 전력 증폭기를 구현할 때의 어려움에 대해 설명하고, 이를 극복하기 위한 방법을 III 장에서 제시한다. III 장에서 제시한 방법을 이용하여 구현한 CMOS 전력 증폭기의 성능을 IV 장에서 보이며, 마지막으로 V 장에서 결론을 맺는다.

## II. 공정 스케일링이 CMOS 전력 증폭기의 설계에 미치는 영향

MOS 트랜지스터의 최소 채널 길이  $L_{min}$ 이 줄어들수록 신뢰성 문제로 인해 전력 증폭기가 사용할 수 있는 공급 전압의 크기는 작아진다. 따라서, 공급 전압과 출력 전력 사이의 관계 ( $P_{out} \propto V_{DD}^2/R_L$ )에 의해 주어진 출력 전력  $P_{out}$ 에 대해 필요로 하는 부하 저항  $R_L$ 의 크기는 급격히 감소한다. 뒤에 설명하는 여러 가지 이유로 인해 공급 전압과 부하 저항의 크기가 작을 경우에는 높은 효율을 갖는 전력 증폭기의 구현이 매우 어렵다.

전력 증폭기와 안테나 사이의 임피던스 정합 회로는 안테나의 입력 임피던스 - 보통 50 $\Omega$  - 를 전력 증폭기가 필요로 하는 부하 저항  $R_L$ 로 변환하는 역할을 한다. 임피던스 정합 회로에 사용되는 인덕터나 커패시터의 유한한 quality factor (Q)로 인해 발생하는 전력 손실은  $m=50/R_L$ 로 정의되는 임피던스 변환율에 비례한다. 만일 low-pass 형태의 L-section 임피던스 정합 회로를 사용하면 전력 손실은 m에 비례한다. 따라서, sub-micron CMOS 공정을 이용하여 전력 증폭기를 구현하면 신뢰성 문제로 인해 부하 저항  $R_L$ 의 크기가 작아지는데 이로 인해 임피던스 정합 회로에서의 전력 손실이 증가하게 된다.

전력 증폭기에 사용하는 트랜지스터의 유한한 on-저항에 의해 발생하는 전력 손실도 CMOS 공정이 scale-down 됨에 따라 증가한다. 물론 공정이 scale-down되면 트랜지스터의 transconductance가 커져서

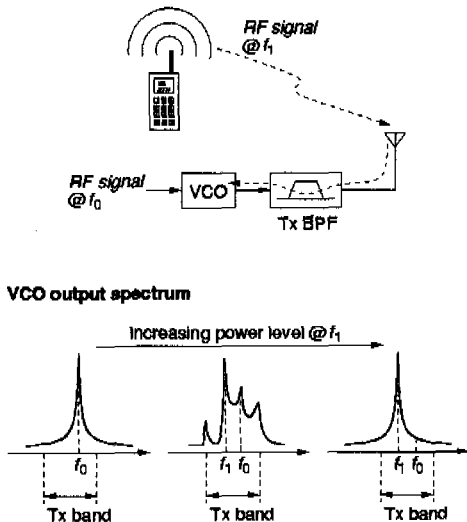


그림 1. Injection-locked oscillator를 전력 증폭기로 사용하는 경우의 reverse-pulling 현상

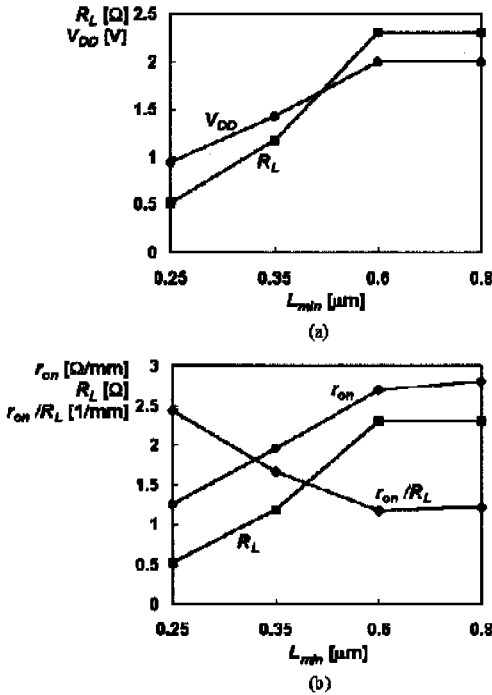


그림 2. (a) RF-choke를 사용하는 1W class-E 전력 증폭기의 부하 저항  $R_L$ 과 공급 전압 (b) nMOS 스위치의 on-저항  $r_{on}$ 과 부하 저항  $R_L$ 의 크기 및 그 비율

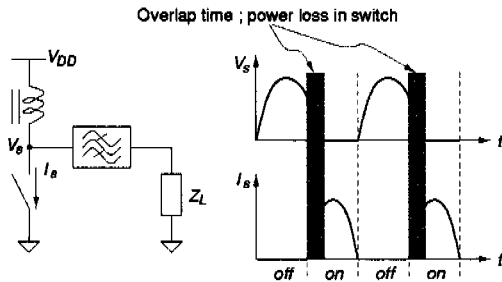


그림 3. Hard-switching을 하는 전력 증폭기에서의 전력 손실

on-저항이 작아지기는 하지만 그 속도는 부하 저항  $R_L$ 이 감소하는 것에 비해 느리므로 결국에는 전력 손실이 증가한다. RF-choke를 사용하는 class-E 전력 증폭기가 사용할 수 있는 최대 공급 전압의 크기와 1W의 출력 전력을 위해 필요한 부하 저항  $R_L$ 의 크기를 CMOS 공정의 최소 채널 길이 별로 그림 2-(a)에 표시하였다. 그림 2-(b)에는 nMOS 트랜지스터의 on-저항  $r_{on}$ , 부하 저항  $R_L$ , 그리고  $r_{on}$ 과  $R_L$ 의 비율  $r_{on}/R_L$ 을 CMOS 공정의 최소 채널 길이 별로 표시하였다. 그림에서 볼 수 있듯이 CMOS 공정이 scale-down 됨에 따라  $r_{on}/R_L$ 이 증가하여

결국에는 트랜지스터의 on-저항에 의한 전력 손실이 증가하게 된다.

본 논문에서는 이러한 문제를 해결하기 위하여 유한한 DC-feed 인덕터를 사용하는 class-E 전력 증폭기를 common-gate switching 기법을 이용하여 구현하였다. 다음 장에서 자세히 설명한다.

### III. 유한한 DC-feed 인덕터를 사용하는 common-gate switch 형태의 class-E 전력 증폭기

이러한 배경에서, 본 논문이 설명하는 sub-micron CMOS 전력 증폭기를 설계할 때에는 공급 전압과 부하 저항을 낮추어야 하는 부담을 줄일 수 있는 방법을 찾는 것에 초점을 맞추었다.

#### 1. 유한한 DC-feed 인덕터를 갖는 class-E 전력 증폭기

Class-D, E, F와 같은 스위칭 모드의 전력 증폭기는 class-A, AB, B와 같은 선형 구조의 전력 증폭기에 비해 높은 전력 효율을 갖고 있다. 이는 이상적인 스위치의 경우 스위치 양단의 전압과 스위치를 통한 전류가 동시에 0이 아닌 구간이 없어 전력 손실이 없기 때문이다. 하지만, 실제의 경우 스위치의 ON 상태와 OFF 상태를 천이할 때 유한한 시간이 필요하며 그 구간 동안 그림 3에 표시한 것과 같이 상당한 크기의 전력 손실이 발생할 수 있다. 이러한 형태의 스위칭을 hard-switching이라고 부르며 class-D와 F 구조의 전력 증폭기가 이에 해당한다. 이에 반해 class-E 전력 증폭기의 부하

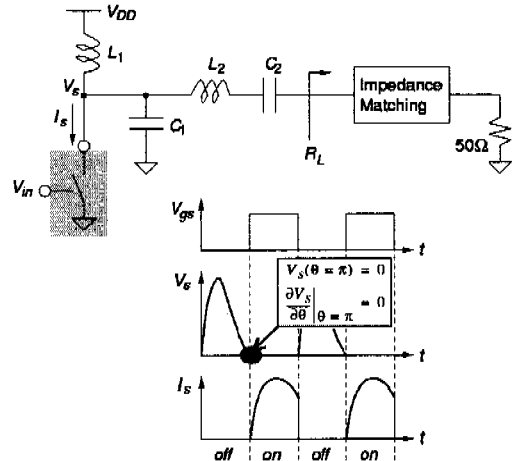


그림 4. Class-E 전력 증폭기와 전압 및 전류 파형

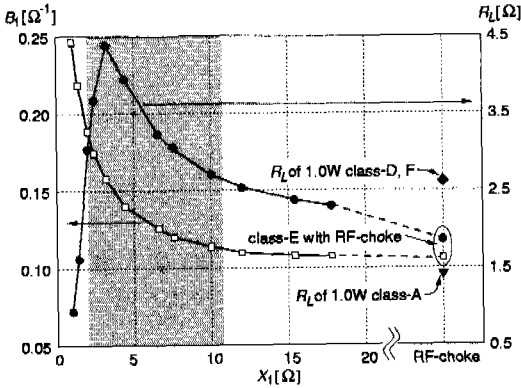


그림 5. 공급 전압이 1.8V일 때 class-E 전력 증폭기가 1W의 출력을 내기 위한 부하 network의 소자 값들

network은 그림 4에 표시한 것과 같이 스위치 양단의 전압이 스위치가 켜지기 전에 0의 기울기를 가지고 0V에 도달하도록 구성된다<sup>5)</sup>. 이러한 soft-switching 특성으로 인해 스위치에서의 전력 손실을 최소화되어 class-E 전력 증폭기는 GSM (Global System for Mobile)의 GMSK (Gaussian Minimum Shift Keying) 신호를 높은 효율을 가지면서 전력을 증폭할 수 있다.

Soft-switching을 보장하는 class-E 부하 network을 구성할 때 DC-feed 인덕터 L1은 RF-choke일 수도 있고 유한한 크기의 인덕터일 수도 있다. 주어진 공급 전압과 출력 전력에 대해 부하 저항의 크기를 높이는 방법은 DC-feed 인덕터를 유한한 크기를 갖도록 하는 것이다. DC-feed 인덕터가 유한한 크기를 갖게 되면 class-E 부하 network을 구성하는데 있어 자유도가 하나 늘어나게 된다. DC-feed 인덕터로 RF-choke를 사용할 경우 부하 저항 RL의 크기는 출력 전력과 공급 전압에 의해 결정되지만 유한한 크기의 DC-feed 인덕터를 사용할 경우 출력

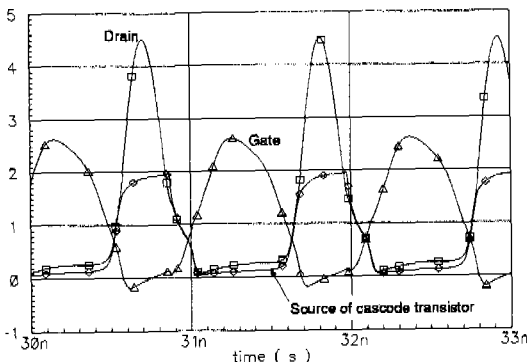


그림 6. 전력 증폭기의 모의 실험 파형

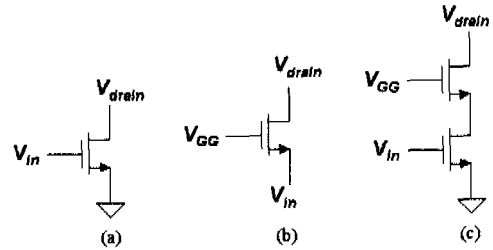


그림 7. (a) 통상의 common-source 스위치 (b) common-gate 스위치 (c) cascode 스위치

전력, 공급 전압, 그리고 DC-feed 인덕터의 크기에 의해 결정된다. 따라서, DC-feed 인덕터의 크기를 적절한 값으로 선택할 경우 부하 저항 RL의 크기를 RF-choke을 사용하는 경우에 비해 크게 할 수 있다. 그림 5에 1W의 출력 전력을 1.8V의 공급 전압으로 얻기 위해 필요한 부하 저항 RL과 shunt 캐패시터 B1=ωC1의 크기를 DC-feed 인덕터의 크기 (X1=ωL1)에 따라 표시하였다. 비교를 위해 class-A와 class-D, -F 전력 증폭기의 부하 저항의 크기를 함께 표시하였다. 그림에서 알 수 있듯이 DC-feed 인덕터의 크기를 그림자로 표시한 영역에서 선택하면 부하 저항과 shunt 캐패시터의 크기를 RF-choke를 사용하는 경우에 비해 크게 할 수 있다. Shunt 캐패시터가 큰 경우의 장점은 스위치로 사용하는 트랜지스터의 크기를 더 크게 할 수 있다는 것이다. 즉, 트랜지스터의 크기가 커져 기생 캐패시턴스가 커지더라도 shunt 캐패시터가 흡수할 수 있으므로 on-저항의 크기를 줄이기 위해 트랜지스터의 크기를 키울 수 있는 것이다.

따라서, 동일한 공급 전압을 이용하여 주어진 전력을 공급하고자 할 때 class-E 전력 증폭기의 부하 network에 사용하는 DC-feed 인덕터를 유한한 크기

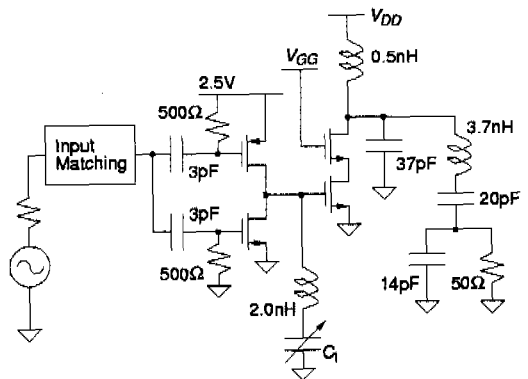


그림 8. Class-E 전력 증폭기의 회로도

로 하면 전력 효율을 크게 높일 수 있다. 유한한 크기의 DC-feed 인덕터가 제공하는 또 하나의 장점은 동일한 공급 전압과 출력 전력에 대해 트랜지스터에 가해지는 전압 stress의 크기를 줄일 수 있다는 것이다. 전력 효율이 50~60% 정도일 때 출력 트랜지스터에 가해지는 전압 stress의 크기는 그림 6에 표시한 모의 실험 결과에서와 같이 공급 전압의 약 2.5배 정도이다.

## 2. Common-gate switching 기법

앞에서 class-E 부하 network의 DC-feed 인덕터를 유한한 크기로 설정하면 부하 저항  $R_L$ 과 shunt 캐패시터의 크기를 증가시킬 수 있어 전력 효율의 증대를 꾀할 수 있음을 설명하였다. 부하 저항  $R_L$ 의 크기를 더 증가시키기 위해서는 공급 전압의 크기를 트랜지스터에 전압 stress를 주지 않는 범위에서 최대한 올리는 것이다. 하지만, 0.25 $\mu$ m CMOS 공정에서는 2.5V의 공급 전압을 사용하는 것을 권장하고 있으므로 class-E 전압 증폭기가 사용할 수 있는 공급 전압의 최대 크기는 약 1.0V 정도 밖에 되지 않는다. 출력 트랜지스터에 가해지는 전압 stress가 공급 전압의 약 2.5배이므로 공급 전압이 1.0V일 경우 출력 트랜지스터에 가해지는 전압 stress는 2.5V로 공정에서 신뢰성을 보장하는 최대치가 된다.

이를 극복하기 위해 트랜지스터를 그림 7(a)의 통상적인 방법과 같이 게이트를 통해 스위칭하지 않고 그림 7(b)와 같이 소오스를 통해 스위칭하는 방법을 개발하였다. 이 경우 전압 stress의 최대값은  $V_{\text{drain,max}} - V_{\text{GG}}$ 로 줄어든다. 따라서, 허용 가능한

최대 공급 전압의 크기는  $V_{\text{drain,max}} / (V_{\text{drain,max}} - V_{\text{GG}})$  배 만큼 커지게 된다. 입력 단에 낮은 임피던스 부하를 주지 않도록 그림 7(c)와 같이 common-source 단과 결합하여 캐스코드 스위치를 구성하도록 하였다. OFF인 구간 동안 common-source 스위치의 드레인 전압은  $V_{\text{GG}} - V_T$ 까지 올라가는데 0.25 $\mu$ m CMOS 공정에서는  $V_{\text{GG}}$ 가 2.5V인 경우  $V_{\text{GG}} - V_T$ 는 약 2.0V 정도이다. Common-gate 스위치가 약 2.5V 정도의 전압 stress를 견딜 수 있으므로 캐스코드 스위치 전체가 견딜 수 있는 전압 stress는 약 4.5V 이다. 따라서, 허용 가능한 공급 전압은 1.8V가 되어 통상적인 스위치를 쓰는 경우에 비해 약 두배의 크기를 갖는다. 캐스코드 스위치를 사용하면 입력 단과 출력단 사이의 RF 간섭을 감쇄시키는 추가의 장점이 있다.

지금까지 설명한 두 가지 설계 기법, 즉 DC-feed 인덕터가 유한한 class-E 구조와 common-gate 스위칭 기법을 이용하여 그림 8에 표시한 것과 같은 전력 증폭기를 설계하였다. 다음 장에서 실험 결과에 대해 설명한다.

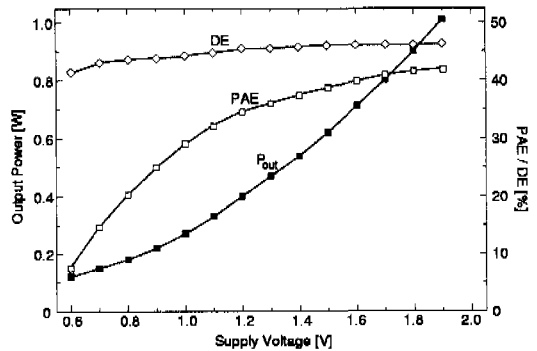


그림 10. 공급 전압에 따른 출력 전력, 드레인 효율, PAE

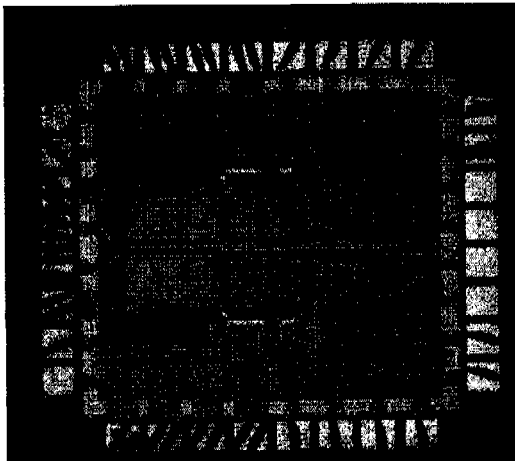


그림 9. 제작한 전력 증폭기의 사진

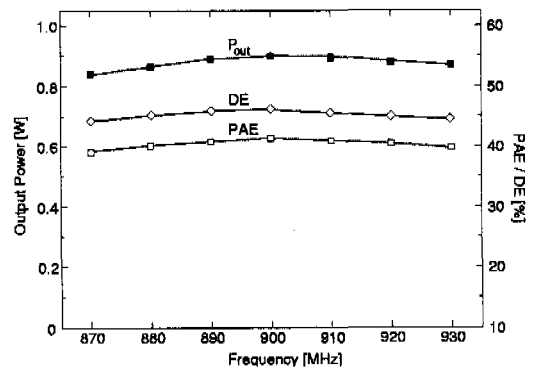


그림 11. 공급 전압이 1.8V일 때 주파수에 따른 출력 전력, 드레인 효율, PAE

#### IV. 실험 결과

그림 9는 제작한 CMOS 전력 증폭기의 사진이며, 크기는 2.0mm x 2.0mm이다. 측정은 chip-on-board 환경에서 수행하였다. 수동 소자의 개수를 최소화하기 위해, 임피던스 정합 회로의 인덕터는 부하 network에 합쳐져, 전력 증폭기의 출력단의 수동 소자는 본딩선으로 구성된 두 개의 인덕터와 하나의 칩 내부 캐패시터, 그리고 하나의 칩 외부 캐패시터로 구성되어있다. 전력 증폭기는 차동형으로 구성되어있으며, 입력과 출력이 각각 하나의 balun을 사용하였다. 측정 결과로서 출력 전력, 드레인 효율 (drain efficiency=DE), 그리고 power added efficiency를 전원 전압에 대한 함수로 그림 10에 표시하였다. 전원 전압이 1.8V일 때 전력 증폭기는 50 Ω 부하에 0.9W의 전력을 공급한다. 드레인 효율은 전원 전압에 무관하게 거의 일정한 값을 가지며 0.9W의 출력 전력에서 46%이고, PAE는 41%이다. 그림 11에 보인 측정 결과는 출력 전력, 드레인 효율, PAE가 60MHz의 대역폭에서 거의 일정한 값을 갖는 것을 보여준다. 그림 12는 제작한 전력 증폭기에 GMSK 신호를 인가하였을 때 증폭되어 나온 출력 신호의 스펙트럼을 GSM의 spectral emission mask와 함께 보인 그림으로, 출력 신호의 스펙트럼이 spectral emission mask 안에 있음을 알 수 있다.

이러한 결과로부터, 0.25μm CMOS 공정이 매우 낮은 항복 전압 (breakdown voltage)을 갖는데도 불구하고, 본 논문에서 제시한 설계 방법을 이용하면 기존에 발표된 CMOS 전력 증폭기와 비슷한 수

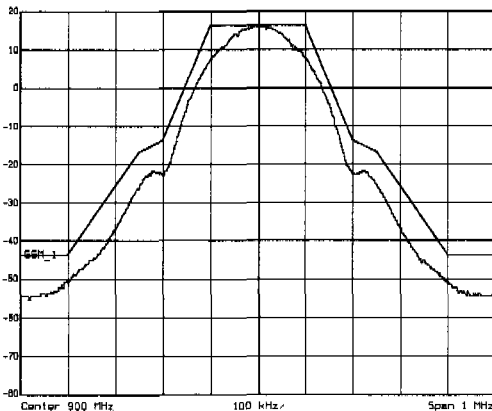


그림 12. GMSK 신호를 인가했을 때 전력 증폭기 출력의 스펙트럼

준의 성능을 갖도록 할 수 있음을 알 수 있다.

#### V. 결론

무선 통신을 위한 전력 증폭기를 0.25μm CMOS 공정으로 구현하였다. 전력 효율을 증가시키기 위하여 class-E 구조를 사용하여 soft-switching 특성을 활용하였다. Class-E 부하 회로의 DC-feed 인덕터는 유한한 값을 갖도록 하여 RF-choke을 사용하는 경우에 비해 동일한 전력과 공급 전압에 필요로 하는 부하 저항의 크기를 증가시킴으로써 전력 효율을 더욱 증가시킬 수 있었다. 또한 common-gate switching 방법을 사용하여 기존의 switching 방법에 비해 허용되는 공급 전압의 크기를 두 배 정도 증가시킬 수 있도록 하였다. 이러한 기법을 사용함으로써 900MHz의 주파수에서 공급 전압이 1.8V일 때 트랜지스터에 아무런 전압 stress를 가하지 않고 0.9W의 전력을 41%의 효율 (power added efficiency, PAE)을 가지면서 50Ω 부하에 전달함을 확인하였다.

본 논문에서 제시한 결과는 트랜지스터의 항복 전압이 계속 낮아짐에도 불구하고, 전력 효율이 좋은 sub-micron CMOS 전력 증폭기의 구현이 가능하다는 것을 확인시키고 있으며, 하나의 칩 또는 동일한 공정으로 구현한 chip-set으로 구현된 CMOS 송수신기가 실현 가능한 일임을 보여준다.

#### 참고 문헌

- [1] P. Orsatti, F. Piazza, Q. Huang and T.Morimoto, "A 20mA-receive, 55mA-transmit GSM transceiver in 0.25μm CMOS," *Dig. Tech. Papers, Int. Solid-State Circuits Conf.*, pp. 232-233, Feb. 1999.
- [2] D. Su and W. McFaland, "A 2.5-V, 1-W monolithic CMOS RF power amplifier," *Proc. Custom Integrated Circuits Conf.*, pp. 189-192, May, 1997.
- [3] K.-C. Tsai and P. R. Gray, "A 1.9-GHz, 1-W CMOS class-E power amplifier for wireless communications," *IEEE J. Solid-State Circuits*, pp. 962-970, Jul. 1999.
- [4] B. Razavi, "RF transmitter architectures and circuits," *Proc. Custom Integrated Circuits Conf.*, pp. 197-204, 1999.

- [5] N. O. Sokal and A. D. Sokal, "Class-E, a new class of high-efficiency tuned single-ended power amplifiers," *IEEE J. Solid-State Circuits*, pp. 168-176, Sep. 1987.

유 창 식(Changsik Yoo)

정회원

1992년 2월 : 서울대학교 전자공학과 졸업

1994년 2월 : 서울대학교 전자공학과 석사

1994년 2월 : 서울대학교 전자공학과 박사

1998년 3월~1998년 6월 : 삼성전자

1998년 7월~1999년 10월 : 스위스연방공과대학

1999년 11월~현재 : 삼성전자

<주관심 분야> 고속 회로 설계, 통신 시스템