

1MHz 신호 대역폭을 갖는 12-비트 Sigma-Delta 변조기의 비이상성에 대한 조사

정희원 최경진*, 조성익**, 신홍규***

Investigation on the Nonideality of 12-Bit Sigma-Delta Modulator with a Signal Bandwidth of 1 MHz

Kyung-Jin Choi*, Seong-Ik Cho**, Hong-Kyu Shin*** *Regular Members*

요약

본 논문에서는 OSR=25에서 1 [MHz] 신호 대역폭, 12-비트 해상도를 만족하는 SOSOC $\Sigma-\Delta$ 변조기 설계를 위하여 아날로그 비이상성 허용범위를 조사하였다. 공급전압 3.3 [V]에서 사양을 만족하는 $\Sigma-\Delta$ 변조기 설계를 위하여 우선 저전압에 적합한 SOSOC $\Sigma-\Delta$ 변조기 모델과 이득계수를 구하였다. 그리고 아날로그 비이상성인 증폭기 유한한 이득, SR, 페루프 극점, 스위치 ON 저항 그리고 캐패시터 부정합과 같은 $\Sigma-\Delta$ 변조기의 성능 저하 요인들을 이상적인 $\Sigma-\Delta$ 변조기 모델에 추가하여 $\Sigma-\Delta$ 변조기의 성능 예측과 비이상성의 허용범위를 규정하였다. 이를 토대로 사양을 만족하는 $\Sigma-\Delta$ 변조기 설계 시 $\Sigma-\Delta$ 변조기를 구성하는 회로의 사양에 대한 지침과 $\Sigma-\Delta$ 변조기의 성능을 예측 할 수 있다.

ABSTRACT

In this paper, it investigated the permitted limit of the analog nonideality for the SOSOC $\Sigma-\Delta$ modulator design which is satisfied with 1 [MHz] signal bandwidth and 12-bit resolution in the OSR=25. Firstly, it get the SOSOC $\Sigma-\Delta$ modulator model and gain coefficient which is suitable in low voltage for the $\Sigma-\Delta$ modulator design which is satisfied with the specification in the supply voltage 3.3 [V]. And it provided the performance prediction of the $\Sigma-\Delta$ modulator and the permitted limit of the nonideality by adding the performance degradation facts of the $\Sigma-\Delta$ modulator such as the finite gain of the amplifier, the SR, the closed-loop pole, the switch ON resistance and the capacitor mismatch to the ideal $\Sigma-\Delta$ modulator model. When designed the $\Sigma-\Delta$ modulator which is satisfied with the specification by the base above, it will be able to predict the performance of the $\Sigma-\Delta$ modulator and the guide for the specification of the circuit which composes the $\Sigma-\Delta$ modulator.

I. 서론

지난 수년동안 저주파수 대역 시스템간의 연결체로 널리 이용되었던 과표본화 $\Sigma-\Delta$ 변환기는 급격한 공정기술의 발전에 의하여 회로 집적도와 속도 면에서 크게 향상되어 응용분야가 다양해졌다. 특히, 최근에는 수백 KHz에서 수십 MHz의 신호 대역폭에서

12-비트 이상의 해상도가 요구되는 xDSL 같은 통신응용 분야에서 혼성모드 주문형 설계에 관심이 고조되어 혼성모드에 적합한 과표본화 $\Sigma-\Delta$ 변환기에 대한 새로운 기술이 발표되고 있으나 대부분 변조기의 성능 향상에 초점을 두고 있다. 과표본화 $\Sigma-\Delta$ 변조기 구조는 루프 형태에 의하여 크게 단일루프와 다중루프 과표본화 $\Sigma-\Delta$ 변조기로 나눌 수

* (주)천길바이오텍

** hynix 반도체

*** 원광대학교 전자공학과(hongkyu@wonkwang.ac.kr)

논문번호 : 010114-0522, 접수일자 : 2001년 11월 5일

* 이 논문은 2000년도 원광대학교의 교비지원에 의해서 연구됨

있다. 이러한 과표본화 $\Sigma\text{-}\Delta$ 변조기는 신호 대역폭을 증가하기 위해서는 표본화 주파수 증가 또는 과표본화율(oversampling ratio : OSR)을 감소하여 과표본화 $\Sigma\text{-}\Delta$ 변조기의 신호 대역폭을 증가시킬 수 있으나 해상도가 감소하는 trade off가 있다.^{[1][2]} 속도와 OSR과 무관하게 과표본화 $\Sigma\text{-}\Delta$ 변조기의 해상도를 증가하는 방법은 잡음변형(noise shaping) 차수를 증가시키는 방안이 있으나 2차 이상의 고차 단일루프 과표본화 $\Sigma\text{-}\Delta$ 변조기에는 안정성 문제가 있어 [3]~[6]등과 같은 방법으로 안정성을 확보할 수 있다. 그러나 이러한 해결 방안들은 속도제약, 소비전력 증대, 복잡한 주변회로 등이 필요한 문제가 있어 지양하고 있다. 반면 안정성이 우수한 낮은 차수 1차, 2차의 $\Sigma\text{-}\Delta$ 변조기를 이용한 다중루프 과표본화 $\Sigma\text{-}\Delta$ 변조기는 단일루프에서 문제되는 안정성을 해결할 수 있으나 단일루프 과표본화 $\Sigma\text{-}\Delta$ 변환기에 비하여 아날로그 회로의 비이상성에 민감하다는 단점이 있다.^[7] 본 논문에서는 1 [MHz] 신호 대역폭, 12-비트 해상도를 만족하는 과표본화 $\Sigma\text{-}\Delta$ 변조기의 비이상성의 허용범위에 대한 기준요건을 확립하기 위하여 MATLAB을 통하여 비이상성의 허용범위를 조사하였다. 이를 위하여 3.3 [V] 공급전압에서 증폭기 출력 폭이 ± 1 [V]로 제약된 이상적인 SOSOC (Second-Order Second-Order Cascade) $\Sigma\text{-}\Delta$ 변조기의 모델을 통하여 먼저 증폭기 유한한 이득에 대한 영향을 조사한 후, 증폭기의 SR(Slew Rate), SC(Switch-Capacitor) 적분기의 폐루프 극점(closed-loop pole), 스위치 ON 저항, 캐패시터 부정합을 순차적으로 이상적인 모델에 첨가하여 각각의 아날로그 비이상성에 대한 허용범위를 조사한다.

II. 과표본화 $\Sigma\text{-}\Delta$ 변조기 구조와 이득계수

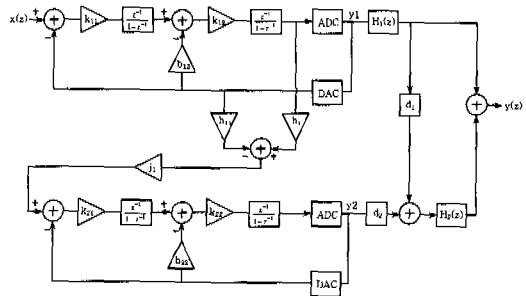
1. 과표본화 $\Sigma\text{-}\Delta$ 변조기 구조 선택

고속, 고해상도를 위한 과표본화 $\Sigma\text{-}\Delta$ 변조기의 구조를 선택하기 위해서는 다음 같은 내용을 고려하여야 한다. 첫 번째로 신호 대역폭 증가를 위하여 CMOS SC 회로의 최대 표본화 주파수가 제약이 다르기 때문에 OSR을 감소하며 최대의 표본화 주파수를 증가하여야 한다. 두 번째로는 고해상도의 성취이다. L차 과표본화 $\Sigma\text{-}\Delta$ 변조기의 최대의 SNR(Signal-to-Noise Ratio)은 식 (1)과 같다. 식 (1)에서 OSR이 감소하면 해상도와 관계된 SNR이 감소하므로 SNR을 유지하기 위해서는 양자화기 비

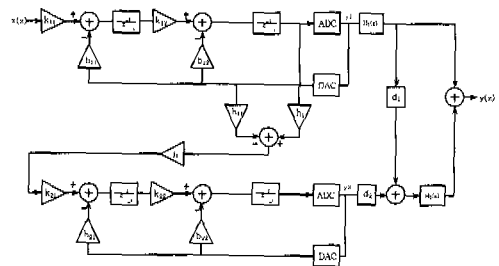
트 수(N), 변조기 차수(L)를 증가해야 한다.

$$SNR_{max} = 6.02N + 1.76 - 10 \log \left(\frac{2L+1}{\pi^{2L}} \right) + 10(2L+1) \log(OSR) \quad (1)$$

2차 이상의 고속, 고해상도 단일루프 과표본화 $\Sigma\text{-}\Delta$ 변조기에서 양자화기 비트 수와 변조기 차수를 증가하여 SNR을 증가시킬 수 있으나 시스템의 안정성 문제가 있다. 이러한 시스템 안정성은 1차, 2차 $\Sigma\text{-}\Delta$ 변조기를 종속 연결한 다중루프 $\Sigma\text{-}\Delta$ 변조기를 이용하여 해결할 수 있으나 증폭기의 유한 이득과 같은 소자들의 비이상성에 매우 민감하다는 단점이 있다. 이와 같은 요인에 의하여 양자화 오차가 완전히 제거가 되지 않아 최종 출력에서 잡음 누설이 초래되어 전체적인 $\Sigma\text{-}\Delta$ 변조기 성능이 저하된다.



(a) 전형적인 SOSOC $\Sigma\text{-}\Delta$ 변조기 블럭도



(b) 변형된 SOSOC $\Sigma\text{-}\Delta$ 변조기 1차적 블럭도

그림 1. SOSOC $\Sigma\text{-}\Delta$ 변조기의 블럭도

본 논문에서는 시스템의 안정성과 실제 회로 구현시 단과 단 사이에서 초래되는 양자화 오차 제거, 디지털 블럭의 복잡성을 고려하여 3.3 [V] 공급전압, 1 [MHz] 신호 대역폭에서 12-비트의 해상도를 얻기 위하여 1-비트 양자화기로 구성된 그림 1(a)의 전형적인 SOSOC $\Sigma\text{-}\Delta$ 변조기 구조를 그림 1(b)과

같이 저전압에 적합하게 변형한 SOSOC Σ - Δ 변조기를 이용하여 사양을 만족하기 위한 비이상성 허용범위를 조사한다. 그림 1(b)의 SOSOC Σ - Δ 변조기는 동적영역 스케링과 관계된 k_{11} , k_{12} , k_{21} , k_{22} 이득계수를 조절하여 각 단의 적분기 출력이 포화되는 현상을 방지하여 동적영역을 유지하였다. 그림 2는 전형적인 SOSOC Σ - Δ 변조기와 변형된 SOSOC Σ - Δ 변조기에 대하여 같은 이득계수를 이용하여 부궤환 신호 $V_{ref} = +0.85$ [V], 적분기의 출력범위를 ± 1 [V]로 제약한 후, 입력크기에 따른 SNR을 조사한 결과이다.

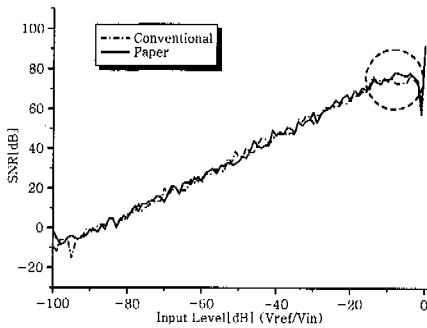


그림 2. 입력 레벨에 따른 SNR

전형적인 SOSOC Σ - Δ 변조기는 큰 입력에 대하여 적분기 출력이 포화가 발생되어 변형된 SOSOC Σ - Δ 변조기보다도 SNR이 저하됨을 알 수 있다. 그림 1(b)의 이상적인 전달함수를 얻기 위한 디지털 함수와 아날로그 이득계수의 관계는 표 1과 같다.

표 1. 그림 1(b)의 디지털 함수와 이득계수의 관계

analog	digital/analog	digital
$b_{12} = 2k_{11}k_{12}$	$d_1 = k_{11} - 1$	$H_1(z) = z^{-2}$
$k_{11} = \frac{1}{(k_{11}k_{12})}$	$d_2 = \frac{1}{j_1}$	$H_2(z) = (1 - z^{-1})^2$
$b_{22} = 2k_{21}k_{22}$		

그림 3은 그림 1(b)의 SOSOC Σ - Δ 변조기의 1차적 블럭도에서 용이한 SC 회로 구현을 위하여 수정된 SOSOC Σ - Δ 변조기 2차적 블럭도이며 표 2는 그림 1(b)의 SOSOC Σ - Δ 변조기의 1차적 블럭도의 이득계수와 그림 3의 2차적 블럭도의 이득계수들과 관계를 정리한 것이다.

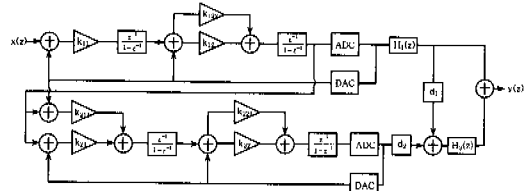


그림 3. SOSOC Σ - Δ 변조기의 2차적 블럭도

표 2. 이득계수 관계

gain coefficients of Fig.3		gain coefficients of Fig.1(b)	
k_{11}	k_{12}	k_{11}	b_{12}
k_{122}	k_{21}	$k_{12} - b_{12}$	$h_1 j_1$
k_{211}		$\frac{1}{(k_{11}k_{12})} j_1 k_{21} - (h_1 j_1)$	
k_{22}	k_{221}	b_2	$k_{22} - b_{22}$

2. 최적화된 이득계수 설정

과표본화 Σ - Δ 변조기를 구성하고 있는 증폭기의 캐패시터 부하를 감소하면 페루프 극점 중대에 의하여 표본화 주파수와 신호 대역폭을 증가시킬 수 있을 뿐만 아니라, 소비전력도 감소된다. 캐패시터 부하를 감소시킬 수 있는 방법은 완전차동(fully differential) 구조를 채택하는 방법과 2개의 기준전압을 사용하는 것이다. 완전 차동 Σ - Δ 변조기에서 2개의 전압을 이용할 경우의 $SNR_{KT/C}$ 는 식 (2)와 같다.^[8]

$$SNR_{KT/C} = \frac{(2 OL V_{ref})^2}{2} \frac{C_s OSR}{4kT} \quad (2)$$

여기서, OL (Overload Level) : 포화레벨,
 V_{ref} : 기준전압, C_s : 표본화 캐패시턴스

식 (2)에서 표본화 캐패시턴스를 감소하여 표본화 주파수와 신호 대역폭을 증가시킬 수 있으나 스위치 백색잡음에 의한 $SNR_{KT/C}$ 이 감소하게 된다. 동일한 OSR 과 표본화 캐패시터에서 $SNR_{KT/C}$ 을 증가시킬 수 있는 방법은 기준전압을 증가시켜 입력측의 신호의 전력을 증가시키는 방법이다. 그러나 입력신호가 증가하면 적분기의 출력범위 증가가 요구되기 때문에 저전압 회로에서는 기준전압의 증가는 상당한 위험이 따른다. 이러한 문제는 적분기의 이득계수를 적절히 조절하여 해결할 수 있으며 다음 사항을 고려하여야 한다.

표 3. SOSOC Σ - Δ 변조기의 이득계수 값과 캐패시턴스

gain coefficient	k_{11}	k_{12}	k_{122}	k_{21}	k_{211}	k_{22}	k_{222}
	1/3	2/5	1/5	2/6	3/6	2/5	1/5
capacitance	$\frac{C_{samm, \beta 1}}{C_{intn, \beta 1}}$	$\frac{C_{samm, \beta 2}}{C_{intn, \beta 2}}$	$\frac{C_{samm, \beta 22}}{C_{intn, \beta 2}}$	$\frac{C_{samm, \beta 3}}{C_{intn, \beta 3}}$	$\frac{C_{samm, \beta 33}}{C_{intn, \beta 3}}$	$\frac{C_{samm, \beta 4}}{C_{intn, \beta 4}}$	$\frac{C_{samm, \beta 44}}{C_{intn, \beta 4}}$
	$\frac{1pF}{3pF}$	$\frac{0.6pF}{1.5pF}$	$\frac{0.3pF}{1.5pF}$	$\frac{0.3pF}{0.9pF}$	$\frac{0.45pF}{0.9pF}$	$\frac{0.3pF}{0.75pF}$	$\frac{0.15pF}{0.75pF}$

1. 이득계수는 안정성을 보장하며 고 해상도와 높은 OL 유지.
2. 모든 적분기에 출력되는 신호 폭은 기준전압까지 감소가 가능.
3. 각 적분기의 입력측의 스위치를 공유하여 캐패시터 부하와 잠음준위에 의한 SNR_{KTIC} 의 영향 감소

최대 기준전압은 모든 적분기의 출력신호의 폭이 포화가 발생되지 않을 크기가 되므로 증폭기가 선형적으로 출력 할 수 있는 최대 폭에 의하여 결정되어야 한다. 과표본화 Σ - Δ 변조기의 백색잡음은 대부분 첫 단의 적분기 표본화 캐패시터에 의하여 결정된다. 식 (2)에서 $V_{ref} \cdot OL = 0.51$ [V], OSR = 25 일 때 $SNR_{KTIC} = 78$ [dB]을 위한 최소의 표본화 캐패시턴스는 0.08 [pF]가 요구된다. 이 값은 증폭기에 발생하는 오차, 양자화 오차, 비이상성 등을 고려한 값으로 12-비트 해상도를 만족 할 수 있다.

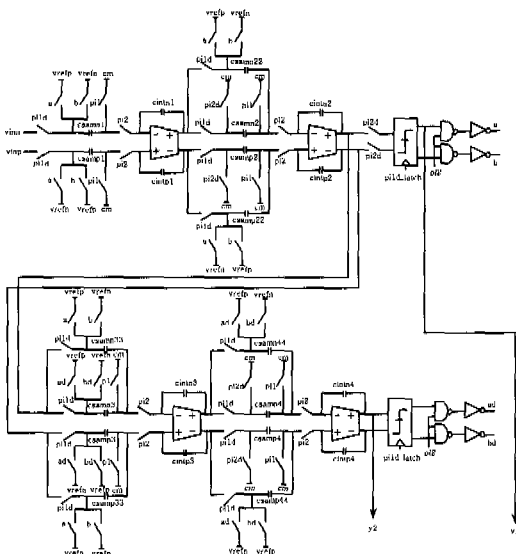
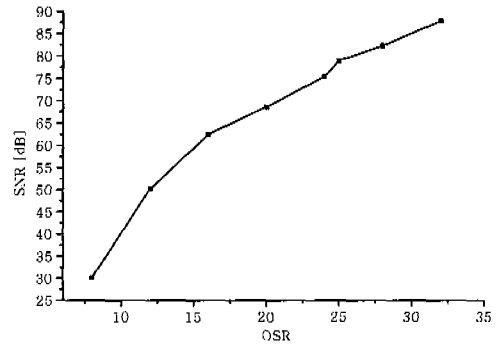
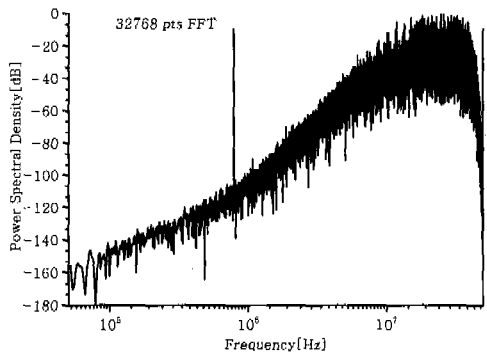


그림 4. SOSOC Σ - Δ 변조기 구조

본 논문에서는 첫 번째 적분기의 표본화 캐패시턴스 크기를 1 [pF]으로 설정하였다. 나머지 단의 캐패시턴스는 캐패시터 제조 시 발생하는 캐패시터의 부정합을 고려하여 1 : 0.9 : 0.75 : 0.45 스케링에 의하여 표본화 캐패시턴스를 결정하였다. 그림 4는 그림 3을 이용한 SOSOC Σ - Δ 변조기 회로도이며 표 3은 그림 1(b)에서 기준전압을 0.85 [V], 아날로그 계수 i_1, k_{11} 을 각각 0.5, 3 일 때 최대 SNR을 얻을 수 있는 이득계수 값에 대한 캐패시턴스 정리하였다.



(a) OSR에 대한 SNR



(b) FFT 결과

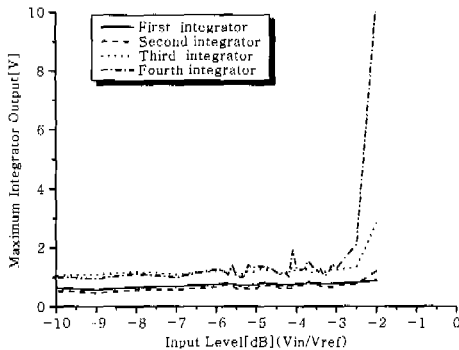
그림 5. SOSOC Σ - Δ 변조기 특성

그림 5(a)는 표 3의 이득계수를 갖는 비이상성이 첨가되지 않은 모델링에서 OSR을 8에서 32까지 변화하면서 SNR을 조사한 결과이다. OSR이 증가함에 따라 SNR은 일정하게 증가하며 12-비트 해상도를 만족하기 위해서는 OSR은 최소 24 이상이어야 함을 알 수 있다. 그림 5(b)는 OSR을 25로 고정하여 이상적인 모델에서 ± 0.5 [V]인 781.25 [kHz] 신호에 대한 FFT 결과를 나타낸 것이다.

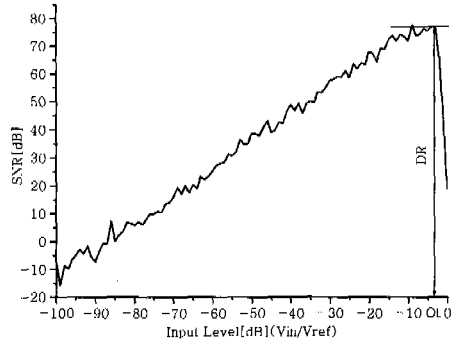
III. 비이상성에 따른 SOSOC Σ - Δ 변조기의 성능 변화에 대한 조사

1. 증폭기의 최대 출력 범위 제한

SC 적분기의 이득계수는 표본화 캐패시턴스와 적분 캐패시턴스의 비로 이득계수가 결정되기 때문에 큰 이득계수를 갖는 적분기의 경우 적분기의 출력이 증폭기의 출력범위에 제약을 받는다. 큰 입력 신호에 대한 적분기의 출력이 포화되는 경우를 피하기 위하여 이득계수를 적절히 조절할 필요성이 있다. 이러한 신호의 조절의 근본적인 목적은 Σ - Δ 변조기를 이루고 있는 각 단의 SC 적분기 출력이 포화 없이하여 변조기 OL을 최대로 하여 최대 SNR을 유지하기 위함이다. 본 논문에서는 증폭기의 최대 선형 출력범위를 회로 레벨에서의 증폭기를 고려하여 증폭기 출력 단의 NMOS 트랜지스터의 오버드라이브(overdrive) 전압을 약 0.3 [V], PMOS 트랜지스터의 오버드라이브 전압을 0.4 [V]하여 공급전압 3.3 [V]에서 0.65 [V] ~ 2.65 [V]로 출력범위로 규정하였다. 그림 6(a)에서 SOSOC Σ - Δ 변조기의 입력신호 레벨이 -3 [dB](0.6 [V]) 이하부터 각 단의 적분기 출력이 증폭기의 최대 출력 범위인 1 [V]내에 일정하게 출력을 나타냈다.



(a) 각 단 적분기의 최대 출력



(b) OL과 DR

그림 6. 입력신호 레벨에 대한 특성

그림 6(b)은 출력범위를 ± 1 [V]로 제한한 후, 입력 레벨에 따른 SNR과 DR(Dynamic Range), OL를 조사한 결과이다. SNR은 -5 [dB](0.5 [V]) 근처에서 75 [dB], DR는 OL 지점(-3 [dB])에서 약 78 [dB]가 관측되었다.

2. 증폭기의 유한한 이득에 대한 영향

증폭기의 유한한 이득은 적분기의 전달함수에서 이득과 극점오차를 동시에 유발한다. 이러한 오차들은 첫 번째 단의 적분기에 큰 영향을 끼친다. 만약에 이상적인 증폭기를 이용하여 Σ - Δ 변조기를 구현한다면 첫 번째 단에서 발생하는 양자화 오차를 완전히 제거될 수 있으나 실제로 증폭기의 이득이 유한하여 적분기의 극점들이 단위원 내에서 추이(shift)되기 때문에 단과 단 사이에서 양자화 오차에 의한 잡음누설이 초래되어 최종 출력 단에 양자화 오차에 의한 잡음이 출력된다. 그림 7은 증폭기의 유한한 이득에 대한 영향을 결정하기 위하여 각 단의 적분기의 출력범위를 ± 1 [V]로 제한한 후, 입력크기를 ± 0.5 [V]를 인가하여 증폭기 이득에 따

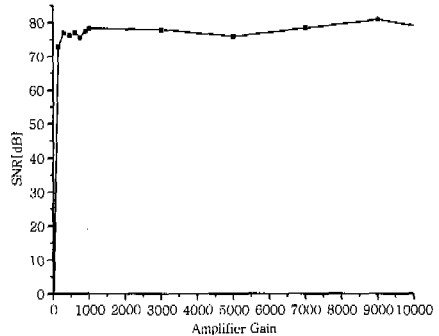


그림 7. 증폭기 이득에 따른 SNR

른 SNR 변화를 조사한 결과이다. 사양조건을 만족하기 위해서는 증폭기의 이득은 최소 50 [dB] 정도면 12-비트를 만족시킬 수 있으나 회로 구현 시 다른 비이상성에 대한 여유를 위하여 증폭기의 이득을 본 논문에서는 80 [dB]로 설정하였다.

3. 유한한 페루프 극점의 영향

적분기의 이득과 극점오차를 초래하는 또 다른 비이상성은 증폭기 유한한 페루프 극점이다. 그림 8은 SC 적분기의 입력측 기생 캐패시터, 출력측 기생 캐패시터를 각각 1 [pF]으로 설정한 후, 증폭기 이득을 80 [dB]인 상태에서 페루프 극점과 관계된 transconductance를 변화하여 페루프 극점 따른 변조기의 성능을 조사한 결과 식 (3)과 같은 관계를 얻었다.

$$f_{pole} > 4f_s \quad (3)$$

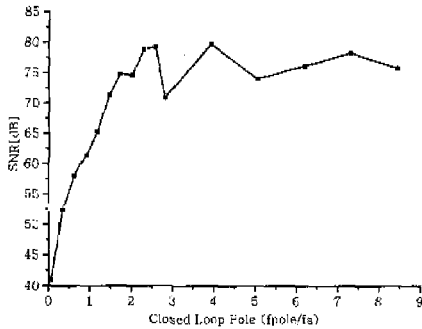


그림 8. 적분기 페루프 극점에 따른 SNR

이 관계에서 페루프 극점 주파수가 200 [MHz] 이상을 만족되어야 함을 알 수 있다. 이때의 각 단의 캐패시턴스는 표 3에 표기된 값을 이용하였다.

4. 스위치 저항

앞에서 이용된 모델들은 스위치 저항을 고려하지 않은 상태의 모델이다. 이들 모델에서는 표본과 적분 캐패시터에 전하 재분포가 동시에 일어난다고 가정했기 때문에 영이 아닌 스위치 저항을 추가할 경우 전하전송은 RC 시정수에 의하여 결정되기 때문에 이득과 극점오차에 영향을 준다.

그림 9는 증폭기 이득 80 [dB], 페루프 극점 주파수 200 [MHz]에서 스위치 저항의 변화에 따른 SNR의 결과이며 다음과 같은 결과를 얻을 수 있다.

$$\frac{1}{2\pi RC_s} > 4f_s \quad (4)$$

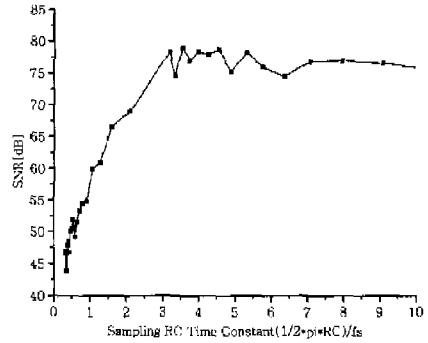


그림 9. 표본화 시정수에 따른 SNR

SNR이 72 [dB]을 만족하기 위해서는 첫 단의 첫 번째 SC 적분기의 샘플링 캐패시터의 양쪽의 스위치의 온 저항이 390 [Ω]보다 작아야 한다.

5. 유한한 SR에 대한 영향

SC 적분기에서 구성된 변조기에서 SR이 충분치 못 할 경우 고주파 왜곡(harmonic distortion)이 발생된다. 비록 SR이 충분할지라도 캐패시터의 충전은 지수적인 특성을 갖기 때문에 오차가 발생된다. 그림 10은 증폭기 이득 80 [dB], 페루프 극점 200 [MHz], 스위치 저항 390 [Ω] 일 때 SR에 따른 SNR의 변화를 조사한 결과이며 식 (5)과 같은 결과를 얻었다. 이는 기준전압 0.85 [V]에 대하여 증폭기의 SR이 대략 255 [V/μs]보다 커야 함을 의미한다.

$$\frac{SR}{V_{ref}} > 6f_s \quad (5)$$

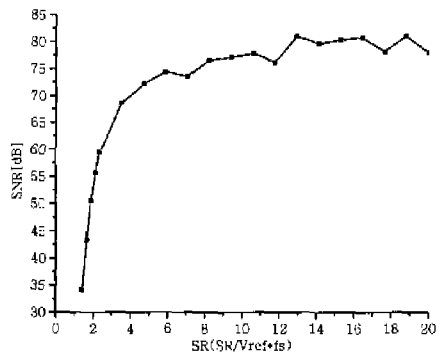


그림 10. SR에 따른 SNR

6. 캐패시터 부정합에 의한 적분기 이득오차에 대한 영향과 비이상성의 허용범위

Σ-Δ 변조기에서 사용되는 적분기는 증폭기와 캐패시터 및 스위치로 구성된 SC 적분기이다. 적분기의 이득은 표본화 캐패시턴스와 적분 캐패시턴스의

비에 의하여 이득이 결정된다. 제조 공정시 캐패시터의 값은 오차를 가지게 되며 이 오차는 SC 적분기의 이득의 변화를 초래한다.

그림 11은 앞에 조사한 각종 비이상성을 이상적인 모델링에 적용하여 각 단의 캐패시터의 부정합에 대한 적분기 이득 캐패시터 부정합에 의하여 이득 계수가 이상적인 경우보다도 감소 할 경우 입력 신호가 감소하여 SNR이 감소되며 이득계수가 증가

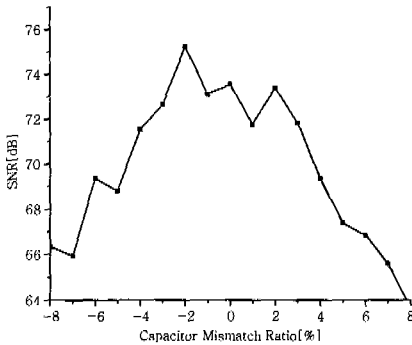
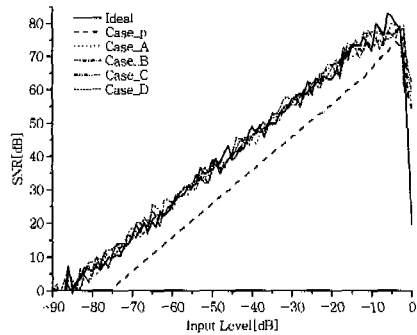


그림 11. 캐패시터 부정합율에 따른 SNR

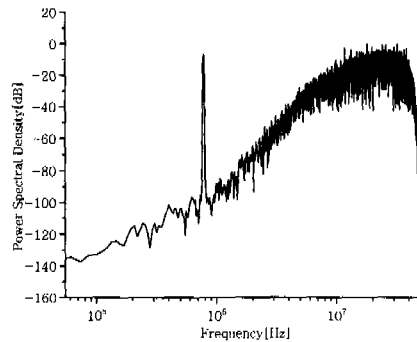
할 경우 증폭기의 출력에 포화현상이 발생하여 급격하게 SNR이 감소되므로 12-비트 해상도를 얻기 위한 캐패시터의 부정합율은 ± 3 [%]로 조사되었다. 표 4는 $\Sigma-\Delta$ 변조기 회로 구현과 제조 과정에서 발생 될 수 있는 비이상성 변화에 대하여 사양조건을 만족 할 수 있는 비이상성 허용범위를 정리하였다. 표 4의 음영이 있는 경우는 이제까지 조사한 비이상성 범위를 규정한 것이다. 나머지의 비이상성의 범위 경우는 증폭기 이득 80 [dB], 증폭기 최대 출력 범위를 ± 1 [V]로 동일하게 한 후, 페루프 극점, 스위치 저항에 대한 시정수, SR을 일정하게 변

화여 각각의 경우에 대한 캐패시터 부정합 범위와 입력 레벨 -5 [dB]에서의 SNR을 조사했다.

그림 12(a)는 이상적인 SOSOC $\Sigma-\Delta$ 변조기와 표 4에 나열된 비이상성이 적용된 SOSOC $\Sigma-\Delta$ 변조기에 대하여 입력 레벨에 따른 SNR을 비교한 결과이다. 12-비트 해상도를 만족하기 위해서는 표 4에 나열된 바와 같은 최소의 비이상성 범위로 규정 할 수 있으며 그림 12(b)와 같은 FFT 결과를 나타냈다.



(a) 비이상성에 따른 SNR



(b) FFT 결과(최소 허용범위)

그림 12. SOSOC $\Sigma-\Delta$ 변조기 특성

표 4. 비이상성 범위의 SNR

error factors classifications	closed-loop pole frequency	sampling time constant	SR	capacitor mismatch	SNR[dB]
Case_P	$f_{pole} > 4f_s$	$\frac{1}{2\pi RC_s} > 4f_s$	$\frac{SR}{V_{ref}} > 6f_s$	$\pm 3\%$	73
Case_A	$f_{pole} > 5f_s$	$\frac{1}{2\pi RC_s} > 5f_s$	$\frac{SR}{V_{ref}} > 7f_s$	-4% ~ +5%	78
Case_B	$f_{pole} > 6f_s$	$\frac{1}{2\pi RC_s} > 6f_s$	$\frac{SR}{V_{ref}} > 8f_s$	-5% ~ +2%	75
Case_C	$f_{pole} > 7f_s$	$\frac{1}{2\pi RC_s} > 7f_s$	$\frac{SR}{V_{ref}} > 9f_s$	-5% ~ +2%	77
Case_D	$f_{pole} > 8f_s$	$\frac{1}{2\pi RC_s} > 8f_s$	$\frac{SR}{V_{ref}} > 10f_s$	-5% ~ +3%	77

