

중재 지연 내성을 가지는 입력 큐 스위치의 다중 큐 관리기 구조

정회원 정갑중*, 이범철**

Architecture of Multiple-Queue Manager for Input-Queued Switch Tolerating Arbitration Latency

Gab Joong Jeong*, Bhum-Cheol Lee** *Regular Members*

요 약

본 논문은 입력 버퍼와 중앙 중재기 사이에 중재 정보 전달 지연을 갖는 고속 셀/패킷 스위치에 적용된 다중 입력 큐 관리기의 구조 및 Chip 설계 기법을 제안한다. 제안된 다중 입력 큐 관리기의 구조는 wire-speed 셀/패킷 라우팅을 지원하고 입력 버퍼와 중앙 중재기 사이의 중재 정보 전송 지연에 대한 내성을 지원한다. 고속 쉬프터를 사용한 새로운 요청 신호 관리 방법을 사용하여 중재 정보 전송 지연에 대처하며 그로 인한 전체 스위치의 성능 향상을 제공한다. 제안된 다중 입력 큐 관리기는 FPGA Chip을 이용하여 구현되었으며 포트 당 OC-48c 속도를 지원한다. 본 다중 입력 큐 관리기를 이용하여 16x16 스위치 크기와 입력 포트 당 128 셀 공유 버퍼를 가지는 입력 큐 스위치 시스템에서 최대 98.6%의 성능을 가지는 40Gbps의 스위치 시스템을 개발하였다.

ABSTRACT

This paper presents the architecture of multiple-queue manager for input-queued switch, which has arbitration latency, and the design of the chip. The proposed architecture of multiple-queue manager provides wire-speed routing with a pipelined buffer management, and the tolerance of requests and grants data transmission latency between the input queue manager and central arbiter using a new request control method, which is based on a high-speed shifter. The multiple-input-queue manager has been implemented in a field programmable gate array chip, which provides OC-48c port speed. It enhances the maximum throughput of the input queuing switch up to 98.6% with 128-cell shared input buffer in 16x16 switch size.

I. 서론

입력 버퍼 스위치 구조는 스위치의 각 입력 포트에 단일 버퍼나 다중 버퍼를 가지게 하는 방식으로 나눌 수 있다. 입력 버퍼 스위치이면서 입력 포트 당 단일 버퍼를 가지는 구조는 지연 셀 또는 데이터 패킷을 단일 FIFO 큐 또는 다중 FIFO 큐에 저장한다. 단일 FIFO 큐를 가지는 입력 버퍼는 모든 셀을 목적 출력 포트에 관계없이 단일 큐에 저장하며 단일 큐의 head 셀만이 현재 전송 시간 슬롯에

전송 가능하며 매 전송 슬롯 당 하나의 셀만이 전송된다. 따라서 단일 입력 큐의 head 셀이 전송되자 하는 목적 출력 포트가 다른 포트의 셀을 출력하기 위해 이미 할당 되어 있을 때 해당 출력 셀은 전송되지 못하고 차단되나 같은 큐에 저장된 차단된 셀의 뒤에서 대기하는 셀은 head-of-line(HOL) 차단을 경험한다. 본 방식은 스위치의 최대 성능이 58.6%로 한정된다¹⁾.

입력 버퍼 스위치의 성능을 향상시키기 위해 단일 입력 버퍼 내에 다중 입력 큐를 관리하는 방식

* 경주대학교 컴퓨터전자공학부(gjjeong@kyongju.ac.kr),
논문번호 : 010144-0616, 접수일자 : 2001년 6월 16일

** 한국전자통신연구원 네트워크기술연구소

이 개발되었다^[2,3]. 대표적으로, 모든 입력 버퍼 내에 각 출력 포트에 대응하는 큐를 두는 방식의 다중 가상 출력 큐를 관리 함으로써 모든 가상 출력 큐에 대기 셀이 있을 때 모든 입력 버퍼들 내의 각 가상 출력 큐의 head 셀은 동일한 출력 포트로의 전송 가능 셀이 된다. 이러한 방식이 가상 출력 큐(virtual output queue: VOQ) 방식이다. 가상 출력 큐 방식에서 각 큐의 head 셀은 해당 입력 버퍼 내에서 전송 가능하나 단지 전체 셀 중에서 하나의 전송 시간 슬롯 당 하나의 셀 만 해당 버퍼에서 전송 가능하다.

많은 입력 버퍼가 각각 현재 전송 시간 슬롯에서 다중으로 하나의 출력 포트로 셀을 전송하고자 하는 경우에 하나의 출력 포트는 하나의 입력 포트로부터 셀을 전송할 수 밖에 없으므로 모든 입력 버퍼들에게 공정한 전송 기회를 할당하기 위한 스케줄링 알고리즘이 필요하다. 셀을 전송하고자 하는 입력 포트들에게 매 전송 시간 슬롯마다 충돌이 없도록 출력 포트를 할당하는 중앙 중재기는 매 슬롯마다 계산량이 매우 많고 복잡할 수 밖에 없으며 스위치의 성능에 많은 영향을 미친다. 따라서 HOL 차단 현상을 가지는 입력 버퍼 스위치에서 스위치의 성능을 높이기 위해 더욱 향상된 스케줄링 알고리즘들이 연구되어 왔다^[4,5]. 그러나 기존의 연구들에서 셀 스케줄링 시 입력 버퍼와 중앙 중재기 사이의 요구 및 허가 정보의 전달 시에 발생하는 전송 지연에 대한 연구는 깊이 있게 고려되지 않았다. 중재 정보의 전송 지연은 ATM과 같이 고속의 짧은 셀 전송을 필요로 하는 응용 시스템에서는 매우 중요한 문제가 되며 대용량 스위치 시스템을 위한 기가 비트 직렬 전송 방식을 이용할 경우 스위치의 성능에 매우 중요한 영향을 끼친다.

본 논문에서는 중재 정보의 전송 지연 을 가지는 고속 입력 큐 방식의 셀/패킷 스위치 시스템에서 전송 지연을 고려한 다중 입력 큐 관리기의 구조 및 설계와 스위치의 성능 향상에 대해 연구하였다. 본 논문에서 제안된 다중 입력 큐 관리기는 가상 출력 큐의 동적 할당을 지원하고 파이프라인 방식의 큐 관리를 이용한 wire-speed 라우팅을 지원한다. 단일 공유 버퍼를 이용한 다중 큐의 동적 할당은 버퍼 내의 필요 메모리의 크기를 줄이면서 성능을 향상시키고 본 논문에서 제안된 고속 쉬프트 방식을 이용한 전송 요청 정보의 관리는 전체 스위치 시스템의 성능 향상을 가져온다.

II. 입력 큐 방식 스위치 구조

본 논문에서는 입력 버퍼 내에 각 출력 포트 당 큐를 가지는 독립된 가상 출력 큐를 관리하는 입력 큐 방식 스위치 구조를 사용한다. 그림 1에 전체 스위치의 구조와 중재 요청 FIFO의 구조를 나타내었다. 각 가상 출력 큐 당 본 논문에서 제안된 요청 FIFO(request FIFO)를 할당하였다. 입력 버퍼 내의 요청 FIFO는 각 가상 출력 큐의 중재 요청이 이루어진 head 셀에 대한 다중 요청 비트를 저장한다. 그리고 중앙 중재기에서는 중재에서 탈락된 모든 입력 버퍼의 모든 가상 출력 큐에 대한 요청 신호를 저장하는 요청 FIFO를 관리한다. 중앙 중재기의 요청 FIFO에 저장된 요청 신호는 다음 중재 시에 연속적인 중재가 이루어진다. 본 논문에서 연구된 스위치 구조는 중재 정보 전송 지연에도 불구하고 입력 버퍼의 각 가상 출력 큐의 새로운 head 셀을 위한 연속적인 중재 요청 신호의 전송을 가능하게 하고 각 입력 버퍼로의 연속적인 허가 신호 전송을 가능하게 한다.

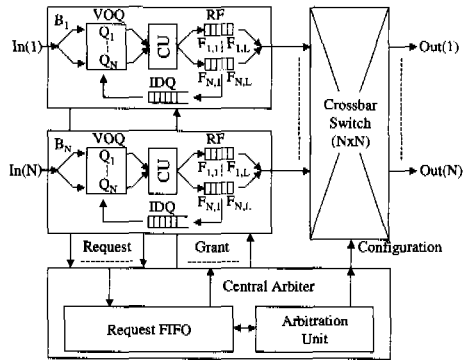


그림 1. 스위치 구조

III. 제안된 다중 입력 큐 관리기

제안된 구조의 다중 큐 관리기는 기능적으로 입력 셀 쓰기 기능, 출력 셀 읽기 기능, 폴링싱 기능, 요청 FIFO 관리 기능으로 나누어진다. 각 기능 블록은 파이프라인 방식으로 연결되고 wire-speed 라우팅을 저 가격으로 설계 가능하게 한다. 그림 2에 제안된 다중 큐 관리기의 전체 구조를 나타내었다. 제안된 다중 큐 관리기의 전체 블록은 다중 큐 관리 모듈(VOQ), 자유 큐 관리 모듈(idle queue: IDQ), 폴링싱 모듈(policing module: PM), 읽기 포

인터 관리 모듈(read pointer manager: RPM), 쓰기 포인터 관리 모듈(write pointer manager: WPM), 입력 셀 쓰기 모듈(incoming cell write: ICW), 출력 셀 읽기 모듈(outgoing cell reader: OCR) 그리고 요청 신호 관리 모듈(request FIFO controller: RFC)로 나누어진다. 그 외에 시스템 인터페이스를 위한 CSIX(common switch interface) 모듈(cell framer: CF), 기가비트 인터페이스 모듈(gigabit data interface: GDI), back-pressure 관리 모듈(back-pressure controller: BPC) 및 프로세서 인터페이스 모듈(processor interface: PI)이 있다. 제안된 다중 큐 관리기는 외부의 듀얼 포트 싱크로너스 메모리(dual port synchronous SRAM)를 포인터 메모리(ingress pointer memory: INPM)와 버퍼 메모리(ingress buffer memory: INBM)로 사용한다.

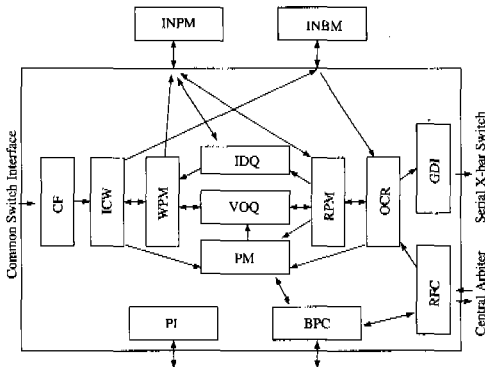


그림 2. 제안된 다중 큐 관리기 구조

요청 신호 관리 모듈은 요청 신호 저장을 위해 각 가상 출력 큐에 대응하는 FIFO 레지스터로 구성되어 있으며 중앙 중재기와 통신한다. 또한 가상 출력 큐와 요청 FIFO의 상태에 따라 요청 신호의 생성 및 소거 기능을 수행한다. 요청 신호의 생성 및 소거 알고리즘은 가상 출력 큐에 하나 이상의 대기 셀이 저장되어 있고 해당 가상 출력 큐에 대응하는 요청 FIFO 레지스터의 첫 번째 요소가 유효 요청 신호가 아닐 때 하나의 유효 요청 신호를 발생시킨다. 그리고 발생된 요청 신호는 중앙 중재기로 보내짐과 동시에 해당 요청 FIFO 레지스터에 저장된 기 발생된 요청 신호를 쉬프트 시키면서 마지막 요소에 현재 발생된 요청 신호를 저장한다. 요청 신호가 발생된 후 해당 가상 출력 큐의 길이는 1 감소한다.

따라서 요청 신호 관리 모듈 내의 각 가상 출력 큐의 길이는 폴링 모듈 내의 가상 출력 큐의 길

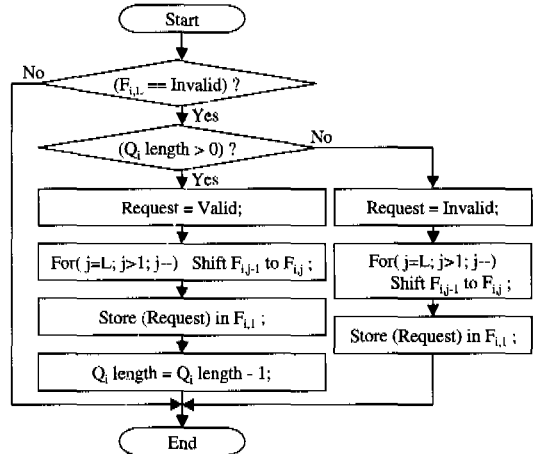


그림 3. 요청 신호 관리 알고리즘 (F: request FIFO element, i: number of output queue, j: number of request bit)

이 보다 요청 FIFO에 저장된 유효 요청 신호 수 만큼 작은 값을 저장하고 있다. 요청 신호 관리 모듈 내의 가상 출력 큐 길이가 0이고 요청 FIFO의 첫번째 요소가 유효 요청 신호가 아니면 요청 신호 관리기는 무효 요청 신호(invalid request)를 생성하며 동시에 요청 신호 FIFO 내에 저장된 기 발생 요청 신호를 쉬프트 시킨다. 그리고 요청 신호 FIFO의 첫번째 요소가 유효 요청 신호이면 각 가상 출력 큐에 대기 셀이 있다 하더라도 더 이상의 요청 신호를 발생 시키지 않는다. 그림 3에 본 논문에서 제안된 고속 쉬프터를 사용한 요청 신호 관리 알고리즘을 흐름도로 나타내었다.

중앙 중재기로부터 입력 버퍼로 하나의 허가 신호와 출력 포트 번호가 도달하면 입력 버퍼 내의 요청 신호 관리 모듈은 허가된 출력 포트에 해당하는 요청 신호 FIFO에 저장되어있는 요청 신호 중 가장 오래 대기한 요청 신호를 삭제하며 전송 허가된 출력 포트 번호를 출력 셀 읽기 모듈로 전달한다. 출력 셀 읽기 모듈은 허가된 출력 포트 번호를 읽기 포인터 관리 모듈과 폴링 모듈로 전송하고 읽기 포인터 관리 모듈로부터 입력 받은 출력 셀 주소를 이용해 데이터 버퍼 메모리로부터 출력 셀을 읽는다. 읽기 포인터 관리 모듈은 현재 가상 출력 큐 모듈의 선택된 포트의 큐를 포인터 버퍼 메모리로부터 추출된 다음 셀 주소를 이용해 갱신한다. 이와 같은 데이터 버퍼 메모리와 포인터 버퍼 메모리로부터 하나의 셀을 읽기 위한 파이프라인 방식의 포인터 주소 데이터 흐름을 그림 4에 나타내었다.

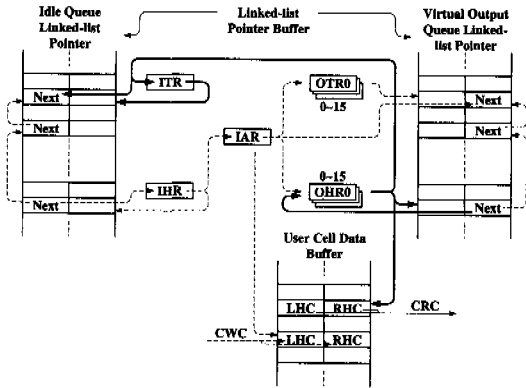


그림 4. 출력 셀 읽기 시의 포인터 데이터 패스 (OHR: output queue head register, OTR: output queue tail register, IHR: idle queue head register, ITR: idle queue tail register, IAR: idle address register, LHC: left half cell, RHC: right half cell, CWC: current writing cell, CRC: current reading cell)

읽기 포인터 관리 모듈은 현재 출력 셀이 멀티캐스트 셀인 경우 현재 출력 셀의 주소를 가상 출력 큐 관리 모듈 내의 다음 목적 출력 포트 큐에 다시 저장한다. 새로운 도착 셀에 대해서는 입력 셀 쓰기 모듈이 쓰기 포인터 관리 모듈로부터 새로운 쓰기 셀 주소를 받아 셀 버퍼 메모리에 저장하며 동시에 쓰기 포인터 관리 모듈은 현재 도착 셀의 목적 출력 포트에 해당하는 가상 출력 큐의 포인터를 현재 도착 셀이 저장될 새로운 쓰기 주소로 갱신한다. 그림 5에 새로운 도착 셀의 처리를 위한 파이프라인 방식 포인터 데이터의 흐름을 나타내었다. 요청 신호 관리 모듈은 back-pressure 관리 모듈을 통해 새로운 입력 셀의 도착 정보와 멀티캐스트 셀의 다음 목적 출력 포트 정보를 입력 받아 전체 가상 출력 큐의 상태를 관리한다. 그림 6에 셀 읽기, 쓰기 및 멀티캐스트 셀 처리를 포함하여 가상 출력 큐와 자

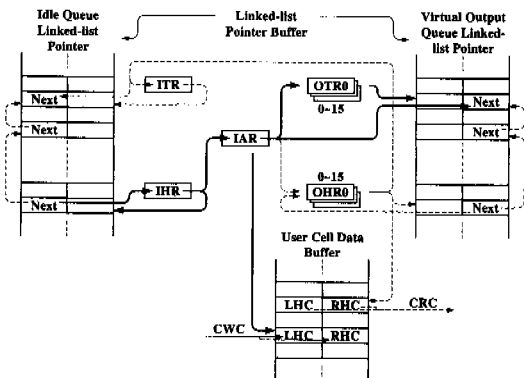


그림 5. 입력 셀 쓰기 시의 포인터 데이터 패스

유 큐가 하나의 이중 포트 싱크로너스 SRAM인 포인터 버퍼 및 또 하나의 데이터 버퍼 메모리를 완전 공유하는 전체 포인터 데이터의 흐름을 나타내었다.

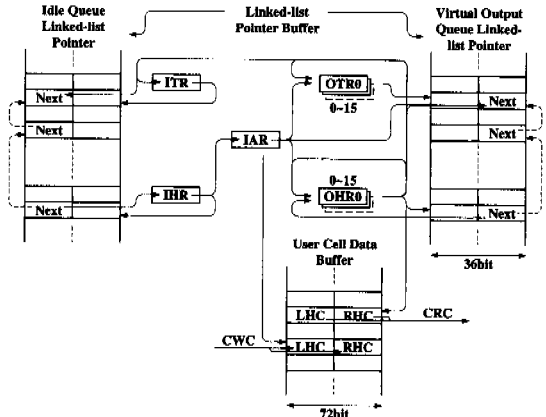


그림 6. 제안된 다중 큐 관리기의 전체 포인터 데이터 패스

IV. 성능 시뮬레이션

본 논문에서 제안된 방식의 다중 큐 관리기를 이용한 입력 큐 방식 스위치 시스템의 향상된 성능을 컴퓨터 시뮬레이션을 통하여 검증하였다. 설계된 파이프라인 방식 다중 입력 큐 관리기를 이용하여 파이프라인 동작에 의한 스위치 성능의 향상을 컴퓨터 시뮬레이션을 통하여 검증하기 위해 중앙 중재기의 중재 알고리즘은 잘 알려진 2DRR과 iSLIP의 두 가지 알고리즘을 이용하였다^[3,4]. 그림 7에 균일 분포 포아송 도착(identically distributed Poisson arrivals)에 대하여 2DRR과 iSLIP 알고리즘을 이용해 본 논문에서 제안된 파이프라인 방식의 중재 정보 전송 지연이 있는 스위치와 기존의 중재 정보 전송 지연이 없는 스위치의 성능을 비교하였다.

본 논문에서 제안된 고속 쉬프트 방식을 이용한 중재 정보 전송 지연 처리 방식에서 2DRR 및 iSLIP 중재 알고리즘 모두 현저한 스위치의 성능 향상을 나타내었다. 다중 요청 신호에 대한 파이프라인 방식을 사용하지 않은 중재 방식의 스위치 성능을 확인한 결과 16x16 스위치 크기에서 각 입력 포트의 공유 버퍼 크기가 128 셀일 때 2DRR이 68.8%를 나타내었고 iSLIP은 91.7%를 나타내었다. 중재 정보 전송 지연이 있는 구조의 스위치에서 위와 같은 128 셀 공유 입력 버퍼를 사용하고 본 논문에서 제안된 파이프라인 방식의 다중 큐 관리기

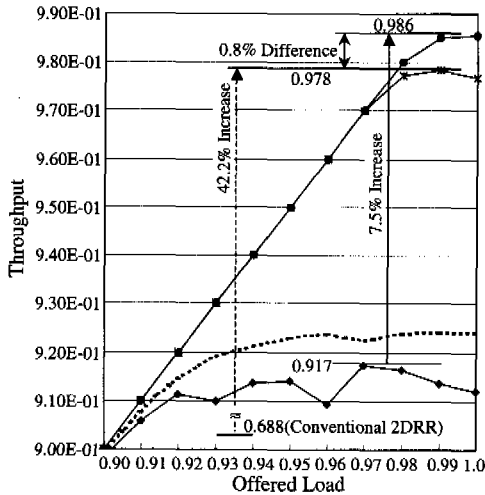


그림 7. 균일 분포 포아송 도착에 대하여 중재 정보 전송 지연을 가지는 제안된 방식과 기존 방식의 스위치 성능 비교(switch size: 16x16, input buffer size: 128-cell, request latency: 1 timeslot, grant latency: 1 timeslot).

- Pipelined iSLIP (3-iteration and 2-bit request FIFO).
- *- Pipelined 2DRR (2-bit request FIFO).
- ◆- Conventional iSLIP (3-iteration).
- M/D/1 queuing (128-cell shared buffer).

를 적용한 경우 최대 스위치 성능이 2DRR은 97.8%로 증가하였고 iSLIP은 98.6%로 증가하였다. 즉 컴퓨터 시뮬레이션을 통해 128 셀 입력 공유 버퍼 크기를 가지는 다중 입력 큐 관리기는 균일 분포 포아송 도착에 대하여 2DRR 중재 알고리즘을 사용할 경우 42.2%의 포화 스위치 성능 향상을 나타냈었고 iSLIP 중재 알고리즘을 사용할 경우 7.5%의 성능 향상을 나타내었다. 위 시뮬레이션에 적용된 중재 정보 전송 지연은 요청 신호 전송 지연이 1 셀 슬롯 그리고 허가 신호 전송 지연이 1 셀 슬롯인 경우이며 요청 FIFO의 길이는 2이다.

본 연구에서의 성능 검증은 여러 경우의 중재 정보 전송 지연과 요청 FIFO 길이에 대한 컴퓨터 시뮬레이션을 수행하였다. 시뮬레이션 결과에 의하면 중재 정보 전송 지연이 있는 스위치의 최대 성능은 전송 지연이 요청 신호와 허가 신호가 각각 1 셀 슬롯일 때임을 확인하였으며 또 각 중재 정보 전송 지연에 대해 요청 FIFO의 길이는 요청 신호 전송 지연과 허가 신호 전송 지연의 합 일 때 최대의 성능을 나타내었다. 중재 정보 전송 지연이 요청 및 허가 신호 전송에서 각각 1 셀 슬롯이고 요청 FIFO의 길이가 두 전송 지연의 합보다 큰 경우 제한된 공유 입력 버퍼 크기에서 과부하시에 약간의 성능 저하가 있는 것으로 나타났다. 중재 정보 전송

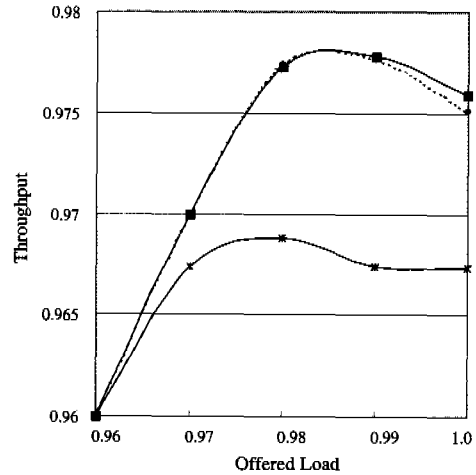


그림 8. 균일 분포 포아송 도착에 대한 2DRR 알고리즘과 제안된 다중 큐 관리 방법에서의 중재 정보 전송 지연과 요청 FIFO 길이에 대한 성능 비교(switch size: 16x16, input buffer size: 128-cell, request latency: 1 timeslot, grant latency: 1 timeslot).

- 2-bit request FIFO.
- 3-bit request FIFO.
- *- 1-bit request FIFO.

지연이 요청 및 허가 신호에서 1 셀 슬롯 이상이고 요청 FIFO 길이가 각 전송 지연의 합보다 작을 때 스위치의 성능은 감소되기 시작한다. 그림 8에 균일 분포 포아송 도착에 대하여 중재 정보 전송 지연과 요청 신호 FIFO 길이에 따른 성능저하를 나타내었다. 그리고 제안된 요청 신호 쉬프트 방식의 다중 큐 관리기를 사용할 경우와 문헌 [5]에서 기 발표된 요청 신호 카운트 방식의 입력 큐 스위치의 최대 성능은 2DRR 및 iSLIP 중재 알고리즘들에 대해 비슷한 성능을 나타내었다⁶⁾.

V. 설계된 CHIP의 특성

본 논문에서 제안된 다중 입력 큐 관리기는 FPGA를 이용하여 설계 및 구현하였다. 표 1에 설계된 다중 입력 큐 관리기의 특성을 나타내었다. 설계된 chip의 최대 클럭 속도는 77MHz이고 주 시스템 클럭 속도는 62.5MHz이다. 동기식 dual-port SRAM을 사용하여 설계된 INBM(ingress buffer memory) 및 INPM(ingress pointer memory) 블록과의 인터페이스 데이터 폭은 72bit 및 36bit이다. 다중 입력 큐에 저장되는 데이터 패킷 셀의 크기는 640bit이고 큐를 구성하는 포인터 패킷 셀의 크기는 64bit이다. 예상 소비 전력은 13.2W이고 각 포트 당 최대 데이터 전송 속도는 5Gbit/s이다.

설계된 다중 입력 큐 관리기는 OC-48c의 포트 속도를 지원하며 직렬 크로스바 스위치를 사용하는 초고속 백본 네트워크의 코어 ATM 스위치 시스템에서 기능 및 동작을 검증하였다. 설계된 다중 입력 큐 관리기는 개발된 스위치 시스템의 입력 포트 버퍼 관리기(ingress port manager) 뿐만 아니라 출력 포트의 버퍼 관리기(egress port manager)에도 동시에 사용하여 스위치 시스템 개발에 적용하였다. 또한 다중 입력 큐 관리기의 입력 데이터 형식은 CSIX(common switch interface) 데이터 패킷을 수용하도록 설계하였으며 CSIX를 이용하여 스위치 패브릭(switch fabric) 외부의 상용 입력 및 출력 포트 프로세서와 연동하였다.

표 1. 설계된 다중 입력 큐 관리기의 CHIP 특성

FPGA device	XCV100E6	INM data bus width	72bit
package	90pin FGA	buffered cell size	64bit
I/O	LVTTL	INP data bus width	36bit
used I/O	62pin	managing pointer packet size	64bit
estimated power dissipation	13.2W	experimental operating freq.	62.5MHz
equivalent gate count	300K	experimental port speed	OC-48c (2.5G)
CL usage	40%	experimental switch size	16x16
max. operating freq.	77MHz	experimental one cell time	160ns
max. bit rate per port	5Gbit/s	aggregated switch throughput	40Gbit/s

VI. 결론

본 논문에서는 입력 큐 구조의 고성능 셀/패킷 스위치를 위한 새로운 고속 다중 입력 큐 관리기의 구조를 제안하고 설계 및 기능 검증을 하였다. 설계된 큐 관리기는 파이프라인 방식을 이용한 wire-speed 라우팅을 지원하고 저 가격의 고속 다중 입력 큐 관리를 구현할 수 있게 하였다. 또한 제안된 다중 큐 관리기 구조는 대용량 ATM 스위치에서와 같은 고속 스위치 패브릭에서 나타나는 입력 버퍼와 중앙 중재기 사이에 존재하는 중재 정보 전송 지연을 새로운 요청 신호 쉬프트 방식으로 지원하며 파이프라인 방식의 라우팅에 의한 입력 스위치의 성능 향상을 지원하고 컴퓨터 시뮬레이션을 통해 이를 검증하였다. 설계된 다중 큐 관리기는 FPGA를 이용하여 Chip으로 구현되었으며 16x16 스위치 크기, OC-48c 포트 속도, 40Gbps의 용량을 가지는 백본용 코어 ATM 스위치 시스템에 실장되어 모든 기능 검증을 완료하였다.

참고 문헌

[1] H. Obara, S. Okamoto, and Y. Hamazumi,

"Input and output queueing ATM switch architecture with spatial and temporal slot reservation control," *Electronics Letters*, vol. 28, no. 1, pp. 22-24, Jan. 1992.

[2] N. McKewon, P. Varaiya, and J. Walrand, "Scheduling cells in an input queued switch," *Electronics Letters*, vol. 29, no. 25, pp. 2174-2175, 1993.

[3] R. O. LaMaire and D. N. Serpanos, "Two-dimensional round-robin schedulers for packet switches with multiple input queues," *IEEE/ACM Trans. Networking*, vol. 2, no. 5, pp. 471-482, 1994.

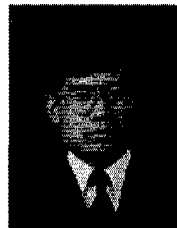
[4] N. McKeown, "The iSLIP scheduling algorithm for input-queued switches," *IEEE/ACM Trans. Networking*, vol. 7, no. 2, pp. 188-201, 1999.

[5] P. Gupta and N. McKeown, "Designing and implementing a fast crossbar scheduler," *IEEE Micro*, vol. 19, no. 1, pp. 20-28, 1999.

[6] G. J. Jeong, J. H. Lee, and B. C. Lee, "Design of pipelined routing engine for input-queued ATM switches," *Electronics Letters*, vol. 37, no. 2, pp. 137-138, Jan. 2001.

정갑중(Gab Joong Jeong)

정희원



1987년 2월 : 경북대학교
전자공학과 졸업
1989년 2월 : 경북대학교
전자공학과 석사
1999년 2월 : 연세대학교
전자공학과 박사

1989년 1월~1999년 3월 : 현대반도체 책임연구원

1999년 4월~2001년 2월 : 한국전자통신연구원
선임연구원

2001년 3월~현재 : 경주대학교 컴퓨터전자공학부
전임강사

<주관심 분야> VLSI, 초고속네트워크

이 범 철(Bhum-Cheol Lee)

정회원



1981년 2월 : 경희대학교

전자공학과 졸업

1983년 2월 : 연세대학교

전자공학과 석사

1997년 2월 : 연세대학교

전자공학과 박사

1983년~현재 : 한국전자통신연구원 네트워크기술연
구소, 고속스위치팀장

<주관심 분야> 통신시스템, 초고속네트워크