

# ISDN 시스템 통합 칩 설계 및 구현

정회원 이 제 일\*, 황 대 환\*, 소 운 섭\*, 김 진 태\*

## Design and Implementation of ISDN System On a Chip

Che-Il Lee\*, Dae-Hwan Hwang\*, Woon-sup So\*, Jin-Tae Kim\* *Regular Members*

### 요 약

본 논문은 ISDN(Integrated Services Digital Network)망에서 저가형 멀티미디어 통신 단말에 사용될 ISDN 시스템 통합 칩의 설계 및 구현에 관한 것이다. ISDN 시스템 통합 칩은 32비트 RISC 프로세서를 가진 단말용 ISDN 시스템 제어 칩으로서, ISDN S 인터페이스 송수신기를 포함하는 ISDN 통신망 접속기능, G.711 음성 코덱 기능 그리고, 데이터통신을 위한 PC 인터페이스 기능을 포함하는 ISDN 통신 단말에 필요한 모든 하드웨어 기능과 Q.931 호 제어 프로토콜을 포함하는 ISDN 프로토콜 및 인터넷 프로토콜 등을 내장하고 있다. 따라서 외부 부착 소자들을 최소화하여, ISDN 기본 속도 인터페이스(BRI : Basic Rate Interface)에 접속되는 ISDN 단말장치 또는 ISDN 터미널 정합장치의 구성 시 최적의 솔루션을 제공한다.

### ABSTRACT

This paper describes a design and implementation of ISDN system on a chip which provides ISDN service and used to develop a low-price multimedia communication terminal. This ISDN SOC is an ISDN system control chip which has 32bit RISC processor, and it includes ISDN S interface transceiver, G.711 voice CODEC, PC interface for data communication, ISDN protocol which includes Q.931 call control protocol and internet protocol. It provides good solution to develop ISDN terminal equipment and ISDN terminal adaptor which connected with basic rate interface, because it minimize external peripheral devices.

### I. 서 론

ISDN<sup>[1]</sup>은 기존의 동선을 이용하여 데이터를 전송하는 기술로서 ADSL과 달리 상 하향 전송속도가 동일하며, 일반 가입자에게 제공되는 BRI(Basic Rate Interface)는 2B+D 채널로 구성되어 D-채널은 호 접속 처리용 시그널링 채널로 사용하거나 저속의 데이터 통신에 활용되고 각각 64Kbps의 전송속도를 갖는 2개의 B-채널은 음성서비스 또는 데이터 서비스에 사용되며 2개의 B-채널을 같이 사용할 경우는 128Kbps의 데이터 서비스가 가능하다.

ISDN 사업이 부진한 국내시장과는 달리 유럽, 일본, 중국 등지에서는 최근 인터넷 사용자의 증가로 ISDN 사용자가 꾸준히 늘어나고 있는 추세이며

이들 가입자에게 하나의 ISDN 회선에 의해 2채널의 음성 서비스를 제공하거나 또는 최대 128Kbps 속도로 다양한 멀티미디어 데이터, 영상 서비스를 제공할 수 있게 하고 있다. 따라서 ISDN 시스템과 주변의 다양한 기능을 통합하여 보다 낮은 가격으로, 제품 개발을 더욱 용이하게 할 목적으로 ISDN 시스템 통합 칩을 개발하게 되었다.

ISDN 시스템 통합 칩은 프로세서모듈, ISDN 네트워크 접속 모듈, 음성 코덱 모듈, PC 인터페이스 모듈로 구성되어 있으며, 그림 1과 같이 ISDN S 인터페이스로 네트워크와 접속되고, UART 포트를 통해 PC와 연결되어 데이터 통신 기능을 제공하며, 송수화기를 접속하여 ISDN 전화 기능을 제공하며, TDM 인터페이스는 기존 전화 및 팩스의 접속을

\* 한국전자통신연구원 네트워크기술연구소 (cilee@etri.re.kr)

논문번호 : 010157-0627, 접수일자 : 2001년 6월 27일

※ 본 연구는 정보통신부 출연 "저가형 멀티미디어 통신단말 핵심기술 개발" 과제의 일환으로 수행되었습니다.

지원한다. 따라서 ISDN통합 칩을 사용하여 ISDN TE(Terminal Equipment), TA(Terminal Adapter)모드로 동작할 수 있다.

본 논문에서는 ISDN 망에서 저가형 멀티미디어 통신 단말에 사용하기 위한 ISDN 시스템 통합 칩의 구조 및 기능, 칩의 기능 검증에 위한 ISDN 시스템 통합 칩 보드와 소프트웨어의 구조에 대해 기술한다.

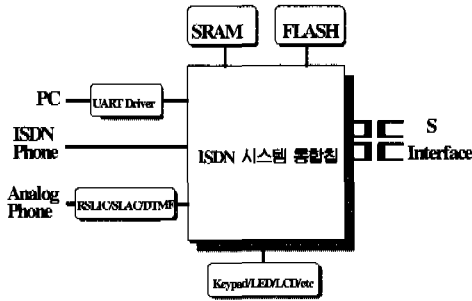


그림 1. ISDN 시스템 통합 칩의 주변 구성도

## II. 전체 구조 및 기능

ISDN 시스템 통합 칩은 ARM7 TDMI 코어 및 AMBA bus를 기반으로 S 인터페이스 송수신기, G.711 음성코덱, 그리고 PC 인터페이스를 위한 UART로 이루어지는 디지털 부분과 S 인터페이스 및 G.711 코덱의 AFE(Analog Front End)의 아날로그 부분을 하나의 칩으로 통합한 ISDN SOC (System On Chip)로서, 종래의 각각의 칩으로 구성되어 있던 S 인터페이스 송수신기, G.711 코덱, UART 기능들을 하나의 칩으로 구현하였다. 구현한 칩은 프로세서 부, 네트워크 인터페이스 부, 음성코덱 부, 그리고 PC 인터페이스 부로 구성되며, 3.3V 단일전원과 46MHz의 시스템 클럭을 사용한다. 그리고 160pin QFP 구조를 가지고, 저 전력 0.35um CMOS공정으로 제작되었다. 전체 구성은 그림 2와 같다.

ISDN 프로토콜 및 칩 내부 블록들의 제어를 위한 프로세서 모듈은 ARM사의 ARM7TDMI RISC 코어를 사용하였으며, 칩 내부의 시스템 버스는 AHB, APB dual 버스 구조를 갖는 AMBA<sup>[2]</sup> 버스를 사용하였다. 또한 칩 내부 제어를 위한 16채널 인터럽트 컨트롤러, 6채널 DMA 컨트롤러, 2 채널 프로그래머블 타이머 기능과 1 채널 watch dog 타이머, reset 제어기, 24비트 GPIO(General Peripheral I/O) 그리고 칩 기능 검증 및 디버깅을

위한 IEEE1149(JTAG)포트를 가지고 있으며, ROM, RAM등의 외부 메모리를 제어하기 위한 메모리 컨트롤러 기능을 가지고 있다.

ISDN 네트워크 인터페이스 모듈은 회선 인터페이스로서 ITU-T I.430<sup>[3]</sup>의 S 인터페이스를 제공한다. 또한 B-채널 사용자 데이터와 호 제어용 Q.931<sup>[4]</sup>/Q.921<sup>[5]</sup> 데이터를 포함하는 D-채널 데이터들에 대한 2B+1D HDLC 기능을 제공하고, 외부 칩 및 음성 코덱 등 여러 통로를 통해 입출력되는 미디어 데이터들과 호스트에서 전달되는 데이터들을 회선 인터페이스를 통해 외부와 접속하기 위한 B 채널 제어 기능 및 채널 데이터 다중화 기능을 포함하고 있다. 그리고 외부의 칩과의 접속을 위해 TDM 버스 인터페이스를 제공한다. 그림 3에서 S 인터페이스 송수신기는 ISDN S/T 인터페이스 정합 기능을 가지며, AFE(Analog Front End)를 포함한다.

음성 코덱 모듈은 ISDN 통합 칩의 음성신호처리, 즉 송수화감으로 부터의 아날로그 신호를 디지털 신호로 변환하여 코딩한 후 망으로 전달하고 망을 통해 전달된 음성신호를 디코딩하고 아날로그 신호로 변환하여 송수화감으로 전달하며, DTMF 및 기타 톤 신호를 발생시키는 기능을 수행한다.

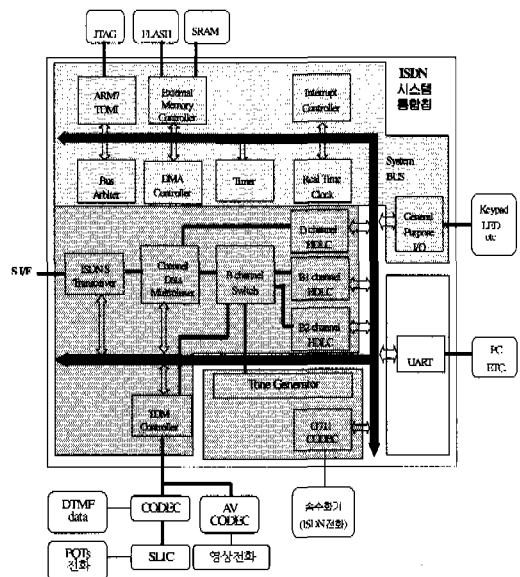


그림 2. ISDN 시스템 통합 칩의 전체 구성도

외부의 범용 PC를 접속할 수 있도록 PC 인터페이스 모듈은 UART 인터페이스 기능을 가진다. UART는 범용 PC의 직렬 포트에 직접 연결이 가

능한 직렬 비동기 데이터 송수신 기능을 갖는 모듈로서, 1개의 포트를 제공하며 115Kbps까지의 데이터 송수신이 가능하다.

1. 프로세서 모듈

ISDN 시스템 통합 칩의 프로세서 모듈은 ARM7TDMI 프로세서를 코어로 하여, 내부의 AHB (Advanced High speed system Bus)<sup>[2]</sup> 버스에 NVRAM, SDRAM을 위한 외부메모리 제어기 및 6 채널 DMA 컨트롤러를 연결하고, 주변 장치인 인터럽트 제어기, 타이머, GPIO, UART, HDLC 등을 APB(Advanced Peripheral Bus)<sup>[2]</sup> 에 연결한다.

ARM7TDMI는 32비트 RISC 구조 프로세서로서 On Chip ICEbreaker 디버깅 기능을 가지며 32비트 AMBA 버스를 가지고 있다. 또한 46MHz의 시스템 클럭으로 동작되며, 16bit/32bit 두 가지 모드의 명령 세트를 지원하는 저 전력의 프로세서이다.

외부 메모리 제어기는 AHB버스와 접속되어 칩 외부의 메모리를 제어하는 신호를 생성하며, 16bit/32bit 두 가지 모드로 조절이 가능하다.

DMA 컨트롤러는 6개의 채널을 가지고 있으며 내부에서 4채널을 사용하고 외부 소자가 2채널을 사용할 수 있다. 인터럽트 제어기는 주변 소자들로부터 인터럽트 요청신호를 받아 우선 순위에 요청 신호를 받아 우선 순위에 따라 프로세서로 인터럽트 요청 신호를 전달하는 기능을 한다. 그리고 3개의 외부 인터럽트 요구와 1개의 FIQ(Fast Interrupt request) 및 15개의 내부 인터럽트 소스를 제어할 수 있으며 다단계 우선권, programmable 인터럽트, 인터럽트 개별 마스킹의 기능을 가진다.

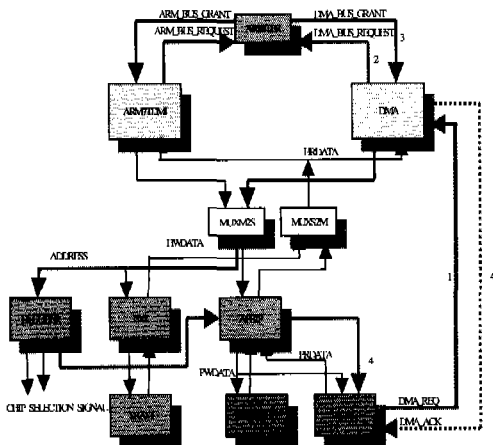


그림 3. 프로세서 모듈의 데이터 흐름

프로세서 모듈의 간단한 동작 흐름은 그림 3과 같다. 조정자 블록은 프로세서나 DMA, EMI 중에서 한개를 MUXM2S 블록을 이용하여 master로 선택하며, 디코더 블록은 HDLC, 타이머, 톤 발생기 중에서 MUXS2M 블록을 이용하여 slave를 선택한다. 일 예로, HDLC에서 DMA를 이용하고자 하는 경우를 보면 다음과 같다. HDLC가 DMA에 요청 신호를 보내면 조정자가 프로세서로부터 BUS 사용권을 DMA로 넘겨 준다. 그리고 디코더는 slave들 중에서 HDLC를 선택해서, HDLC와 메모리 블록간의 신호를 DMA가 제어할 수 있다.

2. ISDN 네트워크 인터페이스 모듈

ISDN 네트워크 인터페이스 모듈은 S 송수신기, D-채널 HDLC 제어기, B-채널 HDLC 제어기, B-채널 스위치, 채널정보 다중화기, TDM버스 제어기로 구성된다.

S 송수신기는 그림 4와 같이 구성되며, ITU-T I.430 규격에 따르는 ISDN S/T 회선 인터페이스를 제공한다. 호스트 인터페이스는 프로세서와 AMBA 버스로 연결되어 모드설정, 정보 교환 및 명령 수신 그리고 인터럽트의 생성 기능을 한다. S/T 인터페이스로부터 들어오는 수신데이터(2B+D)는 TDM 인터페이스를 통해 채널 정보 다중화기로 전송되고, 채널 정보 다중화기에서 수신된 정보는 S/T 인터페이스를 거쳐 AFE를 통해 전송된다.

채널 정보 다중화기는 S 송수신기로부터 전달되는 데이터를 B-채널 및 D-채널 데이터로 분리하여 B-채널 스위치와 D-채널 HDLC로 전달하고, 반대로 B/D-채널 데이터들을 다중화하여 S 송수신기로 전달해주는 역할을 한다.

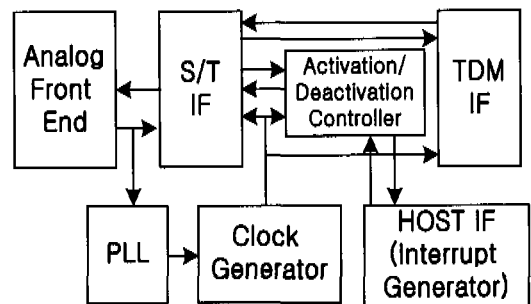


그림 4. S Transceiver

B-채널 스위치는 G.711 코덱, B-채널 HDLC 및 TDM 버스 제어를 채널정보 다중화기에 선별적으

로 연결해주기 위한 스위치의 기능을 한다.

B-채널 HDLC는 프로세서에서 전달되는 데이터들을 B 채널을 통해 전송하고, 반대로 B 채널을 통해 전달되는 상대방의 데이터를 프로세서에 전달하도록 하기 위한 B-채널 HDLC 프로토콜 처리를 수행한다. 칩 내에 B-채널 HDLC는 2개 존재하며, 각기 하나씩의 B-채널을 담당한다. 그림 5는 B-채널 HDLC의 블록도이다. B-채널 HDLC는 호스트 프로세서와 AMBA 버스를 통해 32비트 단위로 B-채널 데이터를 주고 받는다. 또한, B 채널 데이터의 원활한 전달을 위해 수신 및 송신용 FIFO를 포함한다. 송신용 FIFO는 32Byte 크기의 단일 버퍼이고, 수신용 FIFO는 2개의 32Byte FIFO를 Double-Buffer로 번갈아 사용한다. 호스트와의 B-채널 데이터 전달은 송신시 DMA 인터페이스와 수신시 인터럽트 제어를 통해 이루어진다.

HDLC 코어는 HDLC 송신기와 HDLC 수신기로 구성되며, 두 가지 모드로 동작한다. 바이패스 모드는 HDLC 형식이 아닌 데이터를 호스트로 직접 보내기 위한 것으로 HDLC 코어는 데이터를 투명하게 통과시킨다. 반면 HDLC 모드에서는 HDLC 형식에 따라 데이터를 생성/추출한다. HDLC 모드 HDLC Flag 생성 및 추출 기능, HDLC CRC 생성과 검출 기능, HDLC 용 Zero 삽입 및 제거 기능을 수행한다.

D-채널 HDLC는 DMA채널을 사용하지 않고 인터럽트 제어를 통해 프로세서에게 D채널 데이터 수신을 통보한다. TDM 버스 제어기는 최대 4개까지의 외부 칩을 접속할 수 있도록 지원한다. 그리고

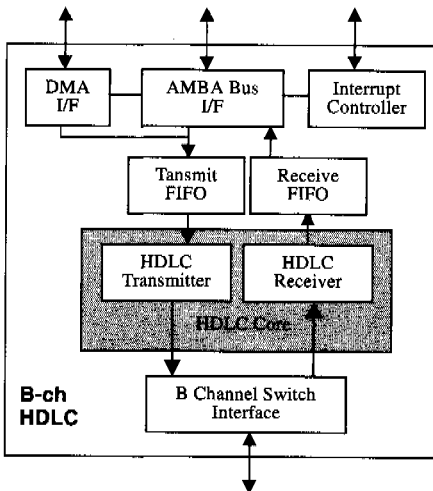


그림 5. B채널 HDLC

외부 소자로부터 전송되는 TDM 채널 데이터 들은 TDM 데이터 역다중화기에서 2B+D 데이터로 분리되어 B 채널 교환기로 전달하고, 반대로 B 채널 교환기에서 전송된 데이터를 제어/정보 데이터들과 함께 다중화하여 TDM 버스에 전달한다.

### 3. 음성 코덱 모듈

음성 코덱 모듈의 구성은 톤 발생부와 G.711 음성 코덱<sup>[5]</sup>부로 되어 있으며, 그림 6과 같이 구성된다. 톤 발생부는 프로세서에서 8KHz 32비트 PCM 표본화된 16종의 DTMF 데이터와 단일 톤 데이터, 멜로디 데이터중 한 개와 단속비, 기타 제어신호를 선택하고, 해당 톤을 발생시켜야 할 경우 선택된 톤 데이터를 프로세서에서 톤 발생부로 보내면, 이를 직렬데이터로 변환 후 반복해서 코덱으로 전달하여 소리를 발생시킨다. 또한, 제어신호에 의하여 B 채널 스위치와 송수화잡으로 음성신호나 톤 데이터를 선택하여 전달할 수 있다. G.711 코덱부는 AFE를 포함하여 송수화잡으로 부터의 아날로그 신호를 직접 받아 A/D변환 후 이 선형 PCM 데이터를 A-law/ $\mu$ -law 로 변환하여 톤 발생부를 거쳐 B채널 교환기로 전달한다.

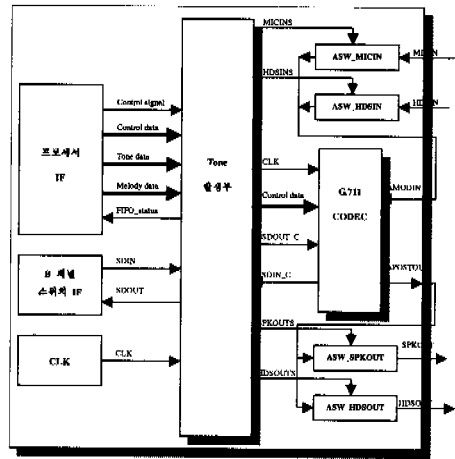


그림 6. 음성 코덱 모듈

### 3. PC 인터페이스 모듈

인터넷 접속 등의 데이터 통신을 위한 PC와의 인터페이스를 위해 ISDN 통합 칩은 내부에 UART를 갖는다. UART는 8 bit 호스트 인터페이스를 가지며, 수신된 데이터를 프로세서에 전달하기 위해 직렬/병렬 처리기능과 프로세서의 데이터를 전송하기 위해 8 bit 병렬 데이터를 직렬 데이터로 변화하

는 기능을 가지고 있다. 프로세서는 5 bit에서 8 bit까지의 워드 길이, 패리티 비트 그리고 시작/정지 비트를 임의로 제어할 수 있으며, 데이터 송수신에 사용되는 FIFO의 상태, 패리티, 오버런, 언더런 그리고 프레임 오류 등을 감지할 수 있는 기능을 가지고 있다. 직렬 전송속도 지정을 위해 최대 65535 까지의 클럭 분주 기능을 가지고 있으며, 또한 데이터의 효율적인 송수신을 위해 데이터의 송수신을 DMA를 통해 할 수 있다.

### III. ISDN 통합 칩 보드 및 소프트웨어

ISDN 통합 칩의 기능을 검증하기 위한 ISDN 통합 칩 보드는 2MB Flash ROM, 4MB Static RAM, ISDN S 인터페이스, 코덱 인터페이스, UART 인터페이스, TDM 인터페이스, GPIO, JTAG, LCD, 키패드, 클럭, 전원, Reset 회로로 구성되어 그림 7과 같다. 이 ISDN 통합 칩 보드를 이용하여 ISDN 전화, 인터넷을 위한 PC와의 접속, 기존전화의 접속사용이 가능한 ISDN 통신 단말을 구현하였다.

실제 ISDN 망에 접속하여 기능을 시험하기 위해서는 ISDN 통신단말에 필요한 각종 디바이스 드라이버, ISDN 프로토콜, 응용 소프트웨어 등이 필요하다. 그림 8에서는 ISDN 통신단말의 소프트웨어블록들을 나타내었다. CP&SS(Call Processing & Supplement Services)은 일반전화 또는 ISDN전화를 통해 음성 통화가 이루어지도록 하며ISDN망을 통해 번호식별, 호 완료, 다중파티 통화, 추가 정보전달 등의 부가서비스를 제공한다. AT블록의 기능은 다이얼업 PC로부터 받은 AT명령어를 분석하여 처리하고 그 결과를 다이얼업 PC에 보내거나 BM

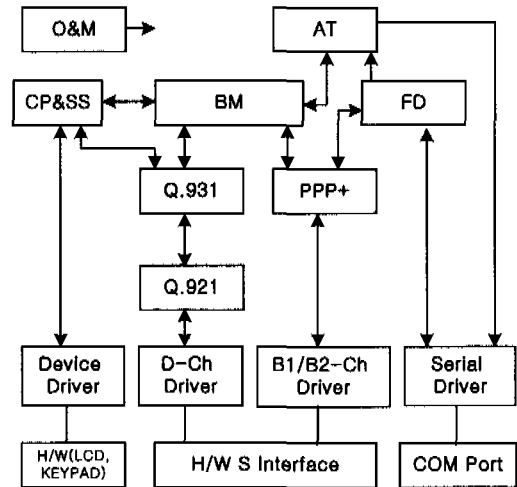


그림 8. ISDN 통신 단말의 소프트웨어 구성도

(Bundle Manager)에게 전화 걸기 또는 전화 끊기를 알린다. FD(Frame Dispatcher)블록의 기능은 다이얼업 PC로부터 받은 AT 명령어나 PPP프레임의 유형을 구분하여 AT 분석 기능 또는 PPP+기능에게 넘겨준다. BM 블록의 기능은 단말의 자원 기능으로 두 개의 B-채널의 상태를 관리하며 음성 및 데이터 호 연결 설정 및 해제를 위한 절차를 제공한다. 채널상태는 Idle, Reserved, Voice-Active, Data-Active가 있으며, 음성 또는 데이터의 새로운 호는 반드시 Idle 상태의 채널이 존재하는 경우에만 가능하다. PPP+ 기능은 PPP처리 기능과 멀티 링크 PPP 처리 기능을 모두 포함하고 있다. Q.931과 Q.921은 ISDN 시그널링 기능을 제공하며 O&M 블록은 단말기의 운용 및 관리기능을 담당하며 비정상 동작을 감지하여 자체 복구 기능을 수행한다.

### IV. 구현 및 기능 검증

ISDN 시스템 통합 칩은 아날로그와 디지털이 혼합된 설계로서 음성 코덱과 ARM7TDMI 프로세서는 삼성 IP를 사용하였고, S 인터페이스 송수신기의 AFE를 제외한 디지털 로직은 VHDL로 프로그래밍하여 구현하였다. 그리고 Synopsys사의 design analyzer와 eagle<sup>[5]</sup>, modeltech사의modelsim, ARM사의 ADU<sup>[6]</sup>를 이용하여 설계, 통합하고 기능검증을 하였다. 그림 9에서는 제작된 칩의 외형과 내부 구조를 보여준다. 최종 lay out후 칩의 총 게이트 수는 246,637개이다.

ISDN 통합 칩의 기능을 검증하기 위해 ISDN 통

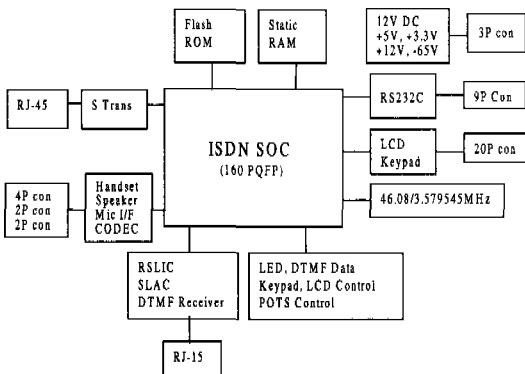


그림 7. ISDN 통합 칩 보드의 구성

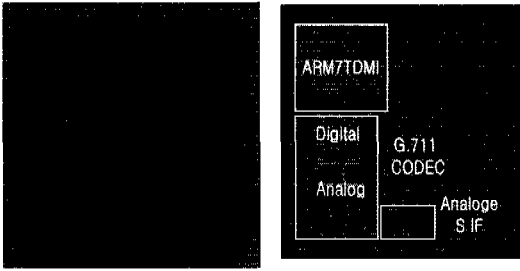


그림 9. ISDN 통합 칩의 외형과 내부 구조

합 칩 보드를 개발하였고, 이에 필요한 각종 소프트웨어를 탑재하여 ISDN 통신 단말을 개발하였다. JTAG 인터페이스를 통해 PC와 연결된 ICE를 보드에 접속하여 소프트웨어의 다운로드 및 디버깅을 수행하여 칩의 각 기능 모듈들의 동작을 검증하였고, ISDN 프로토콜 검사기(K1197)를 보드의 ISDN S 인터페이스에 연결하여 D채널의 Q.921/Q.931 시그널링 절차에 관하여 적합성 시험을 수행하였다. 그리고 자체 루프 백 시험과 보유한 교환 에뮬레이터를 통한 상용단말과의 연결시험을 통해 망의 영향이 없이 단말의 유성통신 및 데이터통신 검증하였다. 그림 10 에서는 칩의 기능 검증을 위한 ISDN 통합 칩 보드와 PC, ICE, 테스트기의 연결을 보여준다. 그리고 완성된 단말을 복대선 전화국의 실제 ISDN 망에 연결하여 상용의 ISDN 전화기와 망을 통해 접속하여 음성, 데이터 서비스를 지원하는 ISDN 전화 기능을 검증하였다. 또한 UART를 통해 PC를 연결하여 다이얼 업 PC의 기능과 PC 데이터 통신 기능을 검증하였다. 그림 11 에서는 ISDN 통합 칩 보드를, 그리고 그림 12 에서는 ISDN 통합 칩 보드를 사용해서 개발한 ISDN 통신 단말을 보여준다.

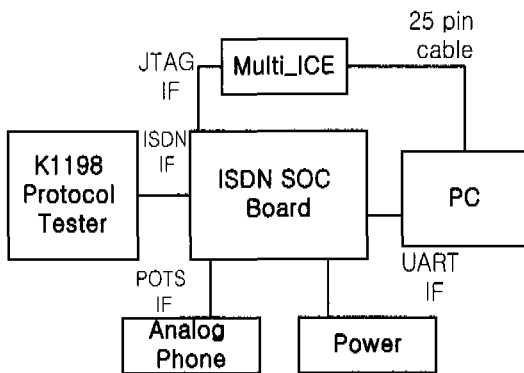


그림 10. ISDN 통합 칩 보드의 연결도

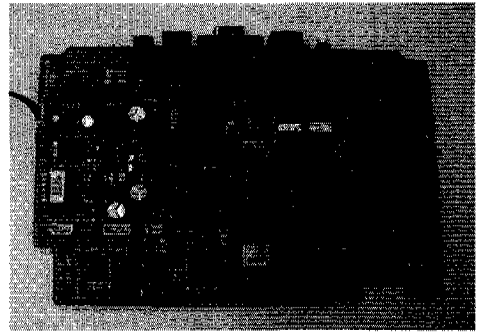


그림 11. ISDN 통합 칩 보드

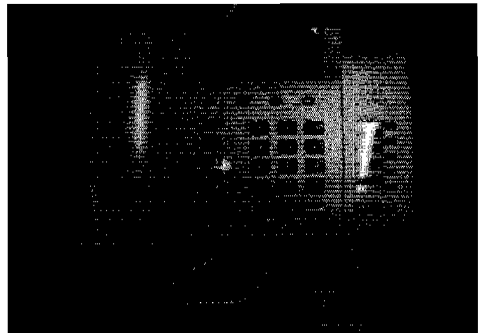


그림 12. ISDN 통신 단말

## V. 결론

본 논문에서는 ISDN 시스템 통합 SOC의 개발에 대해 기술하였다. ISDN 통합 칩은 Synopsys 사의 dcsign analyser와 cagle, modeltech사의 modelsim, ARM사의 ADU를 이용하여 설계하고 검증하였다. 또한 ISDN 통합 칩 보드와 디바이스 드라이버, ISDN 프로토콜, 응용 프로그램 등의 소프트웨어를 구현하여 ISDN 통합 칩의 각각의 기능들을 검증하고, 실제 망과 연동 하여 ISDN 전화기능, PC를 이용한 인터넷 기능 등의 ISDN 통신 단말의 기능들을 검증하였으며 실제 실험 통화에서 우수한 성능을 나타내었다.

ISDN통합 칩은 별도의 프로세서나 코덱, S 인터페이스, 주변장치를 부착할 필요 없이 ISDN 통신 단말을 구성할 수 있으므로 본 칩을 이용한 응용 단말의 구현이 용이하고 가격 면에서도 많은 장점을 가지고 있다. 저가형 ISDN 통신 단말을 위한 ISDN 통합 칩을 이용하여 ISDN 단말 사업자들이 가격과 성능 면에서 경쟁력 있는 제품을 생산하여 중국, 유럽 등의 해외 ISDN 통신 단말 시장 진출에 많은 도움이 될 것이다.

참 고 문 헌

- [1] ETSI, "Integrated Services Digital Network Attachment requirements for terminal equipment to connect to an ISDN using ISDN basic access", Nov 1995.
- [2] ARM, "AMBA Specification Rev2.0", May 1999.
- [3] ITU-T Recommendation I.430, "Basic User-Network Interface-Layer 1 Specification-Integrated Services Digital Network(ISDN)-ISDN User Network Interfaces", 1993
- [4] ITU-T Recommendation Q.931, "ISDN User-Network Interface Layer 3 Specification for Basic Call Control", May 1998.
- [5] ITU-T Recommendation Q.921, "ISDN User-Network Interface - Data Link Layer Specification", Sep 1997.
- [6] ITU-T Recommendation G.711, "Pulse Code Modulation(PCM) of Voice Frequencies - General Aspects of Digital Transmission Systems", 1989.
- [7] SYNOPSIS, "Eagle Tools User's Manual", Sep 1998.
- [8] ARM, "Software Development Toolkit User Guide", 1998.

이 제 일(Che-Il Lee)

1997년 2월: 경북대학교 전자공학과 학사  
 1999년 2월: 경북대학교 전자공학과 석사  
 1999년~2000년 8월: LG전자  
 2000년 8월~현재: 한국전자통신연구원 멀티미디어 통신팀  
 <주관심 분야> 영상통신, VOIP, 디지털 통신시스템

황 대 환(Dae-Hwan Hwang)

제26권 11호 참조

소 운 섭(Woon-sup So)

1988년: 한밭대학교 전자공학과(학사)  
 1994년: 충남대학교 전자공학과(석사)  
 1982년~현재: 한국전자통신연구원 멀티미디어통신팀  
 선임기술원  
 <주관심 분야> 디지털 통신 시스템, 멀티미디어 서비스

김 진 태(Jin-Tae Kim)

1980년 2월: 인하대학교 전자공학과 학사  
 1982년 8월: 인하대학교 전자공학과 석사  
 1996년 2월: 인하대학교 전자공학과 박사  
 1987년 8월~1988년 7월: 미국 UMKC 방문연구원  
 1979년~1997년: 한국전자통신연구원 책임연구원  
 신호서비스연구실장  
 1998년~2000년: 한국전자통신연구원 교환·전송기술연구소 DSL기술팀장  
 네트워크기술연구소 단말SW팀장  
 2001년 2월·현재: 한국전자통신연구원  
 멀티미디어통신팀 책임연구원  
 <주관심 분야> 디지털 통신 시스템, 멀티미디어 서비스