

# 고속 QPSK/16-QAM 수신기 칩 설계

정희원 박 기 혁\*, 선우 명훈\*\*

## Design of a High Speed QPSK/16-QAM Receiver Chip

Ki-Hyuk Park\*, Myung-Hoon Sunwoo\*\* *Regular members*

요 약

본 논문에서는 QPSK/16-QAM 방식의 LMDS(Local Multipoint Distribution Services) 용 downstream 수신기 칩 설계에 대해서 기술한다. 제안된 칩은 블라인드 등화기, 심볼 타이밍 복구회로, 반송파 복구회로로 구성된다. 블라인드 등화기는 CMA(Constant Module Algorithm)를 이용한 DFE(Decision Feedback Equalizer) 구조를 사용했다. 심볼 타이밍 복구회로는 Parabolic Interpolator를 이용하였고 반송파 복구회로는 Decision Directed Basis 방식을 이용하여 반송파의 주파수 오프셋, 위상 오프셋, 위상지터(Jitter)를 제거하였다. 구현된 수신기는 10, 20, 30 그리고 40 Mbps의 4가지 데이터 전송률을 지원할 수 있고 심볼 전송률은 10 Mbaud까지 지원할 수 있으며 기존의 QAM 수신기보다 빠른 구조이다.

키워드: LMDS, 블라인드 등화기, 타이밍 복구, 반송파 복구, ASIC

### ABSTRACT

This paper presents the design of a QPSK/16-QAM downstream receiver chip. The proposed chip consists of a blind equalizer, a timing recovery block and a carrier recovery block. The blind equalizer uses a DFE structure using CMA(Constant Modulus Algorithm). The symbol timing recovery uses the modified parabolic interpolator. The decision-directed carrier recovery is used to remove the carrier frequency offset, phase offset and phase jitter. The implemented LMDS receiver can support four data rates, 10, 20, 30 and 40 Mbps and can accommodate the symbol rate up to 10 Mbaud. This symbol rate is faster than existing QAM receivers.

### I. 서 론

21세기 정보통신은 글로벌화된 서비스 영역을 요구하고, 고도화된 정보의 사용을 위해 멀티미디어 서비스 및 지능형 서비스의 제공을 요구한다. 이러한 서비스는 기존의 NTSC(National Television System Committee), PAL(Phase-Alternation Line) 등의 방송 서비스나, 디지털 이동 통신, PCS(Personal Communication System) 등의 통신 서비스만으로는 이루어질 수 없다. 따라서, 방송과 통신 기술이 접목된

양방향 멀티미디어 서비스가 요구되며 이러한 서비스를 제공하기 위한 것 중의 하나가 양방향 CATV이다. 양방향 CATV를 유선으로 할 경우 유선망의 신설 및 확장에 있어 비용이 많이 들게 된다. 이러한 문제를 해결하기 위해 무선 CATV 망의 도입이 필요하다.

무선 양방향 CATV에 대한 표준화는 DAVIC(Digital Audio-Visual Council) 1.4 Draft[1]에서 LMDS(Local Multipoint Distribution Service) 방식으로 제안되었고, 조만간 표준화가 될 전망이다. LMDS 시스템은 26GHz 대역의 준밀리미터

\*전자통신연구원(ETRI) (hyuk@etri.re.kr), \*\* 아주대학교 전자공학과 (sunwoo@madang.ajou.ac.kr)

논문번호 : 020006-0108, 접수일자 : 2003년 4월5일

※ 본 논문은 산업자원부, 국가지정연구실 및 IDEC 사업의 지원을 받아 수행되었습니다.

과 대역의 주파수를 이용하여 다양한 고속 멀티미디어 서비스를 제공하는 것이 목표이다. 주파수의 특성상 기지국 장치와 가입자 장치간의 LOC(Line Of Sight)가 확보되어야 하므로 고정 가입자를 대상으로 하는 고정 무선 통신으로 사용하기에 적합하다.

LMDS는 upstream 대역으로 400~700 MHz를 사용하고 downstream 대역으로 950~2050 MHz의 넓은 대역을 사용하므로 대용량의 데이터 전송이 가능하며 대화형 CATV, 고속 인터넷, VOD, 화상회의, 홈쇼핑 등 다양한 고속 멀티미디어 서비스를 제공할 수 있다[1,2].

본 논문에서는 DAVIC 규격을 만족하는 고속 무선 CATV 단말기용 downstream 수신 QPSK(Quadrature Phase Shift Keying) /16-QAM(Quadrature Amplitude Modulation) 복조기를 제공하는 모뎀 칩을 설계하였다.

구현한 QPSK/16-QAM 수신기는 타이밍 오프셋을 제거하기 위해 보간기(Interpolator)를 이용한 심볼 타이밍 복구회로(Timing Recovery Circuit)를 설계하였고 채널상의 잡음 및 국부 반송파 지터에 대한 오프셋을 제거하기 위해 Decision-Directed 방식의 반송파 복구회로(Carrier Recovery Circuit)를 설계하였다[4]. 그리고 채널 임펄스 응답으로 인해 왜곡된 신호를 보상해 주기 위하여 등화기가 사용된다[5].

본 논문에서 설계한 QPSK/16-QAM 수신기는 데이터 전송률이 최대 40Mbps이고, 최대 심볼 의 전송률은 기존의 QAM 수신기를 심볼 전송률인 7MBaud 보다 빠른 10MBaud를 갖는다[6-9]. 고속의 전송 속도를 얻기 위해 전체적으로 파이프라인 구조를 사용하였고, 고속의 연산회로를 사용하였다.

본 논문은 다음과 같이 구성된다. 2장에서는 DAVIC 표준안 및 LMDS downstream 구조에 대해서 서술하고 3장에서는 구현한 칩의 전체 구조와 세부구조에 대해서 나타내었다. 4장에서는 성능평가 및 칩 구현에 대해서 설명하고 마지막으로 5장에서 결론을 맺는다.

## II. LMDS downstream 구조

이 장에서는 무선 CATV의 DAVIC 표준안에 대해 서술하고, 기존 QAM 칩에 대해 분석한다.

먼저 DAVIC 표준안에서 제안하는 LMDS의 물리계층과 downstream 수신기의 구조에 대해 기술한다. DAVIC에서 제안하는 물리계층의 특성은 표 1과 같다. 이 물리계층은 upstream과 downstream의 대역폭이 다른 비대칭구조를 가진다.

표 1. DAVIC 물리계층의 특성

구분	Upstream	Downstream
변조방식	DQPSK	QPSK/16 QAM
주파수범위	400~700 MHz	900~2050 MHz
채널의 수	205.71 (1.749 MHz)	21.25(40 MHz)

DAVIC에서 제안하는 downstream 수신기의 블록도는 그림 1과 같다. LMDS 수신기는 QPSK/16-QAM 복조기, 정합필터(Matched Filter)와 등화기(Equalizer), 비터비 복호화기(Viterbi Decoder), RS 복호화기(Reed-Solomon Decoder)와 컨벌루션 디인터리버(Convolutional Deinterleaver), derandomizer로 구성되어있다.

Downstream 수신기의 변조방식은 QPSK와 16-QAM을 사용하며 QPSK만 사용하는 grade A와 두 가지 방식을 모두 지원하는 grade B로 나누어진다. 오류정정을 위한 비터비 복호화기는 QPSK 변조방식에서만 지원하며, 구속장(K)이 7이고 다양한 데이터율(1/2, 2/3, 3/4, 5/6, 7/8)을 지원하여야 한다. 컨벌루션 디인터리버는 Branch index(J)가 11에서 0까지 하나씩 감소할 때마다 17 비트의 쉬프트 레지스터로 구성된 Depth cell(M)이 하나씩 증가하는 Interleaver depth(I)가 12인 것을 사용한다. 연립오류를 줄이기 위한 RS 복호화기 188 바이트로 이루어진 데이터에 16 Parity 바이트를 추가하여 8 바이트의 오류를 복호화할 수 있는 (204, 188) RS 복호화기가 사용된다

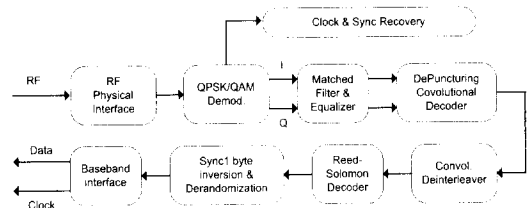


그림 1. LMDS downstream 구조

### III. QAM 복조기의 구조

이 장에서는 전체 QAM 복조기의 구조와 구현한 블록 중 가장 핵심적인 역할을 수행하는 타이밍 복구회로(Timing Recovery)와 반송과 복구회로(Carrier Recovery), 블라인드 등화기(Blind Equalizer)의 구조에 대하여 기술한다.

#### 1. QAM 복조기의 전체 블록도

그림 2는 설계할 칩인 QPSK/16-QAM 모델의 전체 블록도를 나타낸 것이다. 그림 2에서 RF 단은 동조기(Tuner)와 RF 송수신기(RF Transceiver)로 구성되며 통신 신호의 동조와 양방향 통신에 사용되고 신호를 대역 통과시켜 기저대역으로 옮겨준다. QPSK/16-QAM 칩은 이러한 신호를 송수신 한다. 설계한 블록은 QPSK/16-QAM의 복조 회로 중, 반송과 복구회로, 타이밍 복구회로, 블라인드 등화기 블록이다.

#### 2. 심볼 타이밍 복구 회로

타이밍 복구 회로는 기저 대역 신호의 클럭 펄스를 추출해 내는 역할을 하며, 천이 지점을 추정해 주는 기능을 수행하여 다른 블록에 올바른 타이밍에 들어온 데이터를 공급하여 주는 역할을 한다. 구현한 QPSK/16-QAM downstream 수신용 칩에서는 Interpolator를 이용한 타이밍 복구 방식을 사용하였다[10].

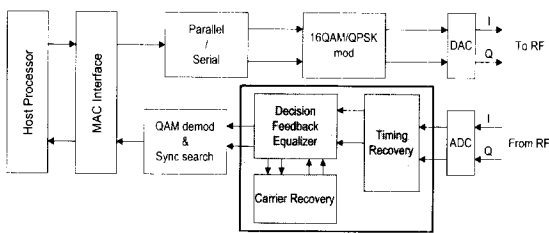


그림 2. QPSK/16 QAM 모델의 구조

그림 3은 Interpolator를 이용한 타이밍 복구 회로를 나타낸 것이다. Interpolator는 심볼 rate의 2배로 오버샘플링된 데이터를 입력으로 받는다. Interpolator는 FIR 필터 뱅크로 구현되는데 간략한 형태는 Farrow structure를 가지는 필터부분과 타이밍 에러를 입력으로 Interpolation을 위한 파라미터들을 출력하는 컨트롤러 부분으로 되어있다.

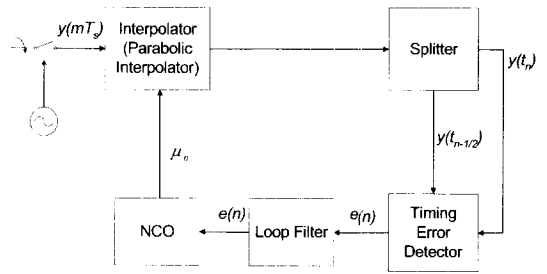


그림 3. Interpolator를 이용한 타이밍 복구회로

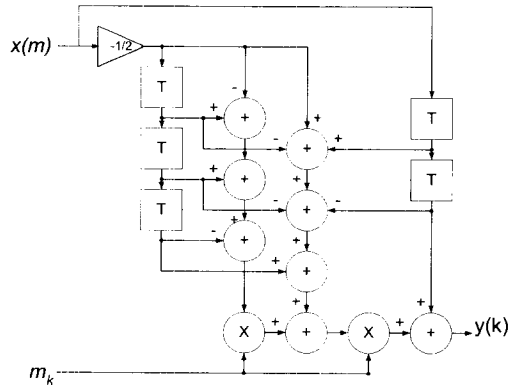


그림 4. Parabolic Interpolator 아키텍처

본 타이밍 복구 회로에서는 Parabolic Interpolator를 사용하며, 이에 대한 Farrow 구조는 그림 4와 같다. 그림 4에서 나타낸 Parabolic Interpolator는 레지스터가 5 개가 쓰이지만, 실제 논리 합성은 레지스터를 3 개로 줄였으며, 입력 신호에  $-1/2$ 을 곱해주는 버퍼도 삭제하여 하드웨어를 줄이고 Interpolator의 동작 속도를 50 MHz까지 높였다. 그림 3에서 Splitter에서는 심볼 rate의 2배인 Interpolator의 출력 샘플들 중에서 반 심볼 앞서는 데이터와 반 심볼 늦은 데이터를 분리해 주는 역할을 수행한다.

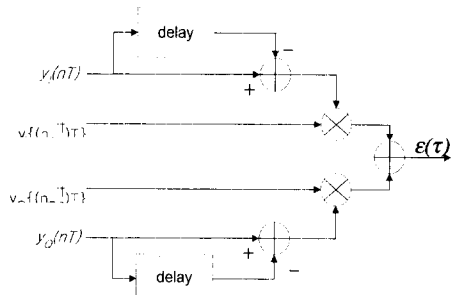


그림 5. 타이밍 에러 검출기

그림 5는 타이밍 에러 검출기(Timing Error Detector)의 블록도를 나타낸다. Splitter의 출력 데이터를 이용하여 타이밍 에러 검출기에서는 타이밍 에러를 계산한다. 이때 타이밍 에러 추정 알고리즘은 식 (1)과 같다[11]. 여기서  $\tau$ 는 타이밍 오프셋을 나타내며,  $\epsilon(n)$ 은  $t=nT$ 일 때 타이밍 에러 검출기의 출력 값을 나타낸다.

$$\begin{aligned} \epsilon(n) = & y_I\left\{n = \frac{1}{2} T + \tau\right\} \\ & [y_I(nT + \tau) - y_I((n-1)T + \tau)] \\ & + y_Q\left\{n = \frac{1}{2} T\right\} [y_Q(nT) \\ & - y_Q((n-1)T)] \end{aligned} \quad (1)$$

그림 6은 루프 필터와 NCO (Numerically Controlled Oscillator)의 구조를 나타낸다. 본 논문에서 설계한 루프 필터는 1차 루프 필터이며, 루프 필터 계수( $K1$ ,  $K2$ )는 전체 루프에 대한 대역( $w_n$ )과 수렴 속도(damping factor,  $\zeta$ )를 조절하는 기능을 가진다. damping factor가 낮으면 수렴속도가 늦는 문제가 생기는 반면에 수렴속도가 빠르면 신호가 거칠게 발생하여 BER 측정 시 많은 오류 확률을 지니게 된다. 반송파 복구회로의 필터계수 변화에 대한 BER의 특성을 조사하기 위해 AWGN 환경 하에서 수 많은 SPW시뮬레이션 결과  $K1 = 128$ ,  $K2 = 1$  일 때  $w_n$ 은 0.0156이며,  $\zeta$ 가 0.1 일 때 수렴이 빨리 되며 반송파 복구회로가 안정적으로 동작함을 알 수 있었다.

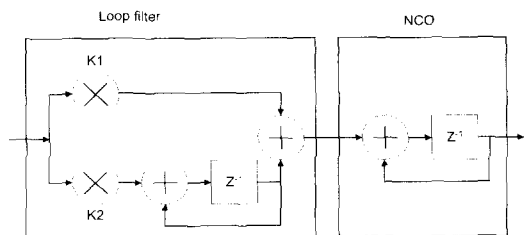


그림 6. 루프 필터와 NCO 아키텍처

3. 반송파 복구 회로

일반적으로 복조기에 수신된 신호는 채널 환경과 송수신기의 반송파 차이에 의하여 주파수 오프셋, 위상 오프셋, 위상 지터(Jitter)가 발생한다.

주파수 오프셋은 수신된 데이터의 주파수와 수신기 국부반송파의 주파수차에 의하여 발생하며 위상 오프셋은 송신된 반송파와 수신된 반송파의 위상 차에 의하여 발생한다. 위상 지터는 채널 환경에 의하여 정현파와 같은 고조파(Harmonics) 성분으로 나타난다. 복조기는 이러한 주파수 오프셋, 위상 오프셋, 위상 지터를 제거하기 위하여 반송파 복구회로를 사용한다[12].

본 논문에서는 반송파 복구회로를 Decision directed basis 방식으로 구현하였다[4]. 필터는 1차 필터를 사용하였으며, Phase accumulator를 포함하면 전체가 2차 필터가 된다.

그림 7은 Decision directed basis 방식의 반송파 복구회로를 나타낸 것이다. 이때 입력신호  $x(n)$ 은 수신된 신호로 식 (2)와 같이 나타난다.

$$x(n) = a(n) e^{j\theta(n)} + v(n) \quad (2)$$

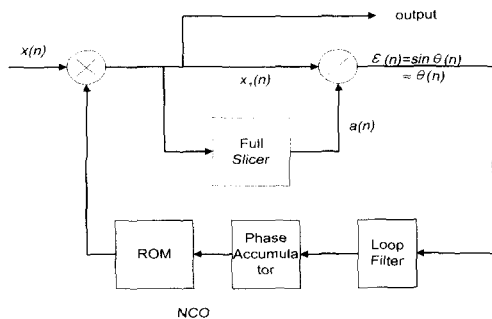


그림 7. Decision directed 반송파 복구 회로

식 (2)에서  $a(n)$ 은 n번째 전송된 심볼을 나타내며,  $a(n)=a_r(n)+ja_i(n)$ 과 같이 in-phase와 quadrature 데이터를 동시에 포함한다.  $v(n)$ 은 AWGN (Additive White Gaussian Noise)이다.  $\theta(n)$ 은 주파수 오프셋, 위상 오프셋을 나타내며 이는 식 (3)과 같이 표현된다.

$$\theta(n) = w_0 nT + \sum_{j=0}^n A_j \sin w_j T + \theta_0 \quad (3)$$

식 (3)에서  $w_0 nT$ 는 주파수 오프셋,

$\sum_{j=0}^n A_j \sin w_j T$ 는 위상 지터,  $\theta_0$ 는 위상 오프셋을 나타낸다. 이러한 반송파 오류를 가진 데이터는 판정 회로를 통과하여  $a(n)$  성분만 출력

한다. 이때  $x_i(n)$ 을  $a(n)$ 으로 나누면 위상오류에 대한 성분만 남게되고 이를 나눗셈기에서 허수부만 취하여  $\varepsilon(n)$ 으로 출력한다. 이 신호는 저대역 신호로부터 잔류된 반송파를 추출하여 위상오류를 제거하도록 사용하는데, 이 신호를 이용하여 위상차에 의한 성분을 제어함으로써 반송파의 주파수 오프셋에 의한 위상오류를 제거해준다.  $\varepsilon(n)$  신호는 잡음의 영향을 줄이기 위하여 루프 필터를 통과한다. 이렇게 만들어진 위상 오류 성분은 cosine, sine table의 ROM 출력과 곱해 복소수 곱셈기를 이용하여  $x(n)$  출력에 곱해줌으로써 주파수 오프셋에 의한 위상차를 제거해 준다.

반송파 복구회로는 루프 필터의 계수의 영향에 따라 성능이 변화한다. 따라서 최적의 루프 필터 계수의 값을 찾아내기 위해 AWGN 환경 하에서 루프 필터의 계수를 변화시켜가면서 시뮬레이션을 수행하였다. 시뮬레이션 결과 정해진 최적의 루프 필터 계수는  $K1$ 이 256,  $K2$ 는 4이다. 이때 루프 필터의 고유 주파수  $\omega_n$ 은 0.03125이며, damping factor  $\zeta$ 는 1이다.

4. 블라인드 등화기

무선 통신의 경우 다중 경로에 의한 페이딩 영향으로 임펄스 응답이 긴 시간동안 확산됨으로 인해 ISI(InterSymbol Interference)가 발생하는데 이로 인하여 수신 신호의 진폭과 위상은 심하게 왜곡되게 된다. 이러한 채널 임펄스 응답으로 인해 왜곡된 신호를 보상해 주기 위하여 등화기가 사용된다.

실제 등화기는 기존의 Transversal 등화기보다 빠른 적응속도와 낮은 BER의 성능을 갖는 DFE 구조를 사용하였다. 그림 8은 일반적인 DFE 구조의 등화기를 나타낸다.

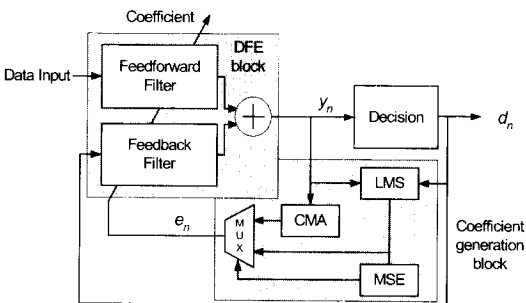


그림 8. DFE 방식 등화기

DFE 구조는 입력  $X_k$ 를 8 개의 탭으로 구성된 FFE(FeedForward Equalizer)를 통과하여 ISI가 제거된 신호  $Y_k$ 가 생성한다. FFE의 출력  $Y_k$ 를 판정하여 생성한 신호  $D_k$ 는 다시 12 탭으로 이루어진 FBE(FeedBack Equalizer)로 공급되어  $Y_k$ 를 결정하는 값을 보정해 준다. DFE 구조를 수식으로 나타내면 식 (4)와 같다.

식 (4)에서  $w_{FFE,i}$ 는 FFE의  $i-1$  번째 계수를 나타내며,  $w_{FBE,j}$ 는 FBE의  $j$  번째 탭의 계수를 나타낸다.  $N, M$ 은 각각 FFE와 FBE의 탭 수를 나타낸다.

$$Y_k = \sum_{i=0}^{N-1} w_{FFE,i} X_{k-i} + \sum_{j=1}^M w_{FBE,j} D_{k-j} \quad (4)$$

일반적으로 무선 채널의 특성을 정확히 알기 힘들며, 채널의 특성이 시간에 따라 변하므로 등화기의 계수를 채널 특성에 맞게 계속 갱신시키는 적응(Adaptive) 알고리즘을 사용하는 것이 효과적이다. 적응 알고리즘 중 LMS(Least Mean Square) 방식은 mean square error를 최소화해서 SNR(Signal-to-Noise Ratio)을 높이는 방식으로 계산량이 적어 하드웨어로 구현이 용이하고 시스템의 안정성이 보장된다. 그러나 LMS 알고리즘은 수렴속도가 느리며 데이터 전송 전에 훈련수열(training sequence)을 사용해 필터의 초기 계수값들을 조정해 주어야 한다. 설계한 등화기는 훈련수열 없이 채널 적응이 가능한 CMA(Constant Modulo Algorithm)와 LMS 알고리즘으로 동작한다[10]. 두 가지의 알고리즘은 식 (5)와 같이 탭 계수를 갱신한다.

$$w_{k+1} = w_k + \mu \varepsilon_k X_k^* \quad (5)$$

식 (5)에서  $\mu$ 는 등화기의 step size이며,  $\varepsilon_k$ 는 CMA와 LMS 알고리즘에서 생성되는 에러 함수이고,  $X_k^*$ 는 입력 신호  $X_k$ 의 켈레 복소수이다. CMA와 LMS 알고리즘은 탭 계수를 갱신하는 수식이 동일하기 때문에 에러 함수를 계산하는 부분을 제외한 나머지 부분을 공유할 수 있다.

CMA의 에러 함수를 생성하는 수식은

식 (6)과 같다.

$$\epsilon_k^{CMA} = Y_k(R_2 - |Y_k|^2) \tag{6}$$

식 (6)에서  $Y_k$ 는 등화기의 출력 신호이며, CMA 알고리즘에서 사용되는 상수  $R_2$ 는 변조 신호  $S_k$ 로부터 식 (7)과 같이 구할 수 있다.

$$R_2 = \frac{E[|S_k|^4]}{E[|S_k|^2]} \tag{7}$$

변조방식이 16 QAM인 경우  $R_2 = 13.2$ 이고, QPSK인 경우  $R_2 = 2$ 이다. LMS의 에러 함수는 식 (8)로 나타내어진다.

$$\epsilon_k^{LMS} = (D_k - Y_k) \tag{8}$$

등화기가 처음 구동될 때 CMA 알고리즘에 의해 구동되다가 Eye Pattern이 1/3 이상 열리면 LMS 알고리즘으로 넘어가고 다시 1/8 이하로 닫히면 CMA 알고리즘으로 구동되어진다.

#### IV. 성능평가 및 칩 구현

본 논문은 LMDS용 QPSK/16-QAM downstream 수신부를 하나의 칩으로 구현하였으며 이 칩은 심볼 타이밍 회로, 반송파 복구회로, 블라인드 등화기로 구성된다.

그림 9는 SNR이 10dB일 때의 타이밍 에러 검출기의 특성을 나타내는 S-curve 그림이다.

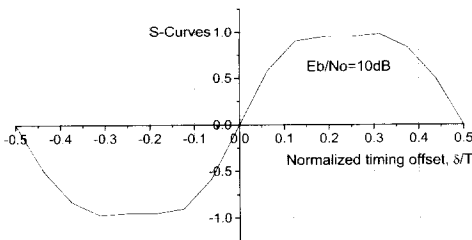
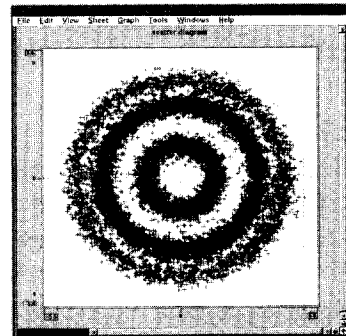


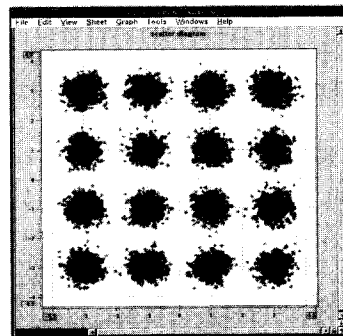
그림 9. 타이밍 에러검출기의 S-Curve

그래프에서  $\delta$ 는 타이밍 오프셋을 나타낸다. 그림 9에서 보는 바와 같이 타이밍 에러 검출기의 타이밍 포착 범위는  $-T/2 \sim +T/2$ 이며, 샘플링 위치가  $-T \sim T/2$ 이나  $+T/2 \sim +T$ 의 범위에 있으면 샘플링 위치는 이전이나 다음 심볼의 피크 샘플 쪽으로 수렴하게 된다. 여기서  $T$ 는 심볼 주기에 해당한다. 만약 샘플링 위치가 정확히  $\pm T/2$ 로 유지된다면 정확한 타이밍을 포착하기 어렵다.

그림 10은 반송파 복구회로의 16 QAM 입출력 성좌도를 나타낸다. 그림 10 (a)는 반송파 복구회로를 통과하기 전의 반송파 위상 오프셋과 주파수 오프셋을 가진 입력의 성좌도이며, 그림 7에서  $x(n)$ 에 해당한다. 그림 10 (b)는 반송파 복구회로를 통과한 후의 출력에 대한 성좌도이며, 그림 7에서  $x_i(n)$ 에 해당한다.



(a) 위상 오프셋과 주파수 오프셋을 가진 입력



(b) 반송파 복구회로 출력

그림 10. 반송파 복구회로 16 QAM 입출력 성좌도

그림10에서 보는 바와 같이 위상 오프셋과 주파수 오프셋을 가진 입력이 반송과 복구회로를 통과한 후 위상 오프셋과 주파수 오프셋이 모두 제거되어 원래의 16 QAM 성좌도 형태로 복원되었음을 확인할 수 있다.

그림 11은 백색잡음의 채널환경에서 LMDS downstream 수신기의 BER 시뮬레이션 결과를 보여준다. 구현된 수신기의 구현손실은  $10^{-3}$  BER에서 1.4 dB로 나타났다.

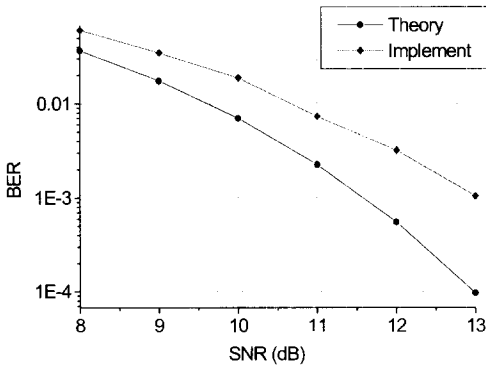


그림 11. LMDS 하향 수신부의 16 QAM BER 성능

통신용 CAD 툴인 COSSAP™을 사용하여 모델링하고 백색잡음의 채널환경에서 성능을 검증했다. VHDL을 사용해 기능 모델과 구조 모델을 구현하였고 SYNOPSIS™ CAD 툴과 0.5 μm 삼성™ 라이브러리(STD80)를 이용하여 기능검증과 논리합성을 수행하였고 CADENCE™ Verilog XL을 이용하여 타이밍 시뮬레이션을 수행하였다.

그림 12는 제안된 LMDS용 QPSK/16 QAM downstream 수신기의 칩 사진으로 패키지 타입은 208-pin이다.



그림 12. 제안된 LMDS downstream 수신기의 칩 사진

## V. 결론

이 논문은 LMDS용 QPSK/16 QAM downstream 수신기로서 블라인드 등화기, 타이밍 복구회로, 반송과 복구회로로 구성된다. 제안된 LMDS 수신기는 10, 20, 30 그리고 40 Mbps의 4가지 데이터 전송율을 지원하고 10Mbaud의 심볼 전송률을 지원한다. 구현된 칩은 기존의 QAM 수신기[3,6,7,8,9]의 심볼 전송률인 7Mbaud 이하 보다 향상된 성능을 보인다.

구현된 LMDS 수신기는 0.5 μm Standard Cell 라이브러리를 사용하여 논리합성을 수행하였으며 타이밍 복구회로, 반송과 복구회로는 각각 약 1만 게이트 그리고 블라인드 등화기는 약 13만 게이트로 총 게이트 수는 약 15만 게이트이다.

## 참고 문헌

- [1] DAVIC, DAVIC 1.4 Specification Part 8 Lower Layer Protocols and Physical Interfaces, 1998.
- [2] 주성철, "대화형 CATV 시스템 개발 현황," 전자공학회지, 제 22권, 제 7호, pp.60-70.
- [3] BROADCOM, *QAMLink Universal Burst Receiver*, 1997.
- [4] D. D. Falconer, "Jointly adaptive equalization and carrier recovery in two-dimensional digital communication systems," *Bell Syst. Tech. J.*, vol. 55, pp. 317-334, May 1976.
- [5] F. R. P. Cavalcanti and J. C. M. Mota, "A predictive constant modulus algorithm for blind equalization in QAM systems," in *Proc. IEEE Int. Conf. Commun.*, vol. 2/3, 1997. pp. 1080-1084.
- [6] L. K. Tan, J. S. Putnam, F. Lu, L. J. D'Luana, D. W. Mueller, K. R. Kindsfater, K. B. Cameron, R. B. Joshi, R. A. Hawley, and H. Samueli, "A 70-Mb/s variable-rate 1024-QAM cable receiver IC with integrated 10-b ADC and FEC decoder," *IEEE J. Solid State Circuits*, vol. 33, pp. 2205-2218, Dec. 1998.

[7] M. T. Shiue, C. K. Wang, and W. I. Way, "A VLSI architecture design for dual-mode QAM and VSB digital CATV transceiver," *IEICE Trans. Commun.*, vol. E81-B, pp. 2351-2356, Dec. 1998.

[8] R. B. Joshi, B. Daneshrad, and H. Samueli, "A VLSI architecture for a single-chip 5-Mbaud QAM receiver," in *Proc. IEEE Globecom*, 1992, pp. 1265-1268.

[9] K. Yamanaka, S. Takeuchi, S. Murakami, M. Koyama, J. Ido, T. Fujiwara, S. Hirano, K. Okada, and T. Sumi, "A multilevel QAM demodulator VLSI with wideband carrier recovery and dual equalizing mode," *IEEE J. Solid-State Circuits*, vol. 32, pp. 1101-1107, July. 1997.

[10] L. Erup, F. M. Gardner, and R. A. Harris, "Interpolation in digital modems part II: implementation and performance," *IEEE Trans. Commun.*, vol. 41, pp. 998-1008, June 1993.

[11] F. M. Gardner, "A BPSK/QPSK timing error detector for sampled receivers," *IEEE Trans. Commun.*, vol. COM-34, pp. 423-429, May 1986.

[12] R. L. Cupo, and R. D. Gitlin, "Adaptive carrier recovery system for digital data communications receivers," *IEEE J. Select. Areas Commun.*, vol. 7, pp. 1328-1339, Dec. 1989.

[13] 최 형진. *동기방식 디지털 통신*, 교학사, 1995.

선우 명훈(Myung-Hoon Sunwoo)      정회원



1980년 2월:서강대학교 전자공학과 졸업  
 1982년 2월:한국과학기술원 전기 및 전자공학 석사  
 1982년~1985년:한국전자통신연구소(ETRI) 연구원  
 1985년~1990년:Unit. of Texas at Austin 전기 및 컴퓨터 공학과 박사  
 1990년~1992년:미국 Motorola, DSP Chip Division  
 1992년~현재:아주대학교 전자공학부 교수  
 2001년~현재:IEEE Senior Member  
 2002년~현재:IEEE Transactions on VLSI systems Associate Editor

<주관심분야> VLSI 및 SoC Architecture, 멀티미디어 통신용 DSP 칩 및 ASIC 설계

박 기 혁(Ki-Hyuk Park)      정회원



1998년 2월:아주대학교 전자공학과 졸업  
 2000년 2월:아주대학교 전자공학과(공학석사)  
 2000년3월~현재:한국전자통신연구소(ETRI) 연구원

<주관심분야>통신용ASIC설계