

IMT-2000 단말기용 InGaP/GaAs HBT MMIC 전력증폭기 설계 및 제작

정희원, 채규성*, 김성일**, 이경호**, 김창우*

Design & Fabrication of an InGaP/GaAs HBT MMIC Power Amplifier for IMT-2000 Handsets

Kyu-Sung Chae*, Sung-Il Kim**, Kyong-Ho Lee**, Chang-Woo Kim* *Regular Members*

요 약

에미터 면적이 $2.0 \times 20 \mu\text{m}^2$ 인 단위 InGaP/GaAs HBT power cell을 이용하여 IMT-2000 단말기용 MMIC 2단 전력 증폭기를 설계 및 제작하였다. 온도 변화에 따른 전력증폭기의 RF 특성 변화를 보상시킬 수 있으며, 외부 조절 전압으로 대기전류를 줄일 수 있는 능동 바이어스 회로를 채택하였다. HBT의 실측된 S 파라미터와의 fitting을 통하여 비선형 등가 회로 파라미터를 추출하였고, load-pull 시뮬레이션으로 최대 출력 정합 임피던스를 결정하였다. 제작 및 측정 결과, MMIC 2단 전력증폭기는 on-wafer 측정에서 23 dB의 전력 이득과 28.4 dBm의 출력 전력(P_{1-dB}) 및 31%의 전력 부가 효율을 얻었으며, FR-4 기판상에 off-chip 출력정합회로를 구현한 COB 측정에서 22.3 dB의 전력이득과 26 dBm의 출력전력 및 28%의 전력부가효율을 얻었으며, -40 dBc의 ACPR 특성을 얻었다.

keyword : MMIC, IMT-2000, Power Amplifier, HBT

ABSTRACT

Using InGaP/GaAs HBT power cells with a $2.0 \times 20 \mu\text{m}^2$ emitter area of a unit HBT, a two stage MMIC power amplifier has been developed for IMT-2000 handsets. An active-bias circuit has been used for temperature compensation and reduction in the idling current. Fitting on measured S-parameters of the HBT cells, circuit elements of HBT's nonlinear equivalent model have been extracted. The matching circuits have been designed basically with the extracted model. A two stage HBT MMIC power amplifier fabricated using ETRI's HBT process. The power amplifier produces an 1-dB compressed output power(P_{1-dB}) of 28.4 dBm with 31% power added efficiency(PAE) and 23-dB power gain at 1.95 GHz in on-wafer measurement. Also, the power amplifier produces a 26 dBm output power, 28% PAE and a 22.3-dB power gain with a -40 dBc ACPR at a 3.84 MHz off-center frequency in COB measurement.

I. 서론

IMT-2000 시스템은 전세계 어느 곳이나, 하나의 단말기로 통신 가능한 단말 이동성과 어느 누구나

어떤 상황에서도 개인의 고유 번호로 통신 가능한 개인 이동성을 추구하는 통신시스템이다. 또한 영상 통신과 같은 대용량, 초고속 데이터 전송을 가능하게 하는데 목표를 두고 있다. 이러한 IMT-2000 시스템을 비롯한 이동 통신 시스템에서 전력증폭기는

* 경희대학교 일반대학원 전기공학과(kschae@khu.ac.kr) ** 전자통신연구원 고속소자연구실 (sikim@etri.re.kr)

논문번호 : 030260-0618, 접수일자 : 2003년 6월 18일

* 본 논문은 한국과학재단 기초과학연구사업의 일환으로 경희대학교 임피던스 영상 신기술 연구센터의 지원으로 수행되었음.

시스템의 송신단에 위치하여, 변조된 반송파 신호를 증폭시켜 높은 전력의 신호를 송신 안테나로 전달하는 비선형 능동 소자로, 높은 출력과 선형성 그리고 효율 및 안정성이 요구된다[1]. 고체 소자 전력증폭기(Solid State Power Amplifier; SSPA)의 제작에 있어 주로 많이 사용되는 대표적인 전력 소자로는 HBT(Heterojunction Bipolar Transistor), HEMT(High Electron Mobility Transistor), MESFET(Metal Semiconductor FET) 등을 들 수 있다. 이를 이용한 최근의 IMT-2000 시스템의 주파수 대역(국내의 경우 상향 : 1.92~1.98 GHz, 하향 : 2.11~2.17 GHz)에서의 고체 소자 전력증폭기에 대한 연구 결과를 살펴보면, InGaP/GaAs HBT를 이용하여 26.3 dBm의 출력 전력과 -35 dBc의 ACPR을 보이는 전력증폭기[2]와, p-HEMT를 이용하여 33 dBm의 출력 전력과 40%의 전력 부가 효율을 나타내는 전력증폭기[3]가 개발되었다. 또한 선형성 개선을 위한 predistorter를 포함한 VGA와 종속 접속한 전력증폭기로는, HJFET를 이용하여 28.5 dBm의 출력 전력과 44.8%의 전력부가효율을 보이는 전력증폭기[4]와 AlGaAs/GaAs HBT를 이용하여 26 dBm의 출력 전력과 39%의 전력부가효율을 나타내는 전력증폭기[5]가 개발 되었으며, 전 세계적으로 화합물 반도체 소자를 이용한 전력증폭기 개발에 몰두하고 있다. 특히, HBT는 MESFET나 HEMT에 비하여 전력 밀도 특성이 우수하여, SSPA 응용에 적합한 소자로 주목을 받고 있다.

본 논문에서는 전자통신연구원에서 개발한, 전력 특성을 비롯한 RF 특성이 우수한 InGaP/GaAs HBT를 이용하여 IMT-2000 시스템의 단말기용 MMIC 전력증폭기를 개발하였다. 개발을 위한 주요 목표 사양을 표 1^[6]에 나타내었다.

표 1. HBT MMIC 전력증폭기의 개발 목표^[6]
Table 1. Design Goals of a HBT MMIC power amplifier.

항목	목표 사양
주파수	1.92 GHz - 1.98 GHz
동작 전압	3.5 V _{dc}
출력전력(P _{1-dB})	≥ 27 dBm(500 mW)
전력이득	24 dB
전력부가효율	30%
칩크기	≤ 1.4 × 1.6 mm ²

MMIC 2단 전력증폭기의 설계시에는 Agilent社の ADS(Advanced Design System)를 이용하였으며, 설계된 MMIC 2단 전력증폭기는 ETRI의 HBT

공정을 이용하여 제작하였다.

II. HBT 등가회로 모델 파라미터 추출

전력증폭기에 사용되는 능동 소자는 고출력 전력과 고효율을 얻기 위해 비선형(또는 대신호) 동작을 하게 된다. 따라서, 전력증폭기를 설계하기 위해서는 능동 소자의 비선형 동작을 나타낼 수 있는 대신호 S-파라미터가 필요하나, 대신호 S-파라미터는 측정 장치의 한계로 실제 측정이 용이하지 않다. 특히, HBT는 소자 자체가 가지고 있는 특유의 난해한 온도 특성으로 인해 현재까지 정확한 비선형 모델이 정립되지 않고 있다. 따라서 이러한 경우에는 비선형 회로 시뮬레이터의 Harmonic Balance Method를 이용하여 구한 대신호 S-파라미터로 전력증폭기를 설계할 수 있다. 따라서 본 논문에서는 전력증폭기 설계에 필요한 HBT의 비선형 등가 회로 모델을, ADS의 비선형 BJT 모델에 근사시켜, 참고문헌 [7]^[7]의 회로 파라미터를 기본으로 하여 실측정된 소신호 S-파라미터에 fitting 시켜 구하였다.

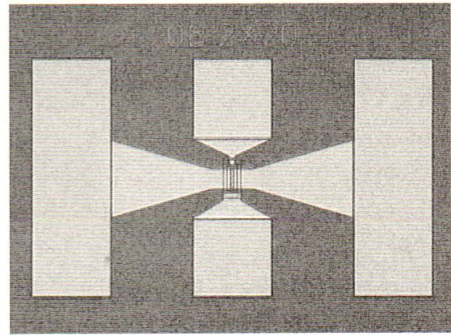


그림 1. 에미터 크기가 2.0×20 μm² 인 단위 InGaP/GaAs HBT
Figure 1. An unit InGaP/GaAs HBT with a 2.0×20 μm² emitter area.

그림 1에 본 논문에서 사용된 에미터 크기가 2.0×20 μm² 인 InGaP/GaAs HBT를 보이고 있다. 본 논문에서는 그림 1에 보인 InGaP/GaAs HBT 하나를 단위 트랜지스터로 하여, 이 단위 HBT 12개를 내부적으로 병렬 연결한 12-finger HBT를 하나의 파워셀(power cell)로 사용하였다. 본 절에서는 2개의 파워셀을 병렬 연결한 형태인 960 μm²의 에미터 면적을 갖는 24-finger HBT의 실측정된 소신호 S 파라미터를 이용하여, fitting을 통해 HBT의

비선형 모델을 구하였다. S 파라미터 측정시의 바이어스 조건은 $V_{BE}=1.33\text{ V}$, $V_{CE}=3.0\text{ V}$, $I_B=1.2\text{ mA}$, $I_C=110\text{ mA}$ 이다. fitting을 통해 구한 24-finger HBT의 등가 모델을 그림 2에 나타내었다.

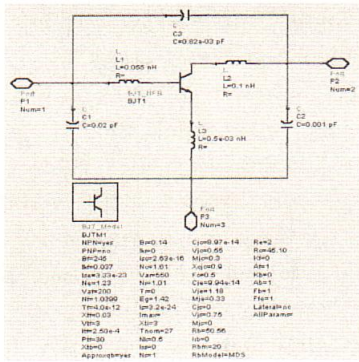


그림 2. 24-finger HBT의 등가회로 모델
Figure 2. Equivalent circuit model of 24-finger HBT.

그림 3은 0.5 GHz ~10 GHz 사이에서 행한 fitting의 결과를 보이고 있다. 그림 3 으로부터 알 수 있듯이 0.5 GHz~10 GHz의 주파수 범위에서 그림 2의 등가 모델이 24-finger HBT의 특성을 잘 나타내고 있다.

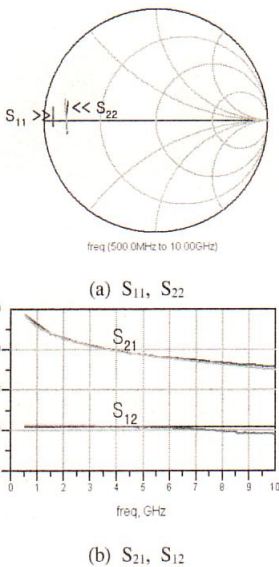


그림 3. 24-finger HBT 등가 회로 모델 S 파라미터와 실측 값과의 비교
Figure 3. Comparison of 24-finger HBT S-parameters between the simulated and measured results.

III. 능동 바이어스 회로의 설계

일반적으로 온도 변화에 따른 HBT의 특성 변화는 전력증폭기의 RF 특성을 변화시킨다. 따라서 온도 변화에 따른 HBT 특성의 변화를 보상하기 위해, 특성이 동일한 트랜지스터를 이용한 능동 바이어스 회로가 많이 이용된다. 본 설계에서는 이러한 온도 보상 기능과 더불어, 시스템의 대기 전류 (idling current)의 소비를 줄일 수 있는 바이어스 조절 전압인 V_{ctrl} 을 갖는 능동 바이어스 회로를 설계하였다.

그림 4에 설계된 능동 바이어스 회로를 개략적으로 나타내었다. 그림 4에서 Q_1 , Q_2 , Q_3 는 RF 트랜지스터인 Q_4 에 바이어스 전류를 공급하여 주기 위한 트랜지스터이다. Q_1 , Q_2 , Q_3 , Q_4 의 기하학적 파라미터는 동일하며, 단지 finger의 수만 차이를 두어 설계하였다.

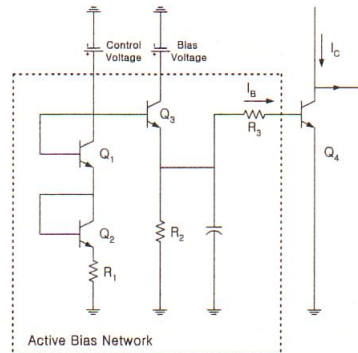


그림 4. V_{ctrl} 을 갖는 능동 바이어스 회로
Figure 4. An active bias circuit with a control voltage.

그림 4에서 Q_1 과 Q_2 는 베이스와 콜렉터 단자를 단락시켜 베이스-에미터 다이오드로 사용되고 있다. 이것은 병렬로 연결되어 있는 트랜지스터 Q_3 , Q_4 의 에미터-베이스 접합 전압과 전류 이득의 온도에 대한 변화를 보상하여 주는 회로 형태이다. 그리고 V_{ctrl} 패드를 이용하여 칩 외부에서 $V_{ctrl} \geq 2.5\text{ V}$ 이면, 직렬로 연결된 Q_1 , Q_2 와 Q_3 , Q_4 가 동시에 ON 상태가 되어 Q_4 가 증폭 작용을 하며 $V_{ctrl} < 2.5\text{ V}$ 이면, OFF 상태가 되어 Q_4 가 동작을 하지 않게 되어 실제적으로 회로에는 전류가 흐르지 않게 된다. 이를 이용하여 단말기의 송신부에 RF 신호가 입력되지 않을 때는 증폭기 전류를 '0' 으로, RF 신호가

입력되었을 때는 바이어스 조건에 맞는 V_{ctrl} 을 도입하여 대기 전류(idling current) 소비를 줄일 수 있을 것이다. 그림 5에 그림 4의 능동 바이어스 회로를 이용한 DC 시뮬레이션 결과를 보이고 있다.

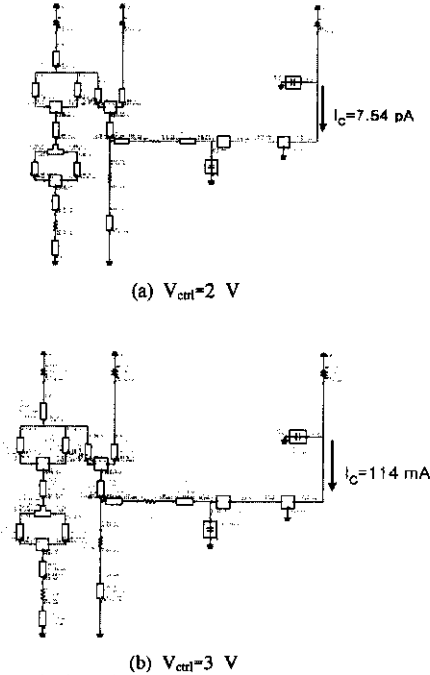


그림 5. V_{ctrl} 에 따른 바이어스 회로의 동작 전류 비교
Figure 5. Comparison of a operation current of the active bias circuit dependent on the control voltage.

그림 5의 (a)에서 볼 수 있듯이 $V_{ctrl}=2\text{ V}$ 일 때, RF 트랜지스터의 컬렉터에 흐르는 전류는 약 7.54 pA로 전류가 거의 흐르지 않고, 그림 5의 (b)에서 볼 수 있듯이, $V_{ctrl}=3\text{ V}$ 일때는 RF 트랜지스터의 컬렉터에는 114 mA의 정상적인 전류가 흐르고 있다.

IV. HBT MMIC 2단 전력증폭기 설계

에미터 면적이 $2.0 \times 20\ \mu\text{m}^2$ 인 단일 HBT(1-finger)를 이용하여, 이 단일 HBT 24개의 에미터 finger를 내부적으로 병렬 연결한 24-finger HBT(첫째단)와, 48개의 에미터 finger를 내부적으로 병렬 연결한 48-finger HBT(둘째단)를 사용하여 CE 형태의 2단 전력증폭기를 설계하였다. 설계시, 첫째단에는 그림 2의 24-finger HBT의 등가모델을 이용하였으며, 둘째단에는 scaling rule을 적용하여

[8], 그림 2의 24-finger HBT 2개를 병렬 연결 시켜 48-finger HBT로 사용하였다. 트랜지스터의 바이어스는 증폭기의 출력과 더불어 효율에 대한 고려를 감안하여 AB급으로 설정하였다.

전력증폭기의 출력 정합 회로는, 칩 크기에 대한 고려와 더불어, 사용 목적에 따라 적절한 형태의 출력 정합 회로를 칩 외부에서 하이브리드 형태로 부착할 수 있도록 설계하였다. 설계에 대한 개요도를 그림 6에 나타내었다.

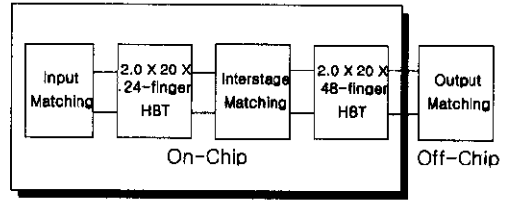


그림 6. 설계 개요도
Figure 6. A block diagram of the power amplifier.

정합회로에 사용된 수동 소자인 스파이럴 인덕터는 실제 MMIC 구현에 있어서 야기될 수 있는 오차를 최소화하기 위하여 인덕터 Library를 직접 사용하였으며, MIM 커패시터(Metal-Insulator-Metal Capacitor)의 커패시턴스는 커패시터의 면적에 비례하므로 설계시에는 시뮬레이터에서 제공되는 이상적인 커패시터를 이용하였고, 레이아웃시에 각각의 커패시턴스값에 해당하는 면적으로 대체하는 방법을 사용하였다. 바이어스 회로에 사용된 저항의 경우, 그 저항값이 저항체의 길이에 비례하므로 커패시터의 경우와 마찬가지로 설계시에는 시뮬레이터에서 제공되는 이상적인 저항을 이용하여, 레이아웃시에 각각의 저항값에 해당하는 길이의 저항체를 이용하였다. 또한 설계에 사용된 스트립라인은 특성 임피던스가 50 Ω 이 되도록 라인의 폭을 71 μm 로 하였다.

그림 6의 설계 개요도에서 밝힌 2단 전력증폭기의 설계를 위하여, 우선 24-finger HBT를 이용하여 입·출력단을 동시 공액 정합 시킨 첫째단 증폭기를 설계한 후, 이를 48-finger HBT와 연결하였다. 이때 최선의 전력 전달을 위해서는, 첫째단 증폭기를 통해 증폭된 신호가 손실없이 48-finger HBT의 입력 신호가 되도록 하는 단산 정합 회로가 필요하게 된다. 이를 위해서는 첫째단 증폭기의 출력 임피던스와 둘째단 증폭기의 입력 임피던스 사이에 임

피드스 정합을 시켜 주어야만 한다. 따라서 본 설계에서는 첫째단 증폭기와 둘째단 증폭기를 연결하는 단간 정합 회로의 설계를 위하여 48-finger HBT의 $S_{11}(\Gamma_{IN})$ 을 첫째단 증폭기의 $\Gamma_{L,2}$ 로 이동시키는 방법을 이용하였다. 여기서, 단간 정합 회로는 on-chip 형태로 제작되어지는 부분이므로 튜닝이 불가능하다. 그러나 칩 외부에서 임의의 임피던스를 갖는 출력 정합 회로가 부가되었을 경우, 이로 인한 반사 계수의 변화가 단간 정합 회로의 부정합을 일으켜, 제작된 단간 정합 회로가 제 역할을 수행하지 못할 가능성이 대두된다. 즉, 그림 7에서 48-finger HBT로 나타내어질 수 있는 둘째단 증폭기의 입력 반사계수인 $\Gamma_{IN,2}$ 는 다음과 같이 표현된다^[9].

$$\Gamma_{IN,2} = S_{11(48f)} + \frac{S_{12(48f)}S_{21(48f)}\Gamma_{L,2}}{1 - S_{22(48f)}\Gamma_{L,2}} \quad (식. 1)$$

그림 7과 식. 1로부터 알 수 있듯이 48-finger HBT가 양방향성($S_{12} \neq 0$)인 경우에, 칩 외부에서 부가될 출력 정합 회로에 의한 부하측 반사계수 $\Gamma_{L,2}$ 에 의하여 $\Gamma_{IN,2}$ 이 영향을 받게 되므로 결국에는 MMIC 칩으로 제작되어 튜닝이 불가능한 단간 정합 회로에 부정합을 일으키게 된다. 따라서 본 설계에서는 추후 칩 외부에서 부가될 출력 정합 회로가 단간 정합 회로에 미치는 영향을 시뮬레이션 하였다. 즉, 그림 7에서 부하 임피던스($\Gamma_{L,2}$)의 변화에 따른 입력 임피던스($\Gamma_{IN,2}$)의 변화를 살펴보았다.

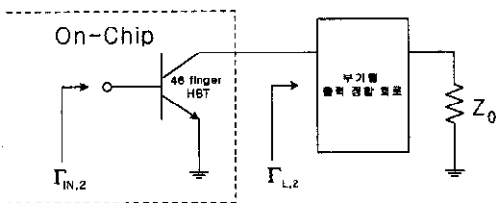


그림 7. 부하 임피던스의 변화에 따른 입력 임피던스의 변화를 알아보기 위한 개념도
Figure 7. A conceptual diagram to understand variation of an input impedance dependent on variation of a load impedance.

이를 위해 48-finger HBT의 입·출력단을 동시 공액 정합 시킨 후, 부하 임피던스 포인트($\Gamma_{L,2}$)를 중심으로, 스미스 차트상의 임의의 임피던스 포인트를 출력측에 연결하여, 이때의 입력 임피던스의 변화를 살펴보았다. 이 중 대표적인 6개의 포인트를 출력측에 연결하였을 때, 입력 임피던스의 변화를 그림 8

과 표 2에 각각 나타내었다.

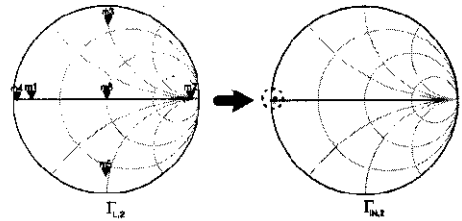


그림 8. $\Gamma_{L,2}$ 의 변화에 따른 $\Gamma_{IN,2}$ 의 변화
Figure 8. Variation of $\Gamma_{IN,2}$ dependent on variation of $\Gamma_{L,2}$.

표 2. $\Gamma_{L,2}$ 의 변화에 따른 $\Gamma_{IN,2}$ 의 변화
Table 2. Variation of $\Gamma_{IN,2}$ dependent on variation of $\Gamma_{L,2}$.

MARKER	$\Gamma_{L,2}$	$\Gamma_{IN,2}$
	none	$0.953 \angle 178.7^\circ$
m1 (conjugate)	$0.803 \angle 179.5^\circ$	$0.959 \angle 179.8^\circ$
m2	$0.803 \angle 0^\circ$	$0.952 \angle 178.5^\circ$
m3	$0.803 \angle 88.4^\circ$	$0.956 \angle 178.5^\circ$
m4	$0.803 \angle -179.5^\circ$	$0.966 \angle -178.7^\circ$
m5	$0.803 \angle -90.9^\circ$	$0.949 \angle 178.57^\circ$
m6	$0.803 \angle -20.1^\circ$	$0.953 \angle 178.7^\circ$

그림 8과 표 2로부터 확인 할 수 있듯이, 스미스 차트상의 임의의 임피던스를 출력측에 부가하더라도, 이로 인한 입력 임피던스의 변화는 거의 없었다. 이는 둘째단 증폭기에 사용된 48-finger HBT의 S_{12} 에 의한 영향이 크지 않음을 의미하므로, 첫째단과 둘째단을 연결하여 주는 단간 정합 회로가 제 역할을 수행할 수 있음을 알 수 있다.

이러한 단간 정합 회로를 이용하여 설계된 2단 증폭 회로에, 앞서 설계된 바이어스 회로를 부가한 2단 증폭 회로도를 그림 9에 나타내었다.

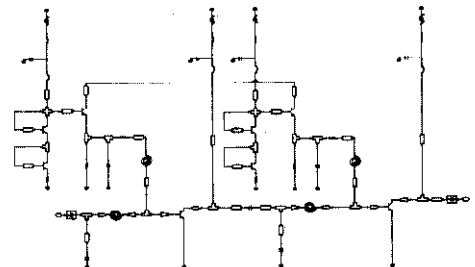


그림 9. 능동 바이어스 회로가 부가된 2단 증폭회로도
Figure 9. A two-stage amplifier with an active bias circuit.

그림 9의 2단 증폭 회로를 이용하여, 설계된 2단 증폭 회로가 낼 수 있는 최대 출력 전력 특성을 시

물레이션 하기 위하여, 우선 최대 출력 전력을 낼 수 있는 최대 출력 전력 임피던스 포인트($\Gamma_{L(power)}$)를 load-pull 시뮬레이션을 통하여 결정하였다. 그림 10에 load-pull 시뮬레이션 결과를 보이고 있다.

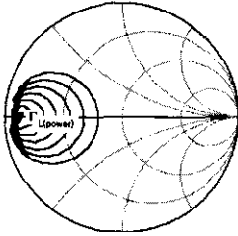


그림 10. load-pull 시뮬레이션 결과
Figure 10. Load-pull simulation results.

Load-pull 시뮬레이션 결과, 설계된 2단 증폭 회로는 3 V~3.5 V의 바이어스 전압을 가해주었을 때, $\Gamma_L = 0.89 \angle -176.7^\circ$ 에서 최대 출력 전력을 낼 수 있음을 확인할 수 있다.

설계된 2단 증폭 회로의 출력 전력 특성을 시뮬레이션 하기 위하여 load-pull 시뮬레이션을 통해 구한 $0.89 \angle -176.7^\circ$ 의 반사 계수를 갖는 출력 정합 회로를 설계하여, 그림 9의 2단 증폭 회로의 출력측에 연결한 후, 전체 2단 전력 증폭 회로의 입·출력 전력 특성을 시뮬레이션 하였다. 그림 11에 설계된 2단 전력 증폭 회로의 입·출력 전력 특성을 나타내었다.

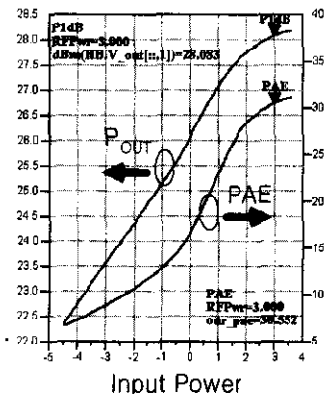


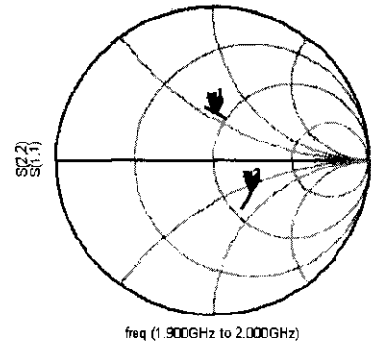
그림 11. 2단 전력 증폭 회로의 입·출력 전력 및 전력 부가 효율 특성(@ 1.95 GHz)

Figure 11. Input-output power(P_{out}) and power-added efficiency(PAE) characteristics for the two-stage power amplifier(@ 1.95 GHz).

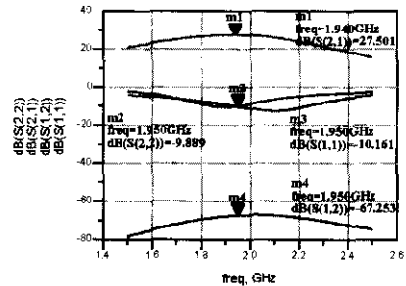
시뮬레이션 결과, 설계된 2단 전력 증폭 회로는 중심 주파수인 1.95 GHz에서 약 28.1 dBm의 P_{1dB}

와 25 dB의 전력이득 그리고 30.6%의 전력 부가 효율을 얻었다.

그림 12에 설계된 2단 전력 증폭 회로의 소신호 특성을 나타내었다. 그림 12로부터 설계된 2단 전력 증폭 회로는 1.92 ~ 1.98 GHz의 주파수 대역에서 9.6 dB 이상의 입력 반사 손실과 9.2 dB 이상의 출력 반사 손실을 가졌으며, 27.3 dB 이상의 소신호 이득을 보이고 있다.



(a) S_{11} , S_{22}



(b) S_{11} , S_{12} , S_{21} , S_{22}

그림 12. 2단 전력 증폭 회로의 소신호 특성 시뮬레이션 결과
Figure 12. Simulation results of S-parameters for the two-stage power amplifier.

V. HBT MMIC 2단 전력증폭기 제작 및 측정

그림 9의 설계된 HBT MMIC 2단 전력증폭회로를 ETRI의 GaAs 공정을 이용하여 제작하였다. 그림 13에 제작된 InGaP/GaAs HBT MMIC 2단 전력증폭기를 나타내었다. 제작된 InGaP/GaAs HBT MMIC 2단 전력증폭회로의 칩 크기는 1.4×1.6

mm이다.

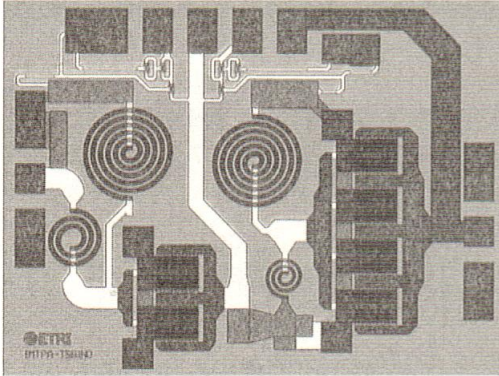


그림 13. 제작된 MMIC 2단 전력증폭회로
Figure 13. A photograph of the two-stage HBT MMIC power amplifier.

그림 13의 제작된 HBT MMIC 2단 전력증폭기를 이용하여, 그림 4에 나타난 V_{ctrl} 을 갖는 능동 바이어스 회로의 조절 전압에 따른 증폭회로의 동작 상태를 점검하기 위해 on-wafer 상태에서 제작된 HBT MMIC 2단 전력증폭기의 DC 특성을 측정하였다. 조절 전압에 따른 2단 전력 증폭회로의 DC 특성을 표 3에 정리하였다. 측정결과 제작된 2단 전력증폭기는 첫째단의 경우 $V_{ctrl} > 2.7$ V에서, 그리고 둘째단의 경우 $V_{ctrl} > 2.5$ V에서 동작하고 있다.

표 3. 조절 전압에 따른 DC 특성
Table 3. DC characteristics dependent on the control voltages.

V_{ctrl1} [V]	I_{B1} [mA]	V_{C1} [V]	I_{C1} [mA]	V_{ctrl2} [V]	I_{B2} [mA]	V_{C2} [V]	I_{C2} [mA]
2.3	0	3	4	2.3	0	3	0
2.4	0	3	4	2.4	0	3	1
2.5	0	3	8	2.5	1	3	102
2.6	1	3	9	2.6	2	3	107
2.7	6	3	29	2.7	3	3	132
2.8	8	3	40	2.8	6	3	147
2.9	10	3	57	2.9	9	3	165
3.0	11	3	77	3.0	11	3	188

그림 13의 제작된 MMIC 2단 전력증폭기를 이용하여, 출력측에 임피던스 변화가 가능한 자동 튜너를 부착하여 on-wafer 상태의 load-pull 측정을 수행하였다. 1.95 GHz의 주파수에서 3.5 V의 바이어스 전압을 인가했을 때, load-pull 측정을 통한 2단 전력증폭기의 입·출력 전력 특성을 그림 14에 나

타내었다.

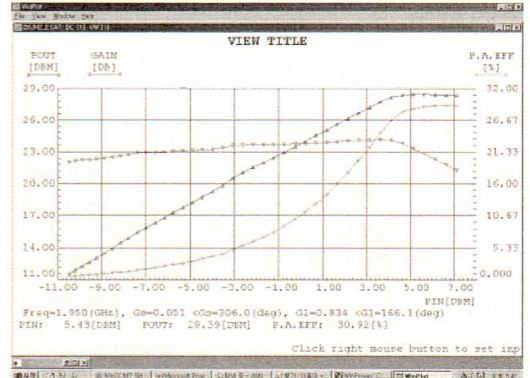


그림 14. 3.5 V 인가시, 제작된 2단 전력증폭기의 입·출력 전력 특성(@1.95 GHz)
Figure 14. Measured output power, power gain and power-added efficiency characteristics as a function of an input power with $V_{dc}=3.5$ V(@1.95 GHz).

그림 14로부터 3.5 V의 바이어스 전압을 인가했을 때, 제작된 HBT MMIC 2단 전력증폭기는 0.83 $\angle 166.1^\circ$ 의 출력 임피던스에서 약 23 dB의 전력 이득과 28.39 dBm의 출력 전력, 그리고 31%의 전력 부가 효율을 얻었다.

그림 15에 제작된 MMIC 칩을 이용하여 실제 출력정합회로를 구현한 COB(Chip On Board)를 나타내었다. PCB 제작에 사용된 기판은 유전율 4.7인 FR-4 기판을 사용하였으며, 1005 형태의 off-chip 부품을 이용하여 출력정합 회로를 구현하였다.

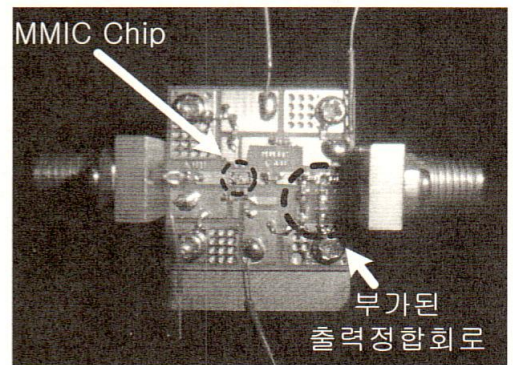
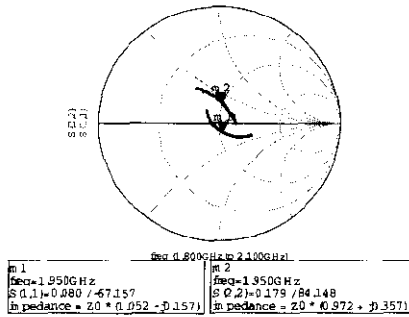


그림 15. 출력정합 회로가 부가된 COB 형태의 2단 전력증폭기
Figure 15. A COB type two stage power amplifier with output matching circuit.

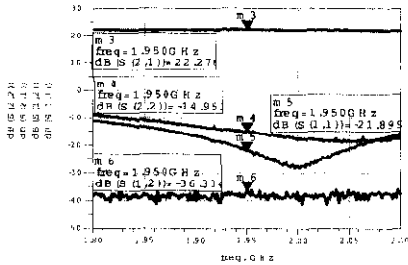
그림 16과 그림 17에 실제 출력정합 회로를 부가하여 COB 형태로 측정한 2단 전력증폭기의 소신호

특성과 입·출력 전력 특성을 각각 나타내었다.

power (@1.95 GHz).



(a) S₁₁, S₂₂



(b) S₁₁, S₁₂, S₂₁, S₂₂

그림 16. 출력정합회로가 부가된 2단 전력증폭기의 소신호 특성

Figure 16. Measured results of S-parameters for the two-stage power amplifier with output matching circuit.

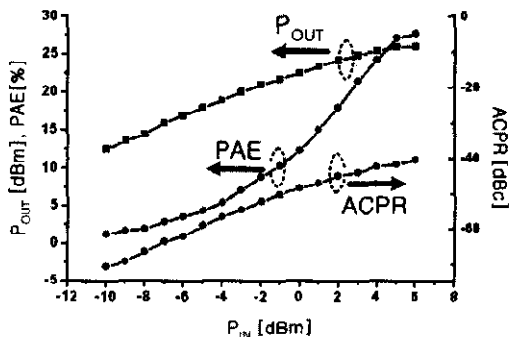


그림 17. 출력정합회로가 부가된 2단 전력증폭기의 입·출력 전력 특성(@1.95 GHz)

Figure 17. Measured output power, power-added efficiency and ACPR characteristics of a two stage power amplifier with output matching circuit as a function of an input

그림 16으로부터 출력정합회로가 부가된 2단 전력증폭기는 1.92 ~ 1.98 GHz의 주파수 대역에서 16 dB 이상의 입력 반사 손실과 13 dB 이상의 출력 반사 손실을 가졌으며, 22.3 dB의 소신호 이득을 보이고 있다. 또한, 그림 17부터 제작된 2단 전력증폭기는 중심주파수인 1.95 GHz에서 약 26 dBm의 출력 전력과 28%의 전력부가효율을 나타내었으며, 중심 주파수로부터 3.84 MHz 떨어진 offset frequency에서 약 -40 dBc의 ACPR 특성을 나타내었다. On-wafer상에서의 로드-풀 측정과 lumped chip component로 출력 정합 회로를 구성한 COB 측정의 결과를 표4에 정리하였다.

표 4. 로드-풀 측정과 COB 측정의 특성 비교

Table 4. Comparison of PA characteristics in load-pull and COB measurement

항 목	로드-풀 측정	COB 측정
주파수	1.92 GHz - 1.98 GHz	
동작 전압	3.5 V _{cc}	
출력 전력(P _{1-dB})	28.4 dBm	26 dBm
전력이득	23 dB	22.3 dB
전력부가효율	31%	28%
ACPR	-	-40 dBc
칩크기	1.4 × 1.6 mm ²	20 × 20 mm ²

VI. 결론

본 논문에서는 에미터 면적이 2.0×20 μm²인 HBT를 이용하여 IMT-2000 단말기용 MMIC 2단 전력증폭기를 설계 및 제작하였다. 출력 정합 회로는 칩 외부에서 하이브리드 형태로 부가할 수 있도록 하였으며, 온도 변화에 따른 RF 트랜지스터의 특성 변화를 보상함과 더불어 시스템의 대기 전류 소비를 줄일 수 있는 능동 바이어스 회로를 채택하였다. 제작된 MMIC 칩을 on-wafer형태로 로드-풀 측정을 통해 최대 출력 전력을 낼 수 있는 부하 임피던스 포인트를 결정하였으며, 유전율 4.7인 FR-4 기판을 이용하여 lumped chip component로 출력정합 회로를 구성한 COB(Chip On Board) 형태의 2단 전력증폭기를 제작 및 측정하였다. On-wafer 형태의 측정과 COB 형태의 측정에서 발생한 특성의 차이에 대한 원인들로는 lumped chip component가 가지고

있는 특성 값들의 제한으로 인해 로드-풀 측정을 통해 얻은 출력 임피던스가 정확하게 구현되지 못한 점과 PCB상에 구현된 전송선로와 커넥터 그리고 wire bonding 에서의 손실 등을 들 수 있다.

향후 계획으로는 본 논문의 결과를 바탕으로 좀 더 향상된 전력 부가 효율을 위한 고효율 정합 회로에 대한 연구와 더불어, 전력증폭기의 선형성 향상을 위한 선형 증폭 회로에 대하여 연구할 계획이다.

참 고 문 헌

[1] Lawrence E. Larson, RF AND MICROWAVE CIRCUIT DESIGN FOR WIRELESS COMMUNICATION, Artech House Publishers, 1996

[2] T. B Nishimura et al, "A 50% efficiency InGaP/GaAs HBT power amplifier module for 1.95 GHz wide-band CDMA handsets," *IEEE RFIC Symp. Dig.*, pp 31-34, 2001.

[3] S. Zhang et al, "E-PHEMT, single supply, high efficient power amplifier for GSM and DCS applications," *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 927-930, 2001.

[4] Gray Hau et al, "High Efficiency, Wide Dynamic Range Variable Gain and Power Amplifier MMICs for Wide-Band CDMA Handsets," *IEEE MICROWAVE AND WIRELESS COMPONENTS LETTERS, VOL.11, NO. 1*, pp 13-15, JANUARY 2001.

[5] Ville Vintola et al, "VARIABLE GAIN POWER AMPLIFIER FOR MOBILE WCDMA APPLICATIONS," *IEEE MTT-S Digest*, pp919-922, 2001

[6] IMT-2000 단말기용 전력증폭기 개발 사양서, ETRI 2000

[7] P.M. Asbeck et al, "Heterojunction Bipolar Transistors for microwave and millimeter-wave integrated circuits," *IEEE Trans. Electron Devices*, vol. 34, NO. 12, pp. 2571-2577, Dec. 1987.

[8] Fazal Ali et al. HEMTs and HBTs : Devices, Fabrication, and Circuits, Artech House, 1991.

[9] Guillermo Gonzalez, MICROWAVE TRANSISTOR AMPLIFIER Analysis and Design, Prentice Hall, 1997.

채 규 성(Kyu-Sung Chae)

정회원



1998년 2월 : 경희대학교 우주과학과 졸업
 2001년 2월 : 경희대학교 전파공학과 석사
 2001년 3월~현재 : 경희대학교 전파공학과 박사과정

<주관심분야> MCIC 및 MMIC 설계, 초고주파 능동소자 모델링

김 성 일(Seong-Il Kim)

정회원



1998년 : 한양대학교 전자공학과 졸업
 2000년 : KAIST 전자공학과 석사
 2000년~현재 : 전자통신연구원(ETRI) 연구원

<주관심분야> 이동무선통신 및 초고속통신용 IC 설계

이 경 호(Kyung-Ho Lee)

정회원



1980년 : 서울대학교 금속공학과 졸업
 1982년 : 서울대학교 금속공학과 석사
 1989년 : 스탠포드대학교 재료공학과 박사
 1989~1996 : 전자통신연구원

(ETRI) 선임연구원

1996~1998 : 이튼 반도체 Korea(주) Applications 이사
 1998~현재 : 전자통신연구원(ETRI) 책임연구원

김 창 우(Chang-Woo Kim)

정회원



1984년 2월 : 한양대학교 전자
공학과 졸업

1986년 2월 : 한양대학교
전자공학과 석사

1992년 3월 : 일본 *Shizuoka* 대학
원 전자 과학 연구과 공학박사

1992.4~1996.2 : (주)日本電氣

(NEC) 마이크로 일렉트로닉스 연구소 연구부 주임
연구원

1996.3~현재 : 경희대학교 전자정보대학 부교수

<주관심분야> MCIC 및 MMIC 설계, 초고주파 능
동소자 모델링