

# 234.7 MHz 혼합형 주파수 체배 분배 ASIC의 구현

정희원 권광호\*, 채상훈\*\*, 정희범\*\*\*

## Implementation of 234.7 MHz Mixed Mode Frequency Multiplication & Distribution ASIC

Kwang-Ho Kwon\*, Sang-Hoon Chai\*\*, Hee-Bum Jung\*\*\* *Regular Members*

### 요 약

ATM 교환기 망동기용 아날로그/디지털 혼합형 ASIC을 설계 제작하였다. 이 ASIC은 상대 시스템으로부터 전송되어온 46.94 MHz의 클럭을 이용하여 234.7/46.94 MHz의 시스템용 클럭 및 77.76/19.44 MHz의 가입자용 클럭을 발생시키는 역할을 하며, 전송된 클럭의 체크 및 선택 기능도 동시에 포함한다. 효율적인 ASIC 구성을 위하여 고속 클럭 발생을 위한 2개의 아날로그 PLL 회로는 전주문 방식으로, 외부 입력 클럭 체크 및 선택을 위한 디지털 회로는 표준 셀 방식으로 설계하였다. 또한, 아날로그 부분에는 일반 CMOS 공정으로 제작 가능한 저항 및 커패시터를 사용함으로써 0.8  $\mu\text{m}$  디지털 CMOS 공정으로 칩을 제작 가능케 하여 제작비용도 줄였다. 제작된 칩을 측정한 결과 234.7 MHz 및 19.44 MHz의 안정된 클럭을 발생하였으며, 클럭의 실효 지터도 각각 4 ps 및 17 ps정도로 낮게 나타났다.

### ABSTRACT

An analog/digital mixed mode ASIC for network synchronization of ATM switching system has been designed and fabricated. This ASIC generates a 234.7/46.94 MHz system clock and 77.76/19.44 MHz user clock using 46.94 MHz transmitted clocks from other systems. It also includes digital circuits for checking and selecting of the transmitted clocks. For effective ASIC design, full custom technique is used in 2 analog PLL circuits design, and standard cell based technique is used in digital circuit design. Resistors and capacitors for analog circuits are specially designed which can be fabricated in general CMOS technology, so the chip can be implemented in 0.8  $\mu\text{m}$  digital CMOS technology with no expensive. Testing results show stable 234.7 MHz and 19.44 MHz clocks generation with each 4 ps and 17 ps of low rms jitter.

**key Words** : Frequency multiplication & distribution ASIC; Mixed mode design; Clock generation; Jitter

### I. 서 론

ATM 교환기 등 복잡한 통신 시스템의 망 동기(network synchronization)부와 가입자 정합(user

interface)부 등에는 시스템들 간의 동기 및 시스템과 가입자간의 동기를 위한 여러 종류의 클럭 발생 회로들이 필요하다. 그 중 대표적인 시스템 및 가입자 클럭 발생 회로는 동기된 시스템들과, 나아가서는 가입자를 포함한 망 전체의

\* 한서대학교 전자공학과 (khkwon@hanseo.ac.kr), \*\* 호서대학교 전자공학과 (shchai@hoseo.ac.kr),

\*\*\* 한국전자통신연구원 반도체원천연구소 집적회로연구부 (hbjung@etri.re.kr)

논문번호 : 030355-0814, 접수일자 : 2003년 6월 15일

안정성을 좌우하기 때문에 교환기 핵심 부품의 하나로서 매우 중요한 역할을 한다. 그러나 이 시스템 클럭과 가입자 클럭은 주파수가 서로 상이하므로 하나의 칩 상에 집적하기에는 기술적으로 많은 문제가 따른다.

일반적으로 100 MHz 이상의 고속 클럭 발생 회로는 (phase locked loop) 기술을 응용한 회로들이 많이 사용된다. PLL 회로는 응답 특성이 양호하고 온도 등 주변 환경의 변화에도 비교적 영향을 작게 받기 때문에 클럭 발생 회로로서 적합하다[1][2]. PLL을 응용한 고속 클럭 발생 회로는 PLL을 구성하는 위상비교기(phase detector), 전압제어발진기(voltage controlled oscillator), 저역필터(low pass filter), 분주기(divider) 등 각 블록이 잘 설계되지 않으면 하모닉(harmonic)잡음, 전원잡음 등 각종 잡음이 발생하며 이들은 결국 클럭의 떨림 현상인 지터(jitter) 형태로 나타난다. 더구나 상이한 두 가지 클럭 회로가 하나의 칩 상에 집적되고, 여기에 디지털 회로까지 추가된 경우는 각 회로에서 발생한 전원 및 신호 잡음들이 상호 간섭(intereference) 효과를 일으켜서 지터 등 잡음을 증가시키므로 그 문제가 더욱더 심각하다. 그런데 클럭 회로에서 발생된 지터는 동기 시스템 전체의 신호 처리 품질을 좌우하므로 이를 최소화하는 것이 필수적이다.

본 연구에서는 ATM 교환기 등 유선 전송 시스템 망동기부 및 가입자 정합부에 사용할 목적으로, 234.7/46.94 MHz 시스템 클럭 및 STM(synchronous transfer mode)-4/1용 77.76/19.44 MHz 가입자 클럭신호를 동시에 발생시키기 위한 주파수 체배 및 분배(FMD: frequency multiplier & divider) ASIC을 0.8 μm CMOS 디지털 공정 기술을 이용하여 하나의 칩으로 설계 제작한 다음 측정 분석해 보았다. 설계 제작된 ASIC은 칩 구성 상 시스템 및 가입자 클럭 발생부와 입력 클럭 체크 및 선택부로 크게 구분된다. 설계 효율을 높이기 위하여 고속 및 정확한 동작을 요하는 클럭 발생부와 관련회로는 아날로그 회로를 토대로 하여 전주문(full custom) 방식으로, 고집적을 요하는 입력 클럭 체크 및 선택부와 클럭 분주기 등은 디지털 회로를 기반으로 하는 표준 셀(standard cell based) 방식을 사용하여 아날로그/디지털 혼합형(mixed mode) 방식으로 설계하였다. 이 칩은 아날로그/

디지털 혼합 회로이므로 디지털 회로가 동작하면서 발생한 각종 잡음과, 서로 다른 아날로그 PLL 회로 간 클럭 주파수 차이에 의해 야기되는 간섭작용 때문에 클럭에 포함된 지터가 커질 가능성이 있다. 따라서, 본 설계에서는 아날로그/디지털 혼합형 단일칩 구성을 위하여 클럭의 지터를 최소화하기 위한 특별한 설계 방법을 채택하였다.

## II. FMD ASIC의 설계

그림 1은 본 연구에서 설계하고자 하는 집적회로의 개략적인 구조를 나타낸 블록도이다. 그림에서와 같이 상대 시스템으로부터 입력된 46.94 MHz의 클럭 A, B 및 자체 시스템 보드에 설치된 기준(reference) 클럭은 버퍼 회로를 통해 PECL(pseudo ECL) 신호 또는 TTL 신호에서 CMOS 신호로

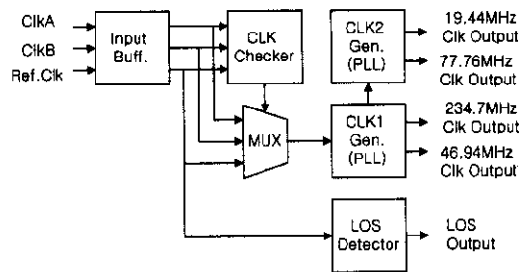


그림 1. 설계된 FMD ASIC의 블록도

레벨 변환이 이루어진다. 여기서 클럭 A, B는 상대 시스템으로부터 데이터와 함께 전송된 클럭이며, 기준 클럭은 자체 시스템으로부터 제공된 가장 안정된 자체 클럭(local clock)에 해당한다. 버퍼 다음 단계는 외부에서 입력되는 3개의 클럭중 하나를 선택해 주는 디지털 클럭 체크 회로가 배치되어 있다. 이 클럭 체크 회로에서는 기준 클럭을 이용하여 입력된 클럭 A, B를 순차적으로 신호 품질을 체크하여 더 양호한 클럭을 가려내며, 클럭 A, B 모두 불량일 때는 기준 클럭을 선택한다. 그리고 MUX를 통해 선택된 하나의 클럭이 234.7/46.94 MHz 시스템 클럭 발생 회로로 전달된다. 클럭 체크 및 선택 블록과 MUX 블록은 디지털 표준 셀을 이용하여 설계하였다.

234.7/46.94 MHz 시스템 클럭 발생 회로는 차지펌프(charge pump)가 내장된 고속에서 안정한 특성을 갖는 아날로그 PLL을 기본으로 하여 설계하였다

[3][4][5]. 그림 2는 본 연구에서 사용된 PLL 회로의 블록도를 나타낸 것이다.

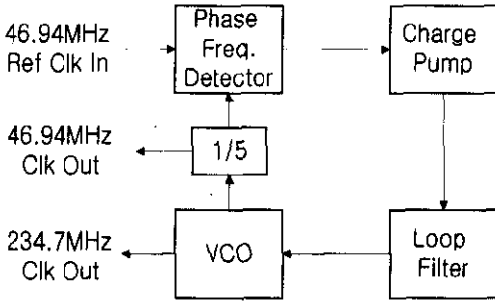


그림 2. 234.7 MHz 클럭 발생기 회로 블록도

PLL 회로는 입력되는 신호와 자체 발진기에서 발생한 클럭을 비교하는 위상비교기, 위상비교기의 출력을 전하량으로 바꾸어서 출력하는 차지펌프, 고주파 잡음 제거 및 PLL의 안정을 유지하기 위한 루프필터, 전압에 따라 발생 주파수가 바뀌는 전압 제어발진기 및 주파수 5분주 회로로 구성된다. 본 연구에서는 234.7 MHz의 고속, 저지터 클럭 발생을 위하여 PLL의 각 블록을 속도 및 잡음 특성이 우수한 회로를 선택하였다. 우선 초기 동작 시 또는, 클럭 절제 시 빠르고 원활한 락킹(locking)을 위하여 위상비교기는 위상과 주파수를 동시에 비교하는 위상-주파수비교기(phase frequency detector) 형태로 설계하였다. 전압제어발진기는 234.7 MHz의 고속, 저지터 발생을 위하여 간단하면서도 하모닉 잡음 발생이 최소화되는 인버터형 5단 링발진기 회로를 채택하였다.[6] 루프필터 회로 역시 잡음발생을 억제하기 위하여 고역 및 저역에서 발생하는 잡음을 동시에 흡수할 수 있는 리더-래거(leader-lagger)형 구조로 설계하였으며, 필터의 주파수 대역(bandwidth)을 잡음을 최소화할 수 있는 범위로 최적화하였다. 본 설계에서는 시뮬레이션을 통하여 분석한 결과 양호한 안정성을 나타내는 사용주파수의 약 1/20인 12 MHz 대역의 R, C 필터 값을 사용하였으며, 제작 후 측정 시는 이 값들을 실제 상황에 맞게 일부 조정하였다.

77.76/19.44 MHz 가입자 클럭 발생 회로는 그림 3에서와 같이 시스템 클럭 발생 회로에서 발생한 46.94 MHz 클럭을 32 분주한 1.47 MHz 클럭을 입력으로 사용하며, 시스템 클럭 발생 회로와는 별도로 설치된 또 하나의 아날로그 PLL 회로를 사용하여 설계하였다. 그림에서와 같이 가입자 클럭 발생용

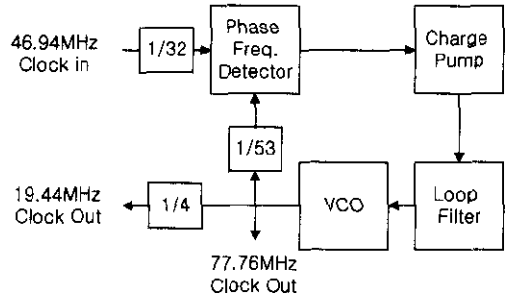


그림 3. 19.44 MHz 클럭 발생기 회로 블록도

PLL 회로는 시스템 클럭 발생용 PLL 회로와 비슷한 구조로 이루어지나, 전압제어발진기의 주파수 범위가 STM4 가입자 클럭 주파수인 77.76 MHz 부근인 것과, STM-1용 19.44 MHz 가입자 클럭 발생을 위한 4분주 회로, 입력 클럭과 비교를 위한 1.47 MHz 클럭을 만들기 위한 53분주 회로 등이 추가된 것이 차이점이다. 이 PLL 회로는 시스템 클럭 발생기에서 발생한 클럭을 입력으로 사용하므로 시스템 클럭에 포함된 지터 등 잡음을 억제 또는 흡수하는 능력을 가져야한다. 더구나 이 PLL 회로의 위상주파수비교기 실제 입력은 46.94 MHz와 77.76 MHz의 최대공약수 주파수인 1.47 MHz이므로 두 입력신호의 비교 구간이 넓어서 발생한 77.76 MHz 클럭 주파수의 안정성이 떨어질 우려도 있다. 이러한 점들을 최대한 반영하여 PLL 회로의 각 블록들을 설계하였다. 그 중에서도 특히 잡음 흡수와 발생 클럭 주파수의 안정성을 최우하는 루프필터의 값 결정에 최대한 주의를 기울였다. 본 설계에서는 시뮬레이션을 통하여 관찰한 결과 양호한 안정성을 나타내는 사용주파수의 약 1/100인 100 KHz 대역의 R, C 필터 값을 사용함으로써 잡음 흡수 및 주파수 안정성 측면에서 좋은 특성을 얻을 수 있었으며, 제작 후 측정 시는 이 값들을 실제 상황에 맞게 일부 조정하였다. 최종 19.44 MHz 출력은 전압제어발진기로부터 발생한 77.76 MHz 출력을 4분주하여 사용한다.

그밖에 관련 추가 회로로서 FMD ASIC에는 시스템에 이상이 발생하여 기준 클럭이 입력되지 않는 경우를 대비하여 기준 클럭의 유무를 판단하는 LOS(loss of signal) 회로도 포함되어 있다. 이 회로는 기준 클럭의 유무에 따라 0 또는 5 V의 상이한 상태를 출력하게 된다. 시스템은 이 LOS 회로의 출력을 받아서 필요한 조치를 취하게 된다. 내부 클럭 발생 회로 및 LOS 회로 블록은 그 특성상 R, C 회로를 포함한 아날로그 회로를 이용하여 전주분 방식으로

설계하였다. 전반부에서 언급된 입력된 PECL 레벨의 클럭을 CMOS 레벨로 변환하는 입력 버퍼 회로와, 내부 발생한 CMOS 레벨의 클럭을 PECL 레벨로 변환해 주는 출력 버퍼 회로도 고속인 점을 감안하여 전주문 방식으로 설계하였다.[6]

### III. FMD ASIC의 레이아웃 및 제작

그림 4는 제작된 칩의 사진으로서 크기는 4.0 mm x 3.8 mm이다. 이 칩은 아날로그/디지털 혼합 회로의 대표적인 예로서 2개의 아날로그 PLL 부분과 1개의 디지털 모듈로 구성된다. 따라서 디지털 회로가 동작하면서 발생하는 각종 잡음은 전원, 접지 또는 실리콘 기판을 통하여 아날로그 회로 부분에 전달되면서 특히, VCO 등 PLL에 내장된 회로에 영향을 미쳐 이 회로를 통하여 발생한 클럭의 지터가 증가시킨다. 또한, 서로 다른 종류의 아날로그 PLL 회로가 인접하면 상호 간의 클럭 주파수 차이에 의한 간섭작용 때문에 각 클럭의 지터가 증가된다. 본 설계에서는 클럭의 지터를 최소화한 단일칩 구성을 위하여 특별한 레이아웃 설계 방법을 적용하였다. 즉, 서로 다른 종류의 회로 사이에서 일어나는 전기적 상호작용 및 클럭 주파수 차이에 의한 상호 간섭을 최소화하기 위하여 각 회로간의 배치를 물리적으로 완전 분리하였다. 우선 그림에서 보듯이 칩을 상하 2개의 아날로그 부분과 가운데 1개의 디지털 부분으로 나누어서 물리적으로 서로 간에 가장 멀리 분리하여 배치하였다. 이에 따라 두 회로의 전원(VDD) 및 접지(ground) 패드도 각 모듈 별로 완전 분리되었다. 즉, 물리적 뿐만 아니라 전기적으로도 아날로그 모듈과 디지털 모듈을 완전 분리하였다. 특히 디지털 회로의 동작에 따라 발생하는 전원잡음은 잡음에 민감한 아날로그 부분에 많은 영향을 미치므로 전원 분리는 잡음 방지 면에서 큰 효과가 있을 것으로 기대할 수 있다. 각 모듈 사이에는 전원에 연결된 n-웰(well) 및 접지에 연결된 p-확산층(diffusion layer)으로 구성된 띠(strip) 모양의 격리장벽(isolation wall)을 이중으로 설치하여 각 회로에서 발생하는 기판잡음(substrate noise) 및 주입 소수반송지(injected minority carrier)를 전기적으로 흡수하도록 함으로서 두 회로 상호간의 전하 교환이 전혀 일어나지 않도록 격리하였다. 마지막으로, 입력버퍼, 링발진기 등 중요한 회로가 포함된 블록들은 p/n 가드링(guard ring)을 이용하여 외부로부터 격리시킴으로서 기판 잡음에 의한 상호 간섭을 최소화하고 래치업(latch-up)도 방지토록 하였다.

이외에 각 모듈 안에서도 사용하는 전원 및 접지 단자를 블록별로도 완전 분리하여 잡음 방지에 최대한 노력하였다.

본 연구 방법에 의해 설계된 FMD ASIC은 아날로그 회로가 포함되어 있음에도 불구하고 칩으로 제작할 때 비용이 저렴한 0.8  $\mu\text{m}$  디지털 CMOS 기술로 설계하였다. 이를 위하여 아날로그 회로에서 사용되는 저항 및 커패시터를 디지털 공정에 맞게 설계하였다. 즉, 저항은 P+ 소스 드레인을 형성하기 위한

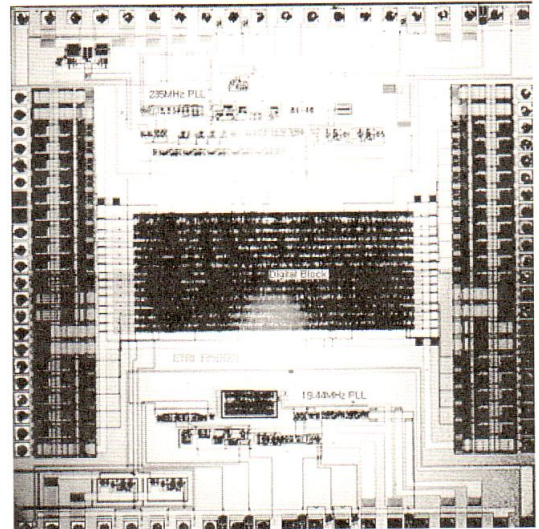


그림 4. 제작된 칩의 사진

P+ 확산(diffusion)층의 저항성분(resistance)을 사용하였으며, 커패시터는 게이트 산화막과 폴리실리콘을 이용한 게이트 용량성분(capacitance)을 사용하였다. 이 방법을 사용함으로써 아날로그 회로와 디지털 회로가 각각 분리되어 2개 이상의 칩으로 실현하는 경우에 비해 PCB 보드 상의 집적도를 높일 수 있으며, 양산 단계에서도 아날로그 공정에 비해 제작비가 저렴한 디지털 CMOS 공정을 사용하게 됨으로써 경제적인 면에서도 큰 효과를 기대할 수 있다.

### IV. 측정 결과

제작된 FMD ASIC에 대하여 각종 전기적 특성을 측정해 보았다. 먼저 클럭 체크 회로 등 디지털 부분은 설계 시 사용한 테스트 벡터를 이용하여 디지털 자동 측정 시스템(Trillium)으로 측정하였으며, 이를 통과한 칩의 클럭 발생 회로를 포함한 아날로그 부분에 대해서는 테스트 보드를 제작한 다음 칩을 장

착하여 측정하였다. 그리고 아날로그/디지털을 포함하는 전체 칩에 대한 동작은 실제 ATM 교환기 시스템 보드를 제작한 다음 ATM 분석기(analyzer)를 사용하여 성능을 측정 분석하였으며, 시험용 ATM 교환기에 직접 장착하여 실장시험(field test)도 수행하였다.

설계된 FMD ASIC 중 클럭 발생 부분에 대한 측정 결과는 다음과 같다. 그림 5는 234.7 MHz 시스템 클럭 발생회로에서 발생한 클럭신호를 측정해 본 결과이며, 데이터 저장(storage) 기능을 갖는 디지털 오실로스코프를 사용하여 1분 이상 데이터를 축적하여 화면상에 표시하게 함으로서 신호 파형의 지터 특성도 간접적으로 볼 수 있게 하였다. 위부분 파형은 FMD ASIC의 234.7 MHz 출력 클럭신호이고 아래 파형은 46.94 MHz의 입력 클럭신호를 보여주고 있으며, 입력

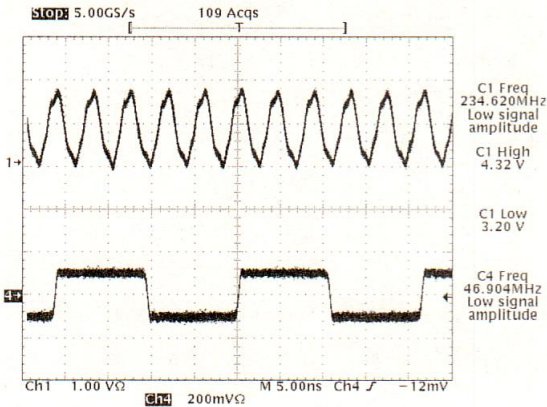


그림 5. 234.7 MHz 클럭 발생기의 입출력 특성

클럭 파형을 트리거신호로 사용하였다. 이 그림으로부터 설계된 시스템 클럭 발생기 회로는 234.7 MHz의 안정된 고속 클럭을 발생시키고 있음을 알 수 있다. 또한 지터 발생 크기도 매우 작은 것을 간접적으로 알 수 있었다. 이는 디지털 회로의 동작에 의한 전원잡음이 및 기관잡음을 설계 기법을 통하여 효과적으로 줄였기 때문에 나타나는 현상으로 풀이된다. 실제 측정 결과 디지털 회로 부분에서는 200 mV이상의 전원잡음이 관찰되었으나, 아날로그 회로 부분에서는 50 mV 이하의 전원잡음이 관찰되었다. 다만 출력 파형이 구형파(square wave)가 아닌 톱니파(saw-tooth wave)처럼 보이는 것은 신호가 고속이고, 측정 시 클럭 발생 회로의 출력 임피던스가 50 Ω보다 훨씬 높

아서 오실로스코프 및 측정 케이블과의 50 Ω 임피던스 매칭이 이루어지지 않아서 나타나는 현상으로 풀이된다.

그림 6은 디지털 부분을 포함한 전체 칩의 동작 특성을 관찰한 것으로서 CS는 디지털 블록에서 생성된 셀 싱크(cell sync.) 신호 파형을, SCP는 아날로그 부분 시스템 클럭 발생기의 234.7 MHz 클럭 파형을, NCP는 이를 5분주한 46.94MHz의 클럭 파형을, UCP는 이를 다시 또 다른 PLL을 통해 합성한 가입자

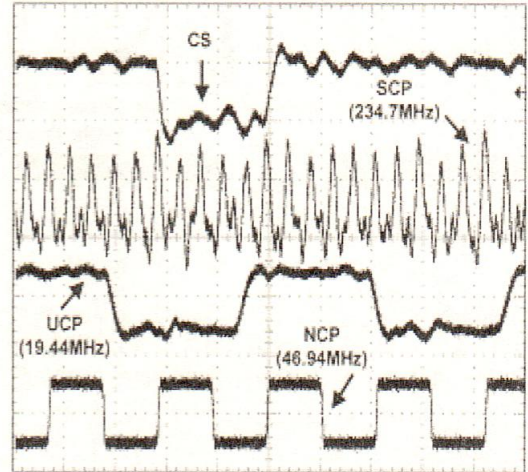


그림 6. 전체 칩의 측정 입출력 특성

클럭 발생기의 19.44 MHz 클럭 파형을 각각 보여주고 있다. 이 그림 역시 데이터 저장 기능을 갖는 디지털 오실로스코프를 사용하여 1분 이상 데이터를 축적하여 화면상에 표시하게 함으로서 신호 파형의 지터 특성도 간접적으로 볼 수 있게 한 것으로서 트리거신호는 셀 싱크신호를 사용하였다. 측정 결과 234.7 MHz를 비롯한 19.44 MHz, 46.94 MHz의 모든 클럭신호가 셀 싱크신호에 동기되어 안정된 동작을 하고 있음을 확인할 수 있었다. 스크 화면상에서 파형이 찌그러져 보이는 것은 서로 다른 주파수를 갖는 신호들이 측정 과정에서 서로 간섭을 일으키기 때문에 나타나는 것으로 분석되며, 각각의 파형을 한 개씩만 관찰했을 때는 찌그러짐이 사라지는 것을 확인할 수 있었다.

그림 7은 234.7 MHz 클럭의 지터 특성을 보여주고 있으며, 일반적으로 이정도 주파수에서의 클럭 실효치(rms) 지터가 20 ps 이상인 것을 감안하면 4.1 ps 이하의 매우 작은 값을 나타내었다. 또한 최대치(peak to peak) 지터도 일반적인 값 120 ps에 비해

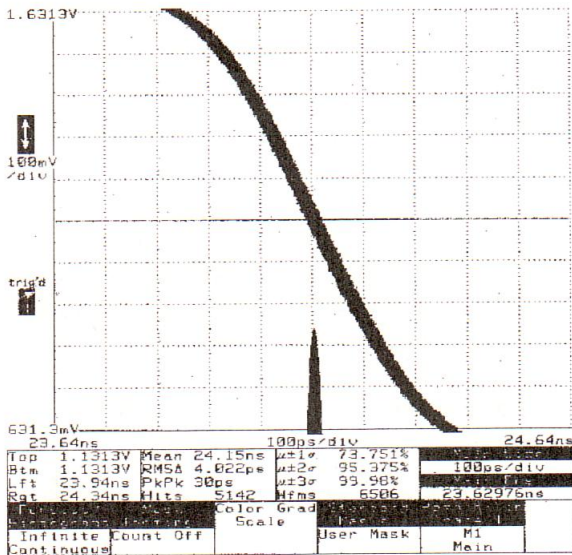


그림 7. 234.7 MHz 클럭의 지터 특성

24.1 ps로써 역시 매우 작은 값을 나타내었다. 이는 시스템 클럭 발생기의 위상-주파수비교기, 전압제어 발진기, 저역필터 등 PLL 각 블록이 최적 설계되었을 뿐만 아니라, 아날로그와 디지털 부분을 확실히 구분하여 레이아웃하는 등 설계가 최적화되었기 때문에 가능하다고 판단된다. 그림 8은 19.44 MHz 클럭의 실효치 지터 특성을 보여주고 있다. 이 클럭은 이미 지터를 포함하고 있는 234.7 MHz 클럭을 기준 입력으로 하여 클럭을 발생시키므로 상대적으로 지터가 클 수밖에 없다. 그러나 실제 측정 결과 실효

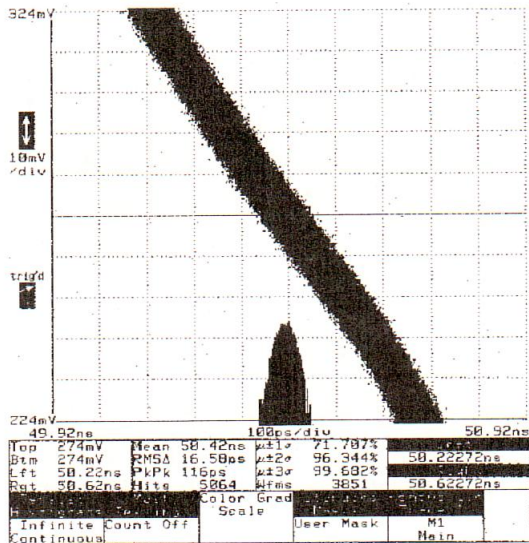


그림 8. 19.44 MHz 클럭의 지터 특성

치 16.5 ps 이하의 작은 지터 값을 나타내었다. 또한 최대치 지터도 116 ps로써 비교적 작은 값을 나타내었다. 이는 시스템 클럭 발생기에서와 같이 PLL 각 블록이 최적 설계되었을 뿐만 아니라, 아날로그와 디지털 부분을 확실히 구분하여 레이아웃하는 등 설계가 최적화되었기 때문에 가능하다고 판단된다. 또한 루프 필터의 R, C 값을 지터를 흡수할 수 있는 조건으로 조정하였기 때문에 더욱더 양호한 지터 값을 얻을 수 있었다. 실제로 R, C 값을 바꾸어본 결과 최대치 300 ps 이상 넓은 범위의 지터 값이 관찰되었다. 표 1은 제작된 ASIC의 주요 특성을 종합한 내용이다.

표 1. 제작된 ASIC의 주요 특성.

항 목	내 용
설계 기술(아날로그)	0.8 $\mu$ m CMOS Full Custom
설계 기술(디지털)	0.8 $\mu$ m CMOS Standard Cell
제작기술	0.8 $\mu$ m Digital CMOS Tech.
칩 크기	4.0 mm x 3.8 mm
트랜지스터 수	약 4,000 개
패키지	80 핀 TQFP
동작 주파수	234.7/77.76/46.94/19.44 MHz
소비전력	약 400 mW
지터(234.7 MHz)	4.1(rms)/24.1(p-p) ps
지터(19.44 MHz)	16.5(rms)/116(p-p) ps

그밖에 제작된 FMD 칩을 실제 ATM 보드에 장착한 다음 ATM 분석기를 사용하여 연속동작 실험을 하였다. 그 결과 BER(bit error rate: 비트 에러율)이 10E-15이하로서 통신신호 기준치인 10E-9를 훨씬 상회하는 양호한 결과를 얻을 수 있었다.

## V. 결 론

B-ISDN에 쓰이는 234.7 MHz ATM 교환기 스위치 링크용 FMD ASIC을 설계하였다. 이 ASIC은 46.94 MHz의 외부 입력 클럭을 이용하여 234.7/46.94 MHz의 시스템 클럭과 77.76/19.44 MHz의 가입자 클럭을 발생시키는 역할을 하며, 외부 입력 클럭의 체크 및 선택 기능도 동시에 포함한다. 효율적인 ASIC 구성을 위하여 고속의 클럭 발생을 위한 회로는 아날로그 전주문 방식으로, 외부 입력 클럭 체크 및 선택을 위한 회로는 디지털 표준 셀 방식으로 설계하

였다. 설계된 ASIC은 234.7 MHz의 고속으로 동작해야 뿐만 아니라 시스템이 항상 안정된 동작을 할 수 있는 매우 작은 지터를 가져야 한다. 이를 위하여 설계된 ASIC은 고속에서 저지터 특성을 갖는 아날로그 PLL 회로를 기본으로 구성하되 아날로그/디지털 모듈의 배치를 적절히 하여 상호 간의 간섭현상을 최대한 줄이는 구조를 채택하였다. 그밖에 전원의 분리 및 블록간의 격리를 사용함으로써 지터 발생을 최대한 억제하였다. 본 논문 방법에 의해 설계 제작된 FMD ASIC은 아날로그 회로와 디지털 회로들을 1개의 칩 형태로 집적화 하였으며, 생산 단가가 낮은 0.8  $\mu\text{m}$  디지털 CMOS 공정으로 실현할 수 있게 하였다. 따라서 각각 분리되어 2개 이상의 칩으로 실현하는 경우에 비해 PCB 보드 상의 집적도를 높일 수 있었으며, 양산 단계에서 경제적인 면에서도 큰 효과가 있었다. 이 칩은 현재 소형 및 중형 ATM 교환기에 탑재되어 시스템 클럭 및 가입자 클럭 발생 장치로 쓰이고 있다.

참 고 문 헌

[1] B. Kim, D. Helman, P. Gray "A 30 MHz high-speed analog/digital PLL in 2  $\mu\text{m}$  CMOS", ISSCC 90, Vol. 33, pp. 104-105, Feb. 1990.

[2] D. Jeong, G. Borriello, D. Hodges, R. Katz, "Design of PLL-based clock generation circuits", IEEE JSSC, Vol. sc-22, No. 2, April, 1987.

[3] F. Gardner, "Charge-pump phase locked loops", IEEE Communication, Vol. com-28, No. 11, pp. 1848-1858, Nov. 1980.

[4] 채상훈, 광명신, "ATM 교환기용 데이터 및 클럭 복원 회로의 설계" 대한전자공학회 논문지, 제 32 권, B편, 제 4 호, pp. 46 - 51, 1995년 4월.

[5] 채상훈, 김귀동, 송원철, "155.52Mbps CMOS 데이터 트랜스미터의 설계" 대한전자공학회 논문지, 제 33 권, B편, 제 8 호, pp. 62 - 68, 1996년 3월.

[6] 채상훈, 정희범, 송원철, "ATM 교환기용 234.7 Mbps CMOS 혼합형 ASIC의 설계" 한국통신학회 논문지, 제 24 권 제 10 호, pp. 853 - 856, 1999년 10월.

권 광 호(Kang-Ho Kwon)

정회원



85년 2월 : 고려대학교  
전기공학과 학사졸업  
87년 2월 : 고려대학교  
전기공학과 석사졸업  
93년 2월 : 고려대학교

전기공학과 박사졸업

95년 3월 : 한국전자통신 연구원 반도체연구단  
선임연구원

95년 3월 - 현재 : 한서대학교 전자공학과 부교수

<주관심분야> 반도체 설계, 반도체 소자, 반도체 공정 및 공정 장비

채 상 훈(Sang-Hoon Chai)

정회원

한국통신학회 논문지 제23권 제2호 참조

정 희 범(Hee-Bum Jung)

정회원

한국통신학회 논문지 제24권 제6호 참조