

새로운 구조의 적응형 위상 검출기를 갖는 Gbps급 CMOS 클럭/데이터 복원 회로

정회원 이재욱*, 이천오*, 최우영*

Giga-bps CMOS Clock and Data Recovery Circuit with a novel Adaptive Phase Detector

Jae-Wook Lee*, Cheon-O Lee*, Woo-Young Choi* *Regular Members*

요 약

본 논문에서는 GHz대역의 고속 클럭 신호를 필요로 하는 데이터 통신 시스템 분야에 응용될 수 있는 새로운 구조의 클럭 및 데이터 복원회로를 구현하였다. 구현된 회로는 고속 데이터 전송시 주로 사용되는 NRZ형태의 데이터 복원에 적합한 구조로서 위상동기 회로에 발생하는 high frequency jitter를 방지하기 위한 새로운 위상 검출 구조를 갖추고 있다. 또 가변적인 지연시간을 갖는 delay cell을 이용한 위상검출기를 이용하여 위상 검출기가 갖는 dead zone 문제를 해결하고, 항상 최적의 동작을 수행하여 빠른 동기 시간을 갖는다. 수십 Gbps급 대용량을 수신할 수 있도록 다채널 확장에 용이한 구조를 사용하였으며, 1.25Gbps급 데이터를 복원하기 위한 클럭 생성을 목표로 하여 CMOS 0.25 μ m 공정을 사용하여 구현한 후 그 동작을 측정을 통해 검증하였다.

ABSTRACT

In this paper, a new clock and data recovery circuit is proposed for the application of data communication systems requiring GHz-range clock signals. The circuit is suitable for recovering NRZ data which is widely used for high speed data transmission in GHz ranges. The high frequency jitter is one of major performance-limiting factors in PLL, particularly when NRZ data patterns are used. A novel phase detector is able to suppress this noise, and stable clock generation is achieved. Furthermore, the phase detector has an adaptive delay cell removing the dead zone problem and has the optimal characteristics for fast locking. The proposed circuit has a convenience structure that can be easily extended to multi-channels. The circuit is designed based on CMOS 0.25 μ m fabrication process and verified by measurement result.

I. 서론

Gbps 대역의 클럭 / 데이터 복원 회로(CDR : Clock and Data Recovery)는 주로 GaAs 또는 silicon bipolar 공정을 바탕으로 연구되어 왔다. 최근에는 CMOS 공정을 사용한 Gbps 대역의 클럭 / 데이터 복원 회로들이 보고되고 있다. 본 논문에서는 대용량의 데이터 전송시스템에 적합하도록 새로

운 위상 검출방식을 제안하고 이 동작을 최적화 시키고자 한다. NRZ 데이터의 천이에만 반응하는 새로운 위상 구조의 위상 검출기를 사용하여 연속된 0과 1이 수신될 경우에도 안정적인 클럭을 발생시킬 수 있는 방식을 제안하고자 한다. 제안된 구조의 검증을 위해 0.25 μ m CMOS 공정을 사용하여 칩을 제작한 후 측정을 통해서 동작을 확인하였다.

본 논문의 구성은 다음과 같다. II장에서는 CDR

* 연세대학교 전기전자공학과 초고속정보전송연구실(wchoi@yonsei.ac.kr)

논문번호 : 020365-0823, 접수일자 : 2002년 8월 23일

※ 본 연구는 과학 기술부와 산연자원부의 시스템 2010 사업 선행 핵심 IP 연구개발과제의 지원으로 수행되었습니다.

회로의 구성과 동작원리에 대해서 설명한 후, III장에서 제안된 위상 검출방식에 대해 설명하고, IV장에서 제작된 회로의 구성회로를 살펴보고, V장에서 측정결과를 분석하며 결론을 맺겠다.

II. CDR 회로의 구성과 동작원리

CDR 회로는 데이터를 받아들여 동기된 클럭을 발생시키는 클럭 복원회로 블록과 발생된 클럭을 이용하여 수신된 데이터를 결정하는 decision 블록으로 나누어진다. 수신된 신호는 제한된 채널용량에 의한 ISI(Inter Symbol Interference)와 잡음으로 왜곡되기 때문에 데이터 복원시 많은 어려움이 생길 수 있다. 왜곡된 데이터를 정확히 복원하기 위해서 수신된 신호는 반드시 retiming, reshaping의 과정을 거쳐야 하며 수신된 신호와 동기된 클럭이 있을 때 이러한 과정이 가능하게 된다.

클럭을 복원하는 방식으로는 크게 open loop 방식과 closed loop 방식이 있다. open loop 방식은 구조가 간단하고 빨리 동기시킬 수 있는 장점을 가지고 있으나 jitter에 민감하고, closed loop 방식은 보다 복잡해지고 동기시간이 길어진다는 단점을 가지고 있으나 jitter를 제거할 수 있는 장점을 가진다. 클럭 발생회로는 이런 방식 중 각각의 응용에 따라 그 방식을 선택하여 시스템을 구성하게 되고, 시스템의 복잡성을 감안하여 두 가지 방식을 혼합한 방식을 취하기도 한다^[1].

클럭을 발생시키는 방식 중 PLL을 사용한 방법은 closed loop 방식으로 one-chip화가 가능하고 다른 closed 방식에 비해 동기시간이 짧고 jitter 특성도 좋아서 가장 많이 쓰이는 방식이다. 일반적으로 PLL은 전압제어 발진기(voltage controlled oscillator; VCO), 위상 주파수 검출기(phase frequency detector; PFD), 분주기(divider), 전하펌프(charge pump) 그리고 루프 필터(loop filter)로 구성되어 기준 입력 신호에 VCO 출력으로부터 분주된 신호의 위상과 주파수를 동기시키는 기능을 수행한다^[2].

전압제어 발진기를 만드는 방법은 여러 가지가 있으나, 그 중 링(ring) 발진기는 집적화가 용이하고 매우 높은 발진 주파수를 얻을 수 있는 장점을 가지고 있어 집적 회로 형태의 VCO를 구현하는데 일반적으로 사용된다^[3]. 링 발진기는 몇 개의 인버터들을 직렬 체인구조를 이루게 한 후 다시 그 출력을 feedback 시킨 것으로, 각각의 인버터들의 반전과 지연기능으로 인해 발진을 하게 되며 각 인버터

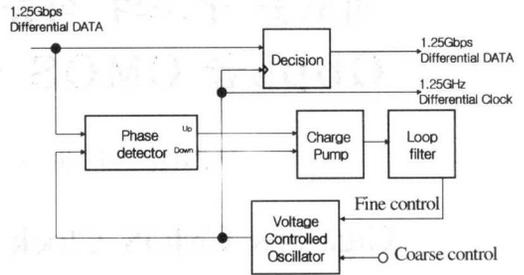


그림 1. CDR 회로의 블록도

들의 지연시간을 조절하여 VCO의 발진 주파수를 조절하게 된다. 즉, 전압제어 발진기는 아날로그 전압을 입력으로 받아들여서 이와 선형적으로 비례하는 주파수를 가지는 출력 신호를 내보내게 된다.

위상 검출기는 두 입력 신호의 위상과 주파수의 차이를 검출하여 그 차이만큼을 보상할 수 있도록 UP 신호와 DOWN 신호를 출력하는 역할을 한다. 위상 검출기를 만드는 방법으로는 곱셈기를 이용한 방식과 순서회로에 의한 방식이 있다. 곱셈기에 의한 방식은 VCO의 출력과 입력신호를 곱하여 평균을 출력하는 것이고, 순서회로에 의한 방식은 VCO의 출력과 입력신호의 위상을 찾아서 그 위상 사이의 시간간격에 의한 출력전압을 출력하는 기억소자를 가지고 있게 된다. 위상 검출기의 출력은 전하펌프를 구동시키게 되고 전하펌프의 출력은 루프 필터에 거쳐서 VCO의 동작을 제어하게 된다.

본 논문에서는 새로운 구조의 위상 검출기를 제안하여 그 동작을 검증하기 위해서 그림 1과 같은 클럭 / 데이터 복원회로를 설계하였다. 전체 회로는 PLL과 같은 구조를 가지고 있다. VCO가 두 개의 제어전압에 의해서 조절되는 구조로서 큰 이득을 갖는 제어전압은 주파수 동기 회로를 추가하여 제어시키거나 시스템 클럭이 주어질 경우 PLL을 구성하여 제어할 수 있으나^[4], 본 연구에서는 편의에 의해서 외부에서 조절할 수 있도록 하였다. 작은 이득을 갖는 제어전압은 수신된 데이터와 동기 시키는 역할을 하게 되며 데이터의 천이가 있을 경우에만 반응하게 된다.

III. 제안된 위상 검출기의 동작원리

위상 검출기의 구조는 곱셈기나 순서회로를 사용한 방식이 많이 사용되어 왔다. 그러나, 이런 방식은 VCO의 출력과 비교될 입력 신호가 NRZ 데이

터에서와 같이 논리 0과 논리 1이 연속되는 경우를 빈번히 가지는 경우, NRZ 데이터의 주파수가 낮은 것으로 인식하여 DOWN 신호를 계속 발생시키는 오류를 발생시킨다. 결과적으로 클럭 발생 회로는 위상 오차가 없는 경우에도 불안정한 상태가 되고 jitter 잡음을 발생시킨다. 따라서, 클럭 / 데이터 복원 회로에 사용될 위상 검출기로는 NRZ 데이터에도 잡음을 발생시키지 않는 구조를 사용해야 할 필요성이 크다. 본 연구에서는 이러한 주기적이지 않은 NRZ 데이터에서도 사용될 수 있는 새로운 위상 검출기를 제안한다. 만일, 위상 검출기가 단지 데이터의 천이가 발생할 경우에만 동작하게 하여 그 위상만을 VCO의 출력과 비교하게 한다면 앞에서 언급한 잡음 발생요인을 제거할 수 있게 된다. 이러한 연구로 bang-bang phase detector를 이용한 많은 논문이 발표되었으나, 이는 위상오차가 없는 경우에도 제어전압이 미세하게 흔들리게 되어 high-frequency jitter 발생시킨다⁵⁾. 또, linear phase detector를 이용한 구조들이 제안되었으며⁴⁾, high-frequency jitter의 발생을 막는 구조로 시간 지연소자를 이용한 위상 검출기가 제안되기도 하였으나⁶⁾, 이 구조 역시 시간지연소자의 한계로 위상 검출기의 검출범위 한계를 가지고 있었다. 본 논문에서는 이러한 검출한계를 최적화하는 새로운 구조를 제안한다.

본 논문에서 제안된 위상 검출기의 구조는 그림 2와 같다. 입력된 데이터의 천이를 검출하기 위해 데이터를 두 번 지연시켜 각각 Data-A, Data-B, Data-C의 신호를 얻은 후 각각의 신호와 클럭 신호

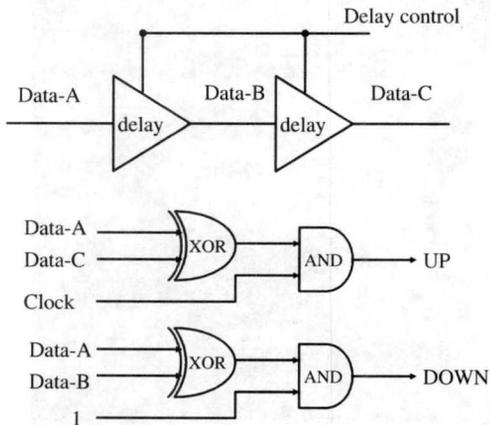


그림 2. 제안된 위상 검출기의 회로도

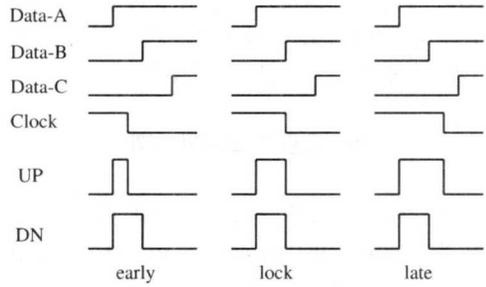


그림 3. 위상 검출기의 동작

의 위상관계를 이용하여 UP / DOWN 신호를 얻게 된다. 이를 수식적으로 표현하면 다음과 같다.

$$UP = (Data-A \otimes Data-C) \cap clock$$

$$DOWN = Data-A \otimes Data-B$$

(\otimes : XOR, \cap : AND)

UP / DOWN 신호는 각각 XOR와 AND에 의해 Data-B의 에지와 클럭의 위상을 비교하여 발생되며 데이터의 천이 시점이 클럭의 하강시점에 동기된다.

그림 3은 Data-B와 클럭의 위상관계에 따른 위상 검출기의 동작을 보여주고 있다. 이러한 동작을 정리해 보면, 제안된 구조의 위상 검출기의 동작 특성이 그림 4와 같이 나타난다. 그림 4에서 볼 수 있듯이 제안된 회로의 동작은 지연 시간의 크기(θ)가 클수록 넓은 영역에서 선형적인 특성을 갖게 된다. 그러나, 제안된 회로는 클럭이 UP 신호를 얻기 위해 사용되기 때문에 최대 검출범위가 π 로 제한되어 있으며 최적의 위상 검출범위는 $-\pi/2 \sim \pi/2$ 가 된다. 즉 지연소자의 최적의 지연 시간은 $\pi/2$ 가 되게 된다. 그런데, 지연소자의 지연 시간의 크기가 고정되어 있을 경우 사용되는 클럭의 주파수에 따라 상대적으로 θ 의 크기가 바뀔 수 있다. 본 연구에서는 제안된 회로의 지연소자로 VCO의 단위 인버터를 사용한 후 지연 시간을 자동으로 조절하여

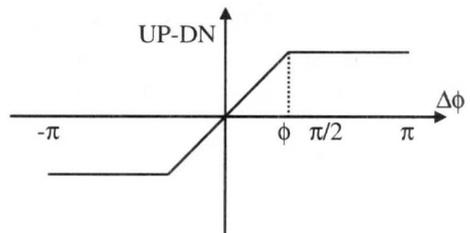


그림 4. 위상 검출기의 동작 특성

VCO의 주파수 변화에도 위상 검출기의 시간지연을 $\pi/2$ 로 유지시킴으로써 위상 검출기의 동작을 최적의 상태를 유지할 수 있도록 하였다.

IV. CDR 회로의 설계

본 연구에서 사용한 전압제어 발진기는 그림 5와 같이 8단 differential inverter를 이용한 링 발진기로서 RC 지연 방식이다. 전압제어 발진기는 본 논문에서 사용하고자 하는 대역이 Gbps 대역의 높은 주파수를 갖는 영역이므로 고속 동작이 가능해야 하고 클럭 / 데이터 복원회로의 특성상 넓은 동작 범위를 가질 필요는 없으며 위상 검출기에도 같은 블록이 사용되므로 limiter로서 큰 진폭을 안정적으로 출력할 수 있어야 한다. 이러한 특성을 만족시키기 위해 출력단에 4가지 종류의 PMOS를 부하로 사용하였다. VCO는 coarse control과 fine control을 가지고 있으며, 두 개의 제어전압이 변화함에 따라 출력 주파수가 0.9GHz에서 1.6GHz까지의 범위에서 동작한다. 각각의 제어전압에 대해 VCO 이득은 600MHz/V, 100MHz/V를 가지도록 설계되었다.

제안된 회로에 필요한 전하펌프는 고속 동작을 해야 하고 낮은 전원에도 안정적인 동작을 할 수 있어야 한다. 본 논문에서 사용된 전하펌프는 그림 6과 같이 NMOS와 PMOS로 구성된 전류원과 UP/DOWN 신호를 받는 스위치로 구성되어 있다⁷⁾.

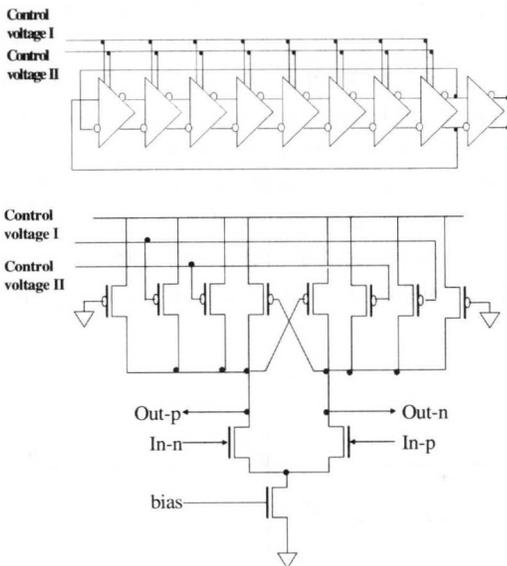


그림 5. 전압제어 발진기의 회로도

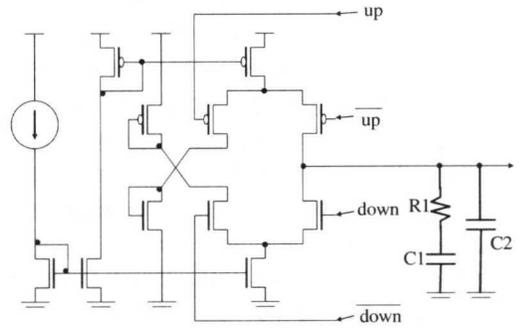


그림 6. 전하펌프와 루프필터

Decision 회로는 differential 구조의 D-flip flop 이 사용되었으며, 위상검출기에서 클럭의 하강지점과 Data의 천이가 동기 되었기 때문에 클럭의 상승 지점에서 데이터를 결정하도록 되어있다.

그림 7은 제작된 클럭 / 데이터 복원회로의 사진이다. 모든 입출력 버퍼에 ESD 보호회로를 포함하였고 각 기능 블록을 테스트하기 위한 회로와 입출력 버퍼를 검증하기 위한 회로를 포함한 전체 면적은 2.7 x 2.7mm²이고, Loop filter를 포함한 core의 면적은 0.8 x 0.9mm²이다. 48pin TQFP plastic package 로 제작되었다.

V. 측정결과

제작된 회로에 2¹⁵-1 PRBS(Pseudo Random Bit Sequence) 1Gbps의 데이터를 입력한 결과,

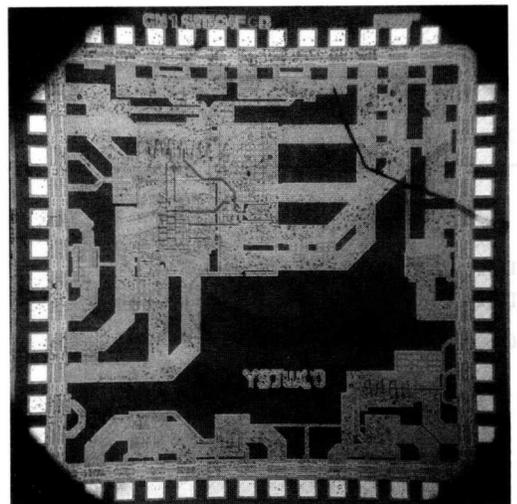


그림 7. Chip photograph

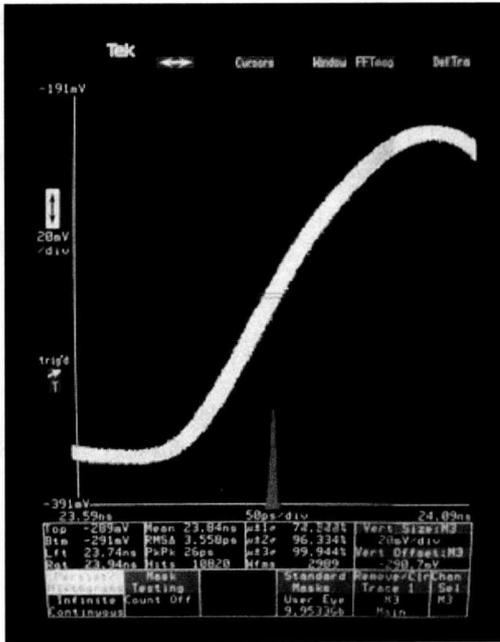


그림 8. clock jitter

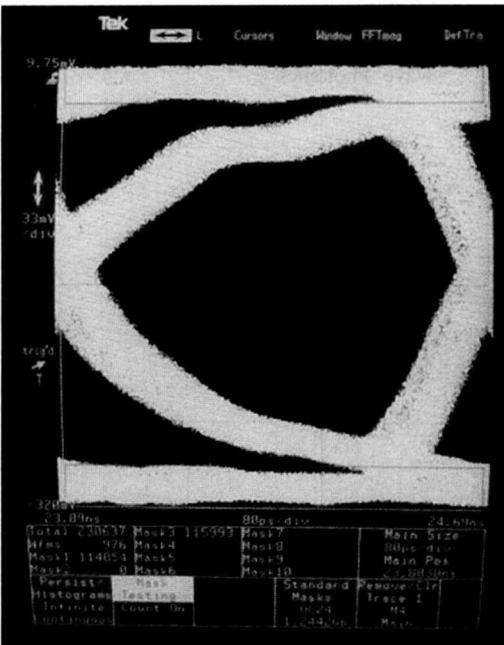


그림 9. eye diagram

3.55psec의 RMS jitter를 가진 클럭 신호를 생성할 수 있었으며, 복원된 클럭의 신호파형을 그림 8에 나타내었다. 생성된 클럭을 이용하여 복원된 데이터의 eye diagram을 그림 9에 나타내었다. 적응형 위

상 검출기를 사용함으로써 상당히 안정적인 클럭을 생성할 수 있음을 알 수 있다. 측정결과 0.9Gbps에서 1.4Gbps까지의 PRBS 데이터를 수신하여 어려움이 복원할 있었고, 2.5V 단일전원에서 약 500mW의 전력소비를 보인다. 칩의 성능을 표 1에 요약하였다.

VI. 결론

본 논문에서는 GHz 대역의 고속 클럭 신호를 필요로 하는 데이터 통신 시스템 분야에 응용될 수 있는 새로운 구조의 클럭 / 데이터 복원회로를 구현하였다. 구현된 회로는 고속의 데이터 전송 시 주로 사용되는 NRZ 형태의 데이터 복원에 적합한 구조를 갖추고 있으며 안정적인 클럭을 제공할 수 있다. 수신된 데이터를 지연소자를 통과시켜 3개의 위상을 갖는 신호를 생성시키고 XOR와 AND를 사용하여 클럭과 위상을 비교하여 데이터의 천이가 있을 경우만 동작하도록 하였다. 따라서, 데이터의 천이가 발생하지 않을 경우 즉, 0 혹은 1이 연속될 경우 발생되었던 잡음을 차단하였고, 기존의 위상 동기회로가 갖는 주요 잡음원인인 high frequency jitter를 방지하도록 하였다. 또, 가변적인 지연시간을 갖는 지연소자를 이용한 위상검출기를 제안하여 위상 검출기가 갖는 dead zone 문제를 없애고, 항상 최적의 동작을 수행할 수 있게 되어 빠른 locking time을 갖도록 하였다.

CMOS 0.25 μ m공정으로 제작된 회로는 0.9Gbps ~ 1.4Gbps 범위의 PRBS data를 어려없이 재생할 수 있었으며, 특히 재생된 클럭 신호는 1Gbps PRBS

표 1. performance summary

Process	0.25 μ m CMOS technology
Power dissipation @VDD=2.5V	About 500mW (I/O include) About 200mW (core)
Chip size	0.8 \times 0.9mm ² for CDR core including loop filter
Package	48pin TQFP plastic package
Jitter characteristics	RMS 3.55ps @1Gb/s 2 ¹⁵ -1 PRBS P-P 26ps @1Gb/s 2 ¹⁵ -1 PRBS
Lock range	0.9Gb/s - 1.4Gb/s

입력 data에서 3.55psec의 RMS jitter를 갖는 아주 안정적인 클럭을 생성할 수 있었다.

참 고 문 헌

[1] S. Gogaert and M. Steyaert, "A skew tolerant CMOS level-based ATM data-recovery system without PLL topology," *CICC'97 Dig. Tech. Paper*, pp. 453-456, 1997.

[2] B. Razavi, *Monolithic Phase-Locked Loops and Clock Recovery Circuits - Theory and Design*, IEEE Press, 1996.

[3] David A. Johns and Ken Martin, *Analog Integrated Circuit Design*, wiley, 1997.

[4] Jafar Savoj, Behzad Razavi, "A 10-Gb/s CMOS Clock and Data Recovery Circuit with a Half-Rate Linear Phase Detector," *IEEE J. of Solid-State Circuits*, vol. 36, pp.761-768, May 2001.

[5] C. R. Hogge, Jr., "A self correcting clock recovery circuit", *J. of Lightwave Technology*, vol. 3, No. 6, Dec. 1985.

[6] Bang-Sup Song and David C. Soo, "Timing Recovery Technique for Band-Limited Channels", *IEEE J. Solid-State Circuits*, vol. 32, no. 4, pp. 514-520, 1997.

[7] J. Maneatis, "Low-Jitter and Process-Independent DLL and PLL Based on Seif-Biased Techniques," *IEEE J. of Solid-State Circuits*, vol. 31, pp. 1723-1732, no. 11, Nov. 1996

이 재 욱(Jae-Wook Lee)

준회원



1999년 2월 : 연세대학교
전자공학과 졸업
2001년 8월 : 연세대학교
전기전자공학과 석사
2001년 9월~현재 : 연세대학교
전기전자공학과 박사과정

<주관심 분야> High-speed serial link & PLL.
mixed-mode circuit

이 천 오(Cheon-O Lee)

준회원



2001년 2월 : 숭실대학교
정보통신공학과 졸업
2001년 3월~현재 : 연세대학교
전기전자공학과 석사과정
<주관심 분야> 고속 I/O 설계,
클럭&데이터 복원회로 설
계, 고속 직렬 링크 설계

최 우 영(Woo-Young Choi)

정회원



1986년 : Massachusetts Institute
of Technology 의 EECS
Department B.S. 취득.
1988년 : 동대학원 M.S. 취득.
1994년 : 동대학원 Ph.D. 취득.
1994년~1995년 : 일본 NTT
광전자 연구소
Post-Doctoral Fellow.

1995년~현재 : 연세대학교 전기 전자공학과 조교수,
부교수.

<주관심 분야> 고속 Interface 회로 설계 및 Micro-
wave Photonics