

선형 위상의 역 sinc 필터의 설계에 있어서 신호 대역의 고려에 의한 성능 개선

정희원 백 제 인*, 강 헌 식**, 김 중 원**

Performance Improvements by the Consideration of the Signal Band in the Design of the Linear-phase Inverse-Sinc Filter

Jein Baek*, Hun-sik Kang**, Jong-won Kim** *Regular Members*

요 약

D/A 변환기에 의한 sinc 함수의 주파수 왜곡을 보상하기 위해서 역 sinc 필터가 필요하다. 이에 관련하여 대역 통과 신호에 적합한 선형 위상의 FIR 디지털 필터를 설계하는 문제를 연구하였다. 선형 위상의 FIR 필터를 구하는 Parks-McClellan 알고리즘을 이용하되, D/A 변환하고자 하는 신호의 대역에만 높은 가중치를 부여함으로써 신호 대역에서의 필터의 보상 성능을 극대화하도록 하였다. 신호의 대역을 고려하여 최적 설계를 하는 것이 그렇지 않는 것에 비하여 괄목할만한 성능 개선을 얻는다는 것을 확인하였다. 신호의 대역폭이 좁아질수록 성능 개선량은 증대되었으며, 필터의 차수를 높이는 수준의 효과에도 도달할 수 있음을 확인하였다. 제시된 설계 방법을 HomePNA 2.0 모뎀에서의 역 sinc 필터에 응용하였다. 설계된 4차 FIR 필터로서 $\pm 0.01\text{dB}$ 의 오차 범위 이내로 보상이 이루어지는 것을 확인하였다.

ABSTRACT

An inverse-sinc filter is necessary in order to compensate the sinc function distortion in the frequency response due to the D/A converter. It is investigated to design linear-phase inverse-sinc FIR filters for the compensation which are suitable when the signals are in the bandpass type. The Parks-McClellan algorithm has been used for the design of the filter coefficients. During the process of filter design, only the signal band is assigned larger weighting value, so that the compensation performance of the filter should be maximized. By taking into account the signal band, the performance improvements has been shown to be noticeable. And it has been found that the better performance is obtained as the signal bandwidth gets narrower, and that in some cases the amount of the performance improvement can be as much as that by increasing the filter order. The proposed design method has been applied to the design of the HomePNA 2.0 modem. With a designed inverse-sinc filter of order 4, the compensation error has been shown to be within the range of $\pm 0.01\text{dB}$.

I. 서 론

디지털-아날로그(D/A: digital-to-analog) 변환기에는 샘플값의 홀더(holder) 회로, 즉 영차의(zereth order) 홀더 회로가 있으며 이 영향으로 인하여 D/A 변환되는 신호에 sinc 필터링 효과가 필연적

로 발생한다. 이것은 홀더 회로의 응답 특성으로 인하여 신호의 스펙트럼에 $\sin(f)/f$ 형태의 진폭 왜곡이 일어나는 것을 말한다. 여기서 f 는 주파수 값이다. 이러한 현상을 그림 1에서 나타내었다. 홀더 회로의 임펄스 응답은 그림 1(a)의 구형파의 모습을 가진다. 여기서 T_s 는 D/A 변환기의 샘플링 시간이

* 한남대학교 정보통신·멀티미디어 공학부 (baek@mail.hannam.ac.kr)

** 한국전자통신연구원 네트워크연구소 SoC기술팀

※ 본 논문은 2002년 4월 JCCI 학술대회에서 우수논문으로 선정되어 게재 추천된 논문입니다.

다. 임펄스 응답의 크기를 $1/T_s$ 로 놓은 것은 직류에서의 주파수 응답의 크기를 1로 정규화하기 위한 것이다. 홀더 회로의 전달함수는 이 구형파에 대한 푸리에 변환으로 구해진다.

$$H_{D/A}(f) = \text{sinc}\left(\frac{f}{f_s}\right)e^{-j\frac{\pi f}{f_s}} \quad (1)$$

여기서 $\text{sinc}(x) = \sin(\pi x)/\pi x$ 이며, $f_s = 1/T_s$ 로서 샘플링 주파수이다. 식 (1)에 대한 크기 성분을 진폭 응답 특성이라고 부르며, $0 \leq f \leq 2f_s$ 구간에서의 그 모양은 그림 1(b)와 같다. 식 (1) 우변의 두 번째 항에 의한 위상 성분은 주파수에 대하여 선형 함수이며 구형파가 $T_s/2$ 만큼 지연된 것에 기인한 것이다. D/A 변환되는 신호에 앨리어싱(aliasing)이 없기 위해서는 신호의 최고 주파수 성분이 샘플링 주파수의 1/2이 되는 주파수 즉 나이퀴스트(Nyquist) 주파수 이하가 되므로, $0 \leq f \leq f_s/2$ 의 구간에 대한 진폭 응답 특성을 데시벨(dB) 단위로 다시 그린 것이 그림 1(c)이다. 신호 대역의 구간에서 진폭 응답 특성이 균일하지 못하며, 주파수 왜곡의 최고값이 3.9 dB에 이를 수 있음을 볼 수 있다.

홀더 회로에 의한 이러한 왜곡은 전체 시스템의 성능을 열화시키기 때문에 보상 회로가 필요하다. 이상적인 보상 필터의 진폭 응답 특성은 다음 식과 같이 역 sinc 함수의 특성을 가진다.

$$|H_{ideal}(f)| = 1 \left| \text{sinc}\left(\frac{f}{f_s}\right) \right|, \quad 0 \leq f \leq f_s/2 \quad (2)$$

이 보상 필터를 D/A 변환기 후단에 장착하는 방법이 가능하겠으나, 이 경우에는 안정되고 정교한 아날로그 필터가 구현되어야 하는 어려움이 따른다. 다른 방법으로서 D/A 변환기 이전 위치에 디지털 보상 필터를 장착하고 D/A 변환기 이후에는 간단한 저역 필터만 사용하는 방법이 있다.^[1] 후자의 방식은 그 보상 성능이 샘플링 주파수에 덜 민감하며 정교한 설계가 용이하다는 장점을 가지고 있기 때문에 널리 사용되는 방법이며, 본 논문도 이 방식을 다루고 있다.

식 (2)에 대한 디지털 보상 필터는 유한 임펄스 응답(FIR: finite impulse response)을 갖는 FIR 필터로 구성되고 있다. 이 경우의 보상 필터 설계는, 보상 필터와 홀더 회로가 결합된 전체적 회로의 진폭 전달 특성이 보상하고자 하는 주파수 대역에서 가급적 상수 값을 갖도록 하는 FIR 필터의 계수를

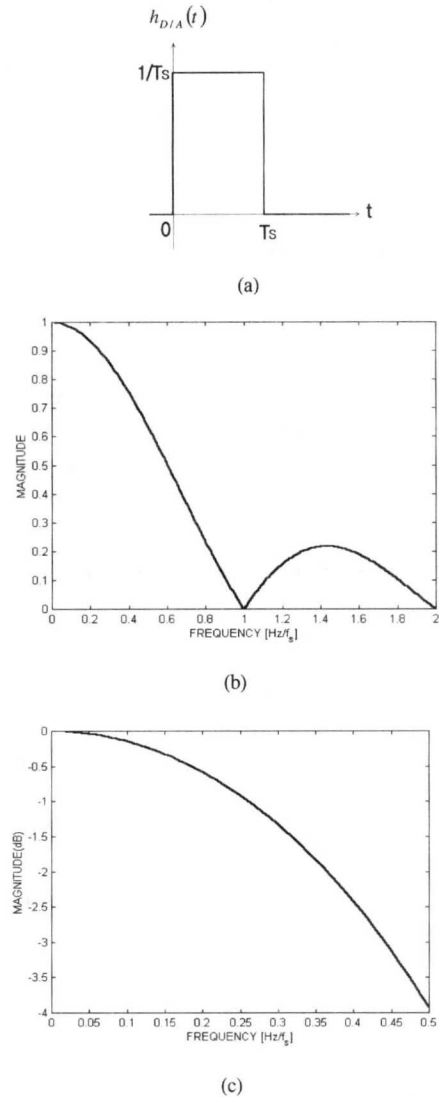


그림 1. D/A 변환기의 홀더 회로의 특성. (a) 임펄스 응답 특성, (b) 진폭 응답 특성, (c) 진폭 응답 특성(데시벨 단위).

찾는 문제로 정리된다. 그런데 탭 수가 제한된 FIR 필터는 보상하고자 하는 주파수 대역이 넓어질수록 그 보상 성능이 나빠지게 된다. 그러므로 FIR 필터를 설계할 때에는 신호의 대역을 감안하여 보상 주파수 대역을 필요 최소의 범위로 좁혀서 설계하는 것이 유리하다. 지금까지의 보상 필터의 설계 연구에서는 기저 대역 신호에 대한 문제뿐만 국한되어 왔으며, 보상 대역은 직류를 포함한 저주파 대역을 언제나 포함하고 있었다. 그런데 최근에 와서 D/A 변환하는 신호가 저주파 성분을 갖지 않고 대역통

과의 특성을 가지는 경우가 발생되고 있으므로, 여기에 적합하도록 FIR 필터를 설계할 필요가 있다. 이에 본 논문에서는 D/A 변환하는 신호의 주파수 대역을 감안하여 보상 필터를 설계하는 방법을 제안하고, 이 방법에 의하여 보상 성능의 향상이 어느 정도 되는지를 확인하고자 한다.

II장에서는 역 sinc 보상 필터를 위한 선형 위상 특성을 가진 FIR 필터의 일반적인 설계 방법을 설명하였다. III장에서는 본 논문에서 제안하는 바, 보상하고자 하는 주파수 대역을 제한하여 FIR 필터를 설계하는 방법을 설명하고, 그에 의한 성능 향상을 보였다. IV장에서는 제안된 방법을 HomePNA (phoneline network alliance) 2.0 규격의 모뎀에 응용한 내용을 소개하였다. 그리고 결론은 V장에서 맺어졌다.

II. 선형 위상의 FIR 역 sinc 필터

선형 위상을 가진 FIR 역 sinc 보상 필터의 z-변환 전달 특성은 다음 식으로 표현된다.

$$H(z) = \sum_{n=0}^{N-1} h_n z^{-n} \quad (3)$$

여기서 N은 필터의 탭 수이며 h_n 은 n 번째의 탭 계수이고 실수값을 갖는다. 표현의 편의상 앞으로 주파수 값은 샘플링 주파수로 정규화하여 나타내기로 한다. 이 필터의 주파수 응답 특성 $H(f)$ 는 식 (3)에서 $z = e^{j2\pi f}$ 를 대입함으로써 다음과 같이 구해진다.

$$H(f) = \sum_{n=0}^{N-1} h_n e^{-j2\pi f n} \quad (4)$$

또한 h_n 이 다음 식과 같이 대칭 모습을 지닌다고 가정한다.

$$h_n = h_{(N-1-n)}, \quad n=0, 1, \dots, (N-1) \quad (5)$$

식 (5)를 식 (4)에 대입하여 $H(f)$ 를 정리하면, N이 홀수일 때에는

$$H(f) = e^{-j\pi f(N-1)} \cdot \left[h_{\frac{N-1}{2}} + \sum_{n=0}^{\frac{N-1}{2}-1} 2h_n \cdot \cos\left\{2\pi f\left(n - \frac{N-1}{2}\right)\right\} \right], \quad N\text{은 홀수} \quad (6)$$

가 되며, N이 짝수일 때에는

$$H(f) = e^{-j\pi f(N-1)} \sum_{n=0}^{\frac{N}{2}-1} 2h_n \cdot \cos\left\{2\pi f\left(n - \frac{N-1}{2}\right)\right\}, \quad N\text{은 짝수} \quad (7)$$

가 된다. 어느 경우에서나 $H(f)$ 는 선형 위상을 가진 첫째 항과 실함수인 둘째 항의 곱으로 표현되며, 이 첫째 항으로 인하여 선형 위상 특성을 갖게된다. 실함수인 둘째 항을 $P(f)$ 라고 표시하기로 한다. 이 $P(f)$ 가 역 sinc 함수의 특성을 가져야 한다. 그런데, 역 sinc 필터는 $0 \leq f \leq 0.5$ 에서 1 이상의 값을 갖는데 비하여 식 (7)의 $P(f)$ 는 $f=0.5$ 에서 그 값이 0이 된다. 이 결과 N이 짝수일 때에는 $P(f)$ 와 역 sinc 함수 사이에 오차가 커서 필터의 실효성이 없다. 그러므로, 본 논문에서는 N의 값이 홀수인 경우, 즉 식 (6)으로 국한하며, 이때의 $P(f)$ 는 다음과 같다.

$$P(f) = h_{\frac{N-1}{2}} + \sum_{n=0}^{\frac{N-1}{2}-1} 2h_n \cdot \cos\left\{2\pi f\left(n - \frac{N-1}{2}\right)\right\}, \quad N\text{은 홀수} \quad (8)$$

특정한 진폭 응답 특성을 갖도록 하는 최적의 선형 위상 FIR 필터 설계 방법으로서 Parks-McClellan 알고리즘이 널리 알려져 있다.^[2,3] 이것은 원하는 진폭 응답 특성이 주어지면 FIR 필터의 진폭 응답 특성이 여기에 가장 근접하도록 필터의 계수를 찾는 방법이다. 원하는 진폭 응답 특성을 $H_D(f)$, 선형위상 필터의 진폭 응답 특성 중 실함수 부분을 $G(f)$ 라 하면, $E(f) = H_D(f) - G(f)$ 는 주파수 응답 특성의 회망치와 설계치 사이의 오차이다. $E(f)$ 의 크기의 최대값을 구하되, 주파수 별 가중치 함수 $W(f)$ (양의 실함수)를 적용하여 구한 것을 최대 가중 오차라고 하며, 다음 식으로 표현된다.

$$\|E(f)\| = \max_{f \in F} W(f) |H_D(f) - G(f)| \quad (9)$$

여기서 F 는 주파수 영역으로서, $F \subset [0, 0.5]$ 이다. Parks-McClellan 알고리즘은 $\|E(f)\|$ 가 최소값을 갖게 하는 필터 계수를 구하는 것으로서, 필터 탭 수 N과 $H_D(f)$ 및 $W(f)$ 가 주어지면, 이 조건에서 선형 위상을 가진 최적의 FIR 필터를 얻게 한다. 이렇게 하여 구한 필터는 그 $E(f)$ 의 크기의 상한값이 $W(f)$ 에 반비례하게 된다. 즉 $W(f)$ 는 주파수 대역 별 오차 허용치에 대한 상대적인 비중을 의미한다. 이러한 점을 이용하면, 설계하고자 하는 주파수 대

역을 특정한 주파수 대역으로 제한할 수 있다. 즉 오차가 적어야 하는 주파수 대역에 대해서는 $W(f)$ 에다 큰 값의 가중치를 부여하고, 큰 오차가 발생하여도 무방한 주파수 대역에 대해서는 작은 값의 가중치를 부여하면 된다. 이 알고리즘은 Fortran, C, Matlab 등의 언어로 작성되어 패키지 형태로 널리 보급되어 있다.

FIR 역 sinc 필터와 D/A 변환기의 홀더 회로를 결합한 부분에 대한 전체적 주파수 전달 특성은 식 (1)을 정규화 주파수로 변환한 후 식 (6)과 곱함으로써 구할 수 있으며, $0 \leq f \leq 0.5$ 영역에 대하여 다음과 같이 정리된다.

$$H_{overall}(f) = \sin c(f)P(f)e^{-j\pi Nf}, \quad 0 \leq f \leq 0.5 \quad (10)$$

이 중에서 진폭 응답 특성은 $\sin c(f)P(f)$ 가 되며, 이상적인 역 sinc 필터는 이 값이 1이 된다. 이와 같은 FIR 역 sinc 필터의 설계 문제를 식 (9)의 형식에 다음과 같이 대응시킬 수 있다.

$$\left. \begin{aligned} H_D(f) &= 1 \\ G(f) &= \sin c(f) P(f) \\ W(f) &= \begin{cases} 1000, & f \in B_S \\ 1, & f \notin B_S \end{cases} \end{aligned} \right\}, \quad 0 \leq f \leq 0.5 \quad (11)$$

여기서 B_S 는 D/A 변환하고자 하는 신호의 주파수 대역을 가리키는 것으로서, 설계하고자 하는 FIR 필터의 관심 주파수 대역이 된다. 관심 주파수 대역과 그 밖의 대역에 대한 가중치는 충분히 큰 차이가 나도록 1,000배의 차이를 두었으며, 이에 따라서 설계된 필터는 관심 주파수 대역이 그 밖의 대역에 비하여 1,000배의 정밀도를 가지게 된다. 그런데 디지털 역 sinc 필터를 설계하기 위해서는 식 (9)에서 $G(f)$ 는 $P(f)$ 로 대응되어야 한다. 식 (11)의 $G(f)$ 에 있는 $\sin c(f)$ 인수를 $W(f)$ 로 이동시키면 이러한 형식에 맞도록 변환할 수 있다. 이 결과

$$\left. \begin{aligned} H_D(f) &= 1 / \sin c(f) \\ G(f) &= P(f) \\ W(f) &= \begin{cases} 1000 \sin c(f), & f \in B_S \\ \sin c(f), & f \notin B_S \end{cases} \end{aligned} \right\}, \quad 0 \leq f \leq 0.5 \quad (12)$$

을 얻고, 이것을 Parks-McClellan 알고리즘에 적용함으로써 선형 위상의 디지털 역 sinc 필터, 즉 $P(f)$ 를 설계할 수 있게 된다.

한 예로서, 필터 탭 수는 $N=7$ 이고, 보상하고자 하는 관심 주파수 대역은 $B_S = \{0 \leq f \leq 0.4\}$ 로 놓고 이 알고리즘을 이용하여 FIR 필터를 구한 결과를 그림 2에 나타내었다. 그림 2에서 점선 그래프는 $H_D(f)$

이며 실선 그래프는 설계된 $P(f)$ 의 진폭 응답 특성이다. 임펄스 응답 함수는 식 (5)와 같이 최우 대칭의 모습을 지님으로써 선형 위상의 특성을 가진다. 그림 3은 설계된 FIR 필터와 홀더 회로를 결합한 전체적 진폭 응답 특성을 나타낸 것이다. 관심 주파수 대역에서 약간의 리플 오차를 보이지만 전체적으로 균등한 크기의 진폭 응답을 보이고 있다. 내부의 그림은 리플을 좀더 자세하게 나타낸 것이다. 최대 오차가 관심 주파수 대역 내에서 ± 0.03 dB 이내로 제한되어 있다.

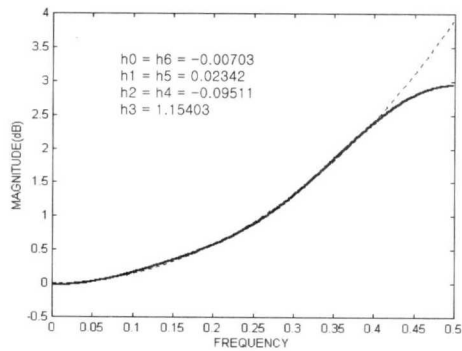


그림 2. 설계된 역 sinc FIR 필터의 탭 계수 및 진폭 응답 특성($N=7, 0 \leq f \leq 0.4$).

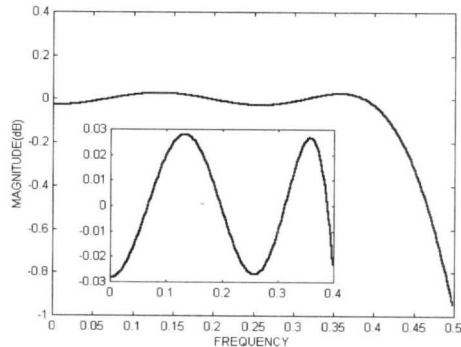


그림 3. 설계된 역 sinc FIR 필터와 D/A 홀더의 전체적 진폭 응답 특성($N=7, 0 \leq f \leq 0.4$).

III. 설계 대역의 제한에 의한 성능 개선

Parks-McClellan 알고리즘은 식 (9)의 최대 가중 오차를 최소화하는 관점에서 최적의 FIR 필터 설계 방법이다. FIR 필터의 탭 수 N 값이 주어진 조건에서 식 (12)의 함수들을 식 (9)에 적용함으로써 탭 수가 N 인 최적의 FIR 역 sinc 필터를 설계할 수

있다. 설계된 필터의 성능은 이 필터와 홀더 회로를 결합한 전체적 진폭 응답 특성을 관찰하여 평가할 수 있는 바, 신호 대역 구간에서 전체적 진폭 응답 특성이 보이는 리플의 최대값으로 평가하기로 한다. N의 값이 동일하더라도 식 (12)의 $W(f)$ 를 정의하는 관심 주파수 대역 B_S 의 범위에 따라서 필터의 성능이 달라진다. B_S 의 폭을 좁게 잡을수록 그만큼 필터의 진폭 특성에 대한 제약 조건이 적어지는 결과가 됨으로 인하여 필터의 성능은 향상된다.

한 예로서, 관심 주파수 대역을 $B_S = (0.1 \leq f \leq 0.3)$ 로 좁혔을 때의 설계 결과를 그림 4에 나타내었다. 그림 2와 비교할 때 관심 주파수 대역에서는 이상적인 진폭 응답 특성에 더욱 근접하고 있음을 볼 수 있다.

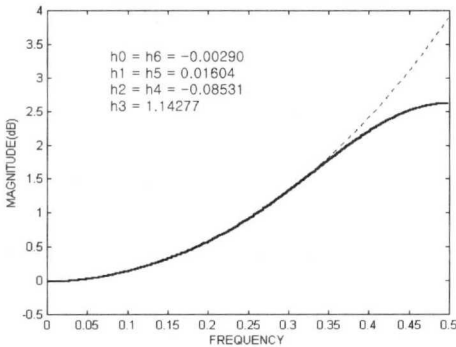


그림 4. 설계된 역 sinc FIR 필터의 탭 계수 및 진폭 응답 특성(N=7, $0.1 \leq f \leq 0.3$).

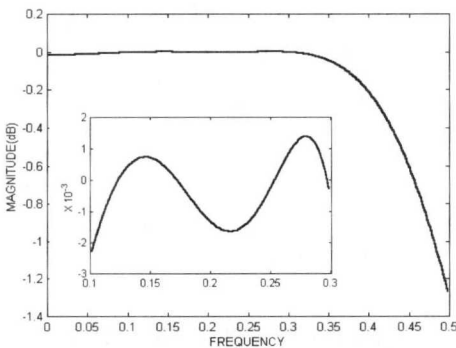


그림 5. 설계된 역 sinc FIR 필터와 D/A 홀더의 전체적 진폭 응답 특성(N=7, $0.1 \leq f \leq 0.3$).

그림 5는 설계된 FIR 필터와 홀더 회로를 결합한 전체적 진폭 응답 특성을 나타낸 것이다. 내부의 그림은 리플을 좀더 자세하게 나타낸 것이다. 최대

오차가 관심 주파수 대역 내에서 ± 0.0023 dB 이내로 제한되어 성능이 현저하게 개선되었다.

그림 6은 N=7에서 관심 주파수 대역을 $B_S = \{f_L \leq f \leq f_H\}$ ($0 \leq f_L \leq f_H \leq 0.45$)로 가변하면서 FIR 필터를 설계하고 그때의 홀더 회로 출력에서의 최대 오차의 크기를 나타낸 것이다. 대역폭이 좁아질수록, 즉 f_L 과 f_H 의 차이가 작아질수록 최대 오차의 크기가 감소하고 있음을 볼 수 있다.

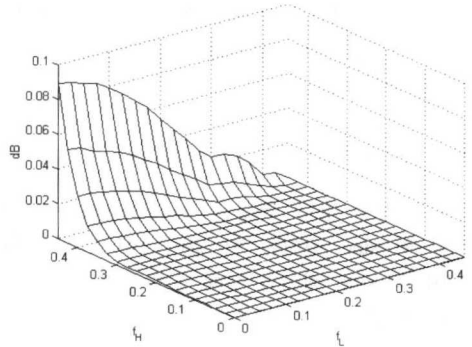
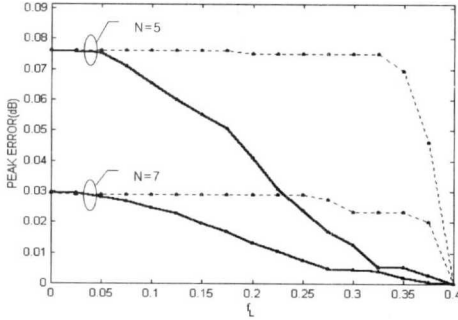


그림 6. 설계된 역 sinc FIR 필터에서 홀더 회로 출력에서의 최대 오차의 크기(N=7, $f_L \leq f \leq f_H$).

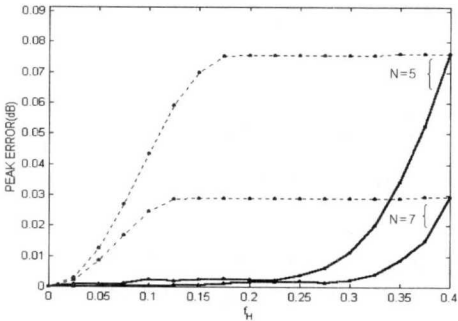
그림 7은 필터 탭 수 N의 값이 5와 7인 경우에 대하여 필터를 설계할 때의 홀더 회로 출력에서의 최대 오차를 나타낸 것이다. 그림 7(a)에서는 관심 주파수 대역이 $B_S = \{f_L \leq f \leq 0.4\}$ 의 범위에서 f_L 의 값을 변경하면서 측정한 것이고, 그림 7(b)에서는 관심 주파수 대역이 $B_S = \{0 \leq f \leq f_H\}$ 의 범위에서 f_H 의 값을 변경하면서 측정한 것이다. 각 그림에서 점선의 그래프는 관심 주파수 대역을 $B_S = \{0 \leq f \leq 0.4\}$ 로 놓고 설계한 그림 2의 고정된 필터에서 신호의 대역폭만 $f_L \leq f \leq 0.4$ 혹은 $0 \leq f \leq f_H$ 로 가변될 때의 최대 오차를 나타낸 것이다.

N의 값이 동일한 조건에서 실선과 점선 그래프의 차이 값은 곧 신호의 대역에 맞추어 B_S 를 좁혀서 필터를 설계한 경우와 그렇지 않은 경우에 대한 성능의 차이에 해당된다. 그림 7(a)에서 신호 대역의 f_L 이 0.23 이상인 경우에는 N=5의 실선 그래프가 N=7의 점선 그래프보다 더 우수한 성능을 보임을 볼 수 있다. 이러한 현상은 그림 7(b)에서 f_H 가 0.34 이하인 경우에도 나타나고 있다. N의 값이 클수록 필터 구현의 복잡도가 증대되는 것을 상기하면, 신호 대역폭을 감안하는 방법에 의하여 필터의 복잡도를 줄일 수도 있음을 확인한 셈이다. 그리고

f_L 보다는 f_H 가 더욱 민감하게 성능에 영향을 주고 있음을 볼 수 있으며, 이것은 필터 설계의 관심 주파수 대역에서 주파수가 높은 쪽에 더욱 주의를 기울여야 하는 것으로 해석할 수 있다.



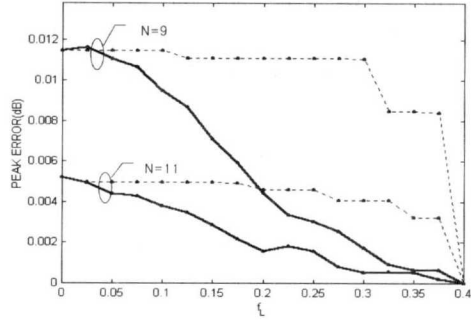
(a)



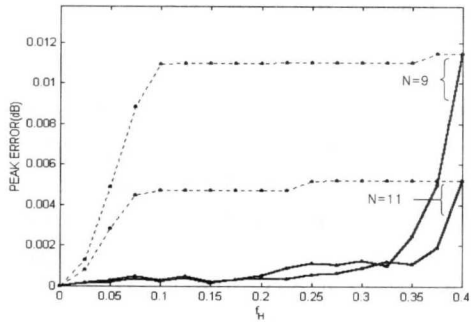
(b)

그림 7. 관심 주파수 대역의 변경에 따른 홀더 회로 출력에서의 최대 오차(N=5 또는 7).
(a) $f_L \leq f \leq 0.4$, (b) $0 \leq f \leq f_H$.

그림 8은 N의 값을 9와 11로 바꾸어서 그림 7과 동일한 조건에서 측정을 한 결과이다. 최대 오차의 수준이 현저하게 줄어든 것을 제외하고는 신호 대역을 감안함에 따른 성능 개선이 동일한 경향으로 일어나고 있음을 보이고 있다. 그림 8(a)에서 점선의 그래프가 상수 값을 유지하지 못하고 계단 형태의 모습을 보이는 것은, $B_S = (0 \leq f \leq 0.4)$ 에 대하여 설계된 필터의 오차 리플 그래프에서 최대 오차를 만드는 주파수가 신호의 대역폭에 포함되는지의 여부에 따라서 최대 오차의 크기가 단계적으로 바뀌기 때문이다. 즉, 이 주파수가 신호의 대역폭에 포함되어 있을 동안에는 신호의 대역폭이 다소 바뀌더라도 최대 오차의 값이 변동되지 않다가, 신호의 대역폭에서 벗어나게 되면 그 다음 크기의 최대 오차의 수준으로 감소함으로 인한 것이다.



(a)



(b)

그림 8. 관심 주파수 대역의 변경에 따른 홀더 회로 출력에서의 최대 오차(N=9 또는 11).
(a) $f_L \leq f \leq 0.4$, (b) $0 \leq f \leq f_H$.

IV. 대역통과 역 sinc 필터의 응용

D/A 변환하고자 하는 신호가 기저대역이 아니라 대역통과형인 경우에는 필터 설계시의 관심 주파수 대역 설정에서 $f_L \neq 0$ 로 놓는 것이 중요하다. 이렇게 하여 구한 역 sinc 필터를 대역통과 역 sinc 필터라고 부르기로 한다. 대역통과 역 sinc 필터가 유용하게 사용되는 경우는 디지털 변조 모뎀에서 그 전형적인 사례를 볼 수 있는 바, 기저대역 신호가 중간 주파수 또는 반송주파수의 반송파로 변조되는 과정이 디지털 영역에서 처리가 일어나는 경우이다. 고속의 디지털 신호 처리 및 고속의 D/A 변환기가 구현 가능해짐에 따라서 고주파 영역에서도 디지털 신호처리가 이용되며, 이 결과로 이와 같은 상황은 더욱 빈번하게 발생하고 있다. 하나의 예로서, HomePNA 2.0의 변조기에 대하여 대역통과 역 sinc 필터를 설계한 것을 보인다. 그림 9는 HomePNA 2.0의 송신부에 대한 설계예를 나타낸 것이다. 전송 심벌은 M-ary QAM 심벌로서, $M \in$

{4, 8, 16, 32, 64, 128, 256}이다. 심벌 속도는 2 Mbaud와 4 Mbaud의 두 종류가 있다. 이에 따라서 데이터 속도는 4 Mbps에서부터 32 Mbps까지의 범위가 가능하다.^[4]

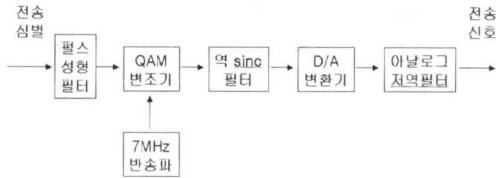
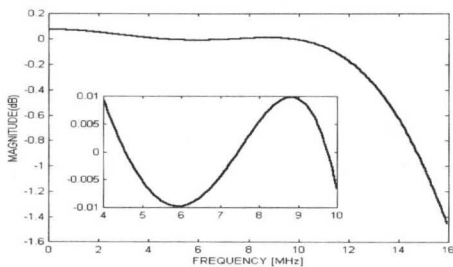


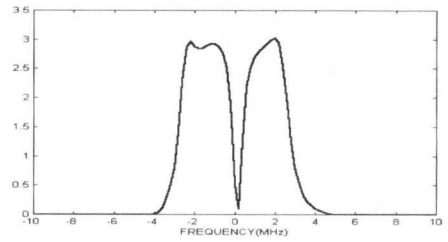
그림 9. HomePNA 2.0의 송신부의 구조

펄스 성형 필터는 전송 신호의 스펙트럼 모양을 결정하는 역할을 수행하며, 대역폭은 3 MHz 정도로 정해져 있다. QAM 변조에서 사용되는 반송파는 7 MHz 정현파이다. 이에 따라서 QAM 변조된 신호의 대역은 4 ~ 10 MHz가 된다. 변조되기까지의 모든 과정을 디지털 신호처리에서 구현하기 위해서는 샘플링 주파수가 QAM 신호의 최고 주파수보다 두 배, 즉 20 MHz 이상되어야 앨리어싱이 발생하지 않는다. 본 논문에서의 샘플링 주파수는 32 MHz이다. 역 sinc 필터는 D/A 변환기에 의한 왜곡을 보상하기 위한 것이다. D/A 변환기에는 홀더 회로가 내장되어 있으며, 그 출력은 계단 모양을 띠게 된다. 이 파형은 다시 간단히 아날로그 저역 필터에 의하여 연속함수의 모양으로 바뀐 다음에 전송 신호로서 송출된다.

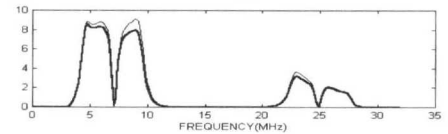
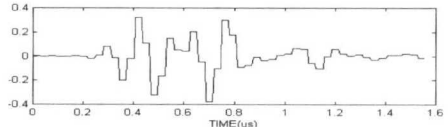
역 sinc 필터를 설계하기 위하여 전송 신호의 대역을 샘플링 주파수로 정규화하면 $B_s = (0.125 \leq f \leq 0.3125)$ 가 되며, 이 조건에 대한 $N=5$ 의 역 sinc 필터를 설계한 결과를 그림 10에 나타내었다.



(a)



(b)



(c)

그림 10. HomePNA 2.0 모델용 역 sinc 필터.

- (a) 역 sinc 필터와 D/A 홀더의 전체적 진폭 응답 특성.
- (b) QAM 신호의 기저대역 스펙트럼, (c) D/A 변환기의 출력 특성.

그림 10(a)는 역 sinc 필터와 D/A 홀더의 전체적 진폭 응답 특성으로서, 신호 대역에서의 오차가 $\pm 0.01\text{dB}$ 이내로 나타났다. 그림 10(b)는 하나의 QAM 심벌을 전송할 때에 QAM 변조기 입력 신호, 즉 기저대역 신호에 대한 스펙트럼이다. 저주파 대역에서 스펙트럼의 골이 있는 것은 HomePNA 2.0 신호가 7 MHz대의 HAM 통신 장비에 간섭을 주지 않기 위하여 notch 감쇠를 두도록 규격화되어 있기 때문이다.

그림 10(c)의 첫 번째 그림은 하나의 QAM 펄스 파형에 대한 D/A 변환기 출력의 파형 모습이며, 두 번째 그림은 그 스펙트럼이다. 두 번째 그림에서 굵은 선 그래프는 역 sinc 필터를 사용하지 않았을 경우에 대한 것이며, 가는 선의 그래프는 이 필터를 사용하였을 경우에 대한 것이다.

굵은 선의 그래프에서는 스펙트럼이 찌그러져 있지만, 가는 선 그래프에서는 그림 10(b)의 기저대역 스펙트럼 모습이 유지되고 있음을 볼 수 있다. D/A 변환기의 출력은 32 MHz의 샘플링 효과를 겪기 때문에 (32 MHz의 정수배 ± 7 MHz)를 중심으로 고주파 스펙트럼을 갖고 있다. 그림에서는 25 MHz 근방에서 고주파 스펙트럼이 보이고 있다. 그러나

이들 고주파 스펙트럼은 아날로그 저역 필터에 의하여 제거됨으로써 7 MHz 근방의 기본파 스펙트럼만 전송 신호로 송출된다.

V. 결론

D/A 변환기에서의 샘플홀더 회로는 신호에 대하여 sinc 필터링하는 효과를 발생시킨다. 이를 보상하기 위해서 D/A 변환하기 이전에 역 sinc의 진폭 응답 특성을 가진 디지털 필터를 통과시키는 방법이 널리 이용되고 있다. 본 논문에서는 역 sinc 필터를 위한 선형 위상의 FIR 디지털 필터의 설계 문제를 다루었다. 필터의 차수와 원하는 진폭 응답 특성이 주어지면 이로부터 최대 가중 오차를 최소화하도록 선형 위상의 FIR 필터를 구하는 Parks-McClellan 알고리즘을 이용하였다. 이 때 D/A 변환하고자 하는 신호의 대역에만 높은 가중치를 부여함으로써 결과적으로 신호 대역에서의 필터의 보상 성능을 극대화시키는 방법을 연구하였다.

필터 차수와 신호 대역의 경계 주파수를 바꾸어 가면서 역 sinc 필터를 설계하고 그때의 보상 오차의 값들을 구하여 제시하였다. 신호의 대역을 고려하여 최적 설계를 하는 것이 그렇지 않는 것에 비하여 괄목할만한 성능 개선을 얻는다는 것을 확인하였다. 샘플링 주파수로 정규화한 관점에서 신호의 대역폭이 좁아질수록 성능 개선량은 증대되었으며, 필터의 차수를 높이는 수준의 효과에도 도달할 수 있음을 확인하였다. 신호 대역의 경계 주파수 중에서 고주파 쪽의 경계 주파수가 저주파 쪽의 것에 비하여 더욱 민감하게 성능에 영향을 주었다. 본 논문의 설계 방법을 HomePNA 2.0 모뎀에서의 역 sinc 필터에서 응용하였다. 설계된 4차의(N=5) FIR 필터로써 $\pm 0.01\text{dB}$ 의 오차 범위 이내로 보상이 이루어지는 것을 확인하였다.

신호의 대역을 감안하여 필터를 설계하는 것은 신호의 대역폭이 좁아질수록 더욱 유효하다. 이러한 상황의 대표적인 사례는 신호가 대역통과형일 때이다. 고속의 디지털 신호처리가 가능해짐에 따라서 반송 주파수 혹은 중간 주파수에서의 신호처리도 디지털 영역에서 구현하는 추세에 있으며, 이 때에는 언제나 D/A 변환하고자 하는 신호는 대역통과의 스펙트럼을 갖는다. 앞으로 여러 가지의 모뎀에 대하여 본 논문에서 다룬 내용을 적용해 볼 필요가 있으며, canonical signed digit(CSD) 표현법을 사용하여 곱셈기가 없는 역 sinc 필터의 설계에도 응용

하는 것을 계속 연구하여야 할 것이다.^[5]

참고 문헌

- [1] T. Lin and H. Samuelli, "A 200-MHz CMOS $x/\sin(x)$ digital filter for compensating D/A converter frequency response distortion," *IEEE Journal of Solid-state Circuits*, vol. 26, no. 9, pp. 1278-1285, Sep. 1991.
- [2] J. H. McClellan, T. W. Parks, and L. R. Rabiner, "A computer program for designing optimum FIR linear phase digital filter," *IEEE Trans. on Audio Electroacoustics*, vol. AU-21, No. 6, pp. 506-525, Dec. 1973.
- [3] E. C. Ifeachor and B. W. Jervis, *Digital Signal Processing: A Practical Approach*, Addison-Wesley, 1993.
- [4] Home Phonline Networking Alliance, Inc., "Interface specification for HomePNA 2.0 10M8 Technology," HomePNA, Dec. 1999.
- [5] H. Samuelli, "The design of multiplierless FIR filters for compensating D/A converters frequency response distortion," *IEEE Trans. on Circuits and Systems*, vol. 35, no. 8, pp.1064-1066, Aug. 1988.

백 제 인(Jein Baek)

정희원



1978년 2월 : 서울대학교

전자공학과 학사

1980년 2월 : KAIST

산업전자공학과 석사

1986년 2월 : KAIST 전기및전자

공학과 박사

1984년~1988년 : ETRI TDX 개발단 선임연구원

1988년~현재 : 한남대학교 정보통신.멀티미디어공학부 교수

<주관심 분야> 디지털 변복조 이론, 모뎀 신호처리

강 현 식(Hun-sik Kang)

정희원

1993년 2월 : 경북대학교 전자공학과 학사

1995년 2월 : 경북대학교 전자공학과 석사

2000년 10월 : Hynix 반도체

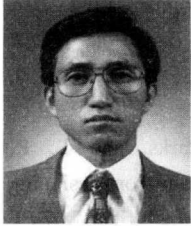
2000년 10월~현재 : ETRI 네트워크연구소 SoC

기술팀 선임연구원

<주관심 분야> 디지털 통신설계, 혼성모드 ASIC
설계, Home Networking, HomePNA 기술

김 종 원(Jong-won Kim)

정회원



1980년 2월 : 한국항공대학교
항공전자공학과 학사

1998년 2월 : 충남대학교
전자공학과 석사

2000년~현재 : 충남대학교
전자공학과 박사과정

1992년~현재 : ETRI 네트워크 연구소 SoC 기술팀
책임연구원

<주관심 분야> B-ISDN, 액세스망 기술, 대내망
기술