

# MAI-cancelled CDMA 시스템을 위한 2진 ZCD 코드

정희원 서종완\*, 조성철\*\*, 조주필\*\*, 차재상\*\*\*

## Novel Binary ZCD codes for MAI-cancelled CDMA Systems

Jong-wan Seo\*, Seong-chul Cho\*\*, Ju-phil Cho\*\*, Jae-sang Cha\*\*\* *Regular Members*

### 요 약

본 논문에서는 코드간에 직교특성이 연속적으로  $(0.5N+1)$ 칩의 시간구간동안 지속되는 2진 ZCD(zero-correlation duration) 프리퍼드페어(preferred pair; PP) 코드의 생성법을 제시한 후, 2진 ZCD PP를 기준으로 칩시프트(chip shift)동작을 행하여 다수의 코드수를 갖는 ZCD 확산코드셋을 형성하였다. 본 논문에서 제시한 확산코드가 갖는 ZCD특성은 제로상관구간내에서 CDMA 시스템의 MAI문제를 근원적으로 해결하는데 있어 효과적일뿐만 아니라, 주기가  $N=4$ 로부터 2의 배수로 계속 확장이 가능하기 때문에, Walsh-하다마드코드의 경우와 마찬가지로 하드웨어적인 구현 또한 용이하게 해주는 이점을 갖고 있다.

### ABSTRACT

In this paper, a generalized construction method for binary preferred pairs with wide zero-correlation duration (ZCD) of  $(0.5N+1)$ chips is introduced. Binary ZCD spreading code sets with enlarged family sizes are generated by carrying out a chip-shift operation of the preferred pairs. The properties of the Binary ZCD spreading codes are very effective for MAI-cancelled CDMA Systems. Furthermore, proposed codes can be easily implemented in the hardware aspect.

### 1. 서론

현재, 2세대를 지나 3세대 이동통신방식인 IMT-2000 시스템으로 진화해온 CDMA 방식의 다중접속기술은 확산코드에 의해서만 구현이 가능하며, 그 성능은 이용되는 확산코드들의 상관특성<sup>[1]</sup>에 절대적으로 의존하게 된다. 그러므로 CDMA 시스템의 커패시티 증대 및 성능향상을 위한 근본적인 방편으로서, 상관특성이 우수한 확산코드의 개발 및 적용기술의 연구는 중대하다고 볼 수 있다. 하지만, 기존의 상용화된 CDMA 시스템에서 채널구분용으로 이용되고 있는 Walsh-하다마드 코드나 OVFS코드는 그 직교특성이 코드동기가 확립된 시점에서만 유지되므로 다중접속간섭(MAI; Multiple Access Interference)이나 멀티패스에 의한 지연파가 발생하는 실제적인 무선채널환경에서는 심각한 BER성능

의 열화를 가져온다. 따라서, 이러한 확산코드들의 직교특성붕괴에 의한 문제를 해결하기 위해서는 일정한 시간구간동안 연속적인 직교특성을 갖는 ZCD 성질이 유용하다는 사실이 여러 논문들<sup>[2-6]</sup>에서 입증되었다. 본 논문에서는 이러한 ZCD구간을 갖는 2진의 확산코드 중에서 가장 넓은  $(0.5N+1)$ 칩의 시간구간동안 ZCD(zero-correlation duration) 특성을 갖는 프리퍼드페어(preferred pair; PP) 코드의 생성법을 소개한다. 또한, 이러한 PP를 코드수가 많이 필요한 CDMA용 코드로서 이용하기 위한 방법으로서, 2진 ZCD PP를 기준으로 칩시프트(chip shift) 동작을 행하여 다수의 코드수를 갖는 ZCD 확산코드 셋의 형성방법을 제시한다. 또한 본 논문에서는 제시된 바이너리 ZCD 확산코드가 ZCD 특성에 의한 MAI제거능력은 물론이고, Walsh-하다마드 코드<sup>[7]</sup>와 마찬가지로, 코드발생기의 하드웨어 구현이 용이하

\* 성균관대학교 전기전자및컴퓨터공학과(angler@chollian.net),

\*\* 한국전자통신연구원(ETRI) 이동통신연구소

\*\*\* 서경대학교 정보통신공학과 (chajs@skuniv.ac.kr)

※ “이 논문은 2002년도 한국학술진흥재단의 지원에 의하여 연구 되었음(KRF-2002-003-D00212).”

※ 본 논문은 2002년 4월 JCCI 학술대회에서 우수논문으로 선정되어 게재 추천된 논문입니다.

다는 점을 하드웨어 설계불력을 통해 표현했다.

**II. 주기상관 및 제로상관구간(ZCD) 특성**

N칩의 주기를 갖는 두개의 2진 코드  $S_N^{(x)} = (s_0^{(x)}, \dots, s_{N-1}^{(x)})$ 과  $S_N^{(y)} = (s_0^{(y)}, \dots, s_{N-1}^{(y)})$ 의 시간  $\tau$ 에 대한 주기 상관은 식(2.1)과 같이 정의된다.

$$\theta_{x,y}(\tau) = \sum_{n=0}^{N-1} s_n^{(x)} s_n^{(y)} \oplus \tau \quad \dots(2.1)$$

여기서  $\oplus$ 는 modulo N 연산을 의미하고,  $x=y$ 일 경우 이 수식은 자기상관함수(ACF)가 되며,  $x \neq y$ 일 경우 상호상관함수(CCF)가 된다.

주기함수의 ACF 사이드러브의 최대값 ( $\theta_{as}$ )과 CCF의 최대값 ( $\theta_c$ )은 이론적인 바운드(Bound)이내의 특정 범위의 값을 가지게 되며,  $\theta_{as}$ 와  $\theta_c$ 가 모두 0이 되는 2진 코드의 생성은 불가능하다는 것이 기존의 논문<sup>[1]</sup>에서 이미 입증되어있다. 그러나  $\tau=0$  주변의 특정영역이내에서는  $\theta_{as}$ 와  $\theta_c$ 을 연속적으로 0이 되게 하는 2진 코드를 만드는 것이 가능하다. 이러한 연속적인 지역구간(local duration)을 zero-correlation duration(ZCD)라고 정의한다. 이러한 ZCD특성은 특히 CDMA 시스템의 상향링크에서 다중사용자간섭(MAI)이 없는 준동기구간을 확립하게 해준다는 사실이 몇몇 논문<sup>[2-5]</sup>에서 밝혀져 있다.

**III. 2진 ZCD 코드의 발생방법**

본 논문에서 소개하는 2진 ZCD코드의 생성법의 특징은 이하와 같다. 즉, ZCD성질을 갖는 이진 확산코드중에서 가장넓은  $(0.5N+1)$ 칩의 ZCD를 갖는 바이너리 ZCD 프리퍼드페어(Binary ZCD Preferred Pair; BZPP)에 대한 일반화된 생성법을 제시한 후, BZPP를 기초로하여 바이너리 ZCD 코드셋(Binary ZCD Code Set; BZCS)을 생성한다.

[단계1]. 바이너리 ZCD 프리퍼드페어(Binary ZCD

*Preferred Pair; BZPP) 생성*

첫번째 단계에서는 코드의 주기  $N=4 \times 2^i$  ( $i=0,1,2,3,\dots$ )에 대하여  $(0.5N+1)$ 칩이라는 제로상관 특성을 가진 바이너리 ZCD 프리퍼드페어(Binary ZCD Preferred Pair; BZPP)의 생성방법에 관하여 설명한다.

우선 초기 기초행렬(initial basic matrix)을 식 (3.1)과 같이 구성한다.

$$G = \begin{bmatrix} + & + & + & - \\ + & + & - & + \\ + & - & + & + \\ - & + & + & + \end{bmatrix} \quad \dots(3.1)$$

여기서 매트릭스 내에서는 편의상 각각 +1과 -1을 +와 -로 표기하였다. 행렬 G 또는 -G를 구성하는 임의의 행을 주기 4칩의 확산코드  $S_4^{(a)} = (s_0^{(a)}, s_1^{(a)}, s_2^{(a)}, s_3^{(a)})$ 라고 하면,  $S_4^{(a)}$ 로부터 다른 확산코드  $S_4^{(b)} = (s_0^{(b)}, s_1^{(b)}, s_2^{(b)}, s_3^{(b)})$ 를 생성할 수 있는데 이때의  $S_4^{(a)}$ 와  $S_4^{(b)}$ 의 관계는  $s_q^{(b)} = (-1)^q s_q^{(a)}$  ( $q=0,1,2,3$ )과 같이 된다. 여기서, 이들 주기 4의 1쌍의 코드  $\{S_4^{(a)}, S_4^{(b)}\}$ 는  $(0.5 \times 4 + 1)$ 칩의 제로상관구간(ZCD)을 가지며 이들을 초기BZPP라고 정의한다.

초기BZPP가 결정되면, BZPP의 주기를 계속해서 2배씩 확장시켜주는 기능을 수행하는 확장행렬(extension matrix)을 구성할 수 있다. 초기 BZPP를 구성하는  $\{S_4^{(a)}, S_4^{(b)}\}$ 에서 1개의 코드를 취해 확장행렬에 입력할 경우, 그 출력된 행렬의 임의의 행을 취하면 이는 주기가 2배인 8칩으로 확장된 코드  $S_8^{(a)}$ 이 된다. 다음에는  $S_8^{(a)}$ 를 이용해서  $s_q^{(b)} = (-1)^q s_q^{(a)}$  ( $q=0,1,\dots,6,7$ )와 같은 수열의 짝수항에 대한 반전동작을 가하면  $S_8^{(b)}$ 가 생성된다. 이와 같이, BZPP의 주기를 확장시키는 동작을 일반화해서 표시하면 식(3.2)와 같다.

예를들어, 주기  $m=4 \times 2^i$  ( $i=0,1,2,3,\dots$ )를 갖는

$$D = \begin{bmatrix} (s_0^{(a)}, \dots, s_{\frac{m}{2}-1}^{(a)}) & (s_{\frac{m}{2}}^{(a)}, \dots, s_{m-1}^{(a)}) & (s_0^{(a)}, \dots, s_{\frac{m}{2}-1}^{(a)}) - (s_{\frac{m}{2}}^{(a)}, \dots, s_{m-1}^{(a)}) \\ (s_0^{(a)}, \dots, s_{\frac{m}{2}-1}^{(a)}) & - (s_{\frac{m}{2}}^{(a)}, \dots, s_{m-1}^{(a)}) & (s_0^{(a)}, \dots, s_{\frac{m}{2}-1}^{(a)}) & (s_{\frac{m}{2}}^{(a)}, \dots, s_{m-1}^{(a)}) \\ (s_0^{(a)}, \dots, s_{\frac{m}{2}-1}^{(a)}) - (s_{\frac{m}{2}}^{(a)}, \dots, s_{m-1}^{(a)}) & (s_0^{(a)}, \dots, s_{\frac{m}{2}-1}^{(a)}) & (s_0^{(a)}, \dots, s_{\frac{m}{2}-1}^{(a)}) & (s_{\frac{m}{2}}^{(a)}, \dots, s_{m-1}^{(a)}) \\ - (s_0^{(a)}, \dots, s_{\frac{m}{2}-1}^{(a)}) & (s_{\frac{m}{2}}^{(a)}, \dots, s_{m-1}^{(a)}) & (s_0^{(a)}, \dots, s_{\frac{m}{2}-1}^{(a)}) & (s_{\frac{m}{2}}^{(a)}, \dots, s_{m-1}^{(a)}) \end{bmatrix} \quad \dots(3.2)$$

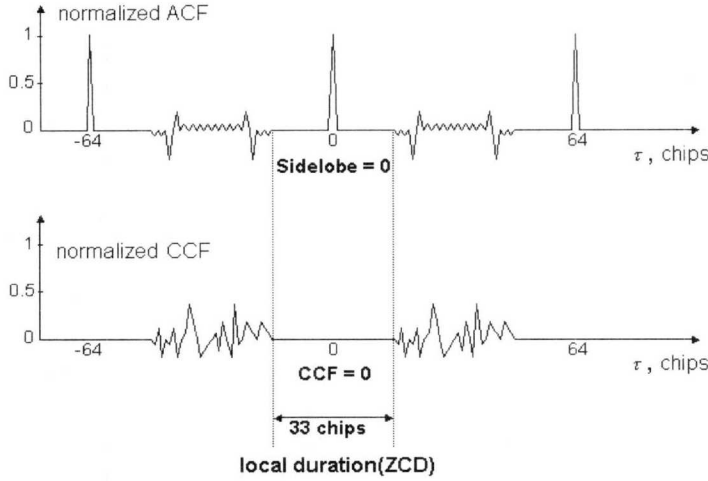


그림 3-1.  $\{S_{64}^{(a)}, S_{64}^{(b)}\}$ 의 ZCD 코드의 ACF 및 CCF sidelobe

임의의 BZPP  $\{S_m^{(a)}, S_m^{(b)}\}$ 가 주어졌을때, 확장행렬 D는 식(3.2)와 같이 구성된다. 여기서, D 또는 -D의 임의의 행은 2m의 주기를 갖는  $S_{2m}^{(a)} = (s_0^{(a)}, \dots, s_{2m-1}^{(a)})$ 이며  $S_{2m}^{(a)}$ 로부터  $s_q^{(b)} = (-1)^q s_q^{(a)}$  ( $q=0, 1, 2, 3, \dots$ )의 관계식을 이용하면  $S_{2m}^{(b)} = (s_0^{(b)}, \dots, s_{2m-1}^{(b)})$ 이 생성된다. 이때  $\{S_{2m}^{(a)}, S_{2m}^{(b)}\}$ 은  $(0.5 \times 2m + 1)$ 칩의 제로상관구간을 가지는 BZPP가 된다. 따라서 이상의 관계를 일반화하여, 주기  $N=4 \times 2^i$  ( $i=0, 1, 2, 3, \dots$ )에 대하여 고려하면,  $(0.5N+1)$ 칩의 제로상관구간을 갖는 BZPP  $\{S_N^{(a)}, S_N^{(b)}\}$ 가 생성된다.

그림 3-1에서는 식(3.3)에서 나타낸  $\{S_{64}^{(a)}, S_{64}^{(b)}\}$ 의 BZPP에 대한 ACF와 CCF의 특성을 도시하였다. 이 그림에서 보듯이  $N=64$ 일 경우,  $(0.5 \times 64 + 1)$ 에 해당하는 33칩 구간동안 ACF의 사이드러브와 CCF가 연속적으로 직교하는 0의 값을 유지하는 것을 확인할 수 있다. 식 (3.3)은 그림 3-1에 사용한  $\{S_{64}^{(a)}, S_{64}^{(b)}\}$ 의 BZPP이다.

$$\begin{cases} S_{64}^{(a)} = c d c -d c d -c d c d c -d -c -d c -d \\ S_{64}^{(b)} = u v u -v u v -u v u v u -v -u -v u -v \\ \text{here, } u = (- - - +), v = (- - + -), \\ c = (- + - -), d = (- + + +) \end{cases} \dots(3.3)$$

$$\begin{aligned} Bin(N, M, Z_L) = \{ & S_N^{(a)}, S_N^{(b)}, T^\Delta[S_N^{(a)}], T^\Delta[S_N^{(b)}], T^{2\Delta}[S_N^{(a)}], T^{2\Delta}[S_N^{(b)}], \dots \\ & T^{(k-1)\Delta}[S_N^{(a)}], T^{(k-1)\Delta}[S_N^{(b)}], T^{k\Delta}[S_N^{(a)}], T^{k\Delta}[S_N^{(b)}] \} \end{aligned} \dots(3.4)$$

[단계2]. 바이너리 ZCD 코드셋(Binary ZCD Code Set; BZCS)의 생성

두번째 단계에서는 코드의 주기  $N=4 \times 2^i$  ( $i=0, 1, 2, 3, \dots$ )에 대하여, 가장 넓은  $(0.5N+1)$ 칩의 ZCD를 갖는 BZPP에 대한 칩 쉬프트동작(chip-shift operation)을 행하여,  $(0.5N+1)$ 칩 이하의 제로상관구간(ZCD)을 가진 M개의 코드들로 구성되는 BZCS를 생성한다.  $Bin(N, M, Z_L)$ 은 주기가 N인 M개의 코드로 구성되는 BZCS를 나타내며, 여기서 각 M개의 코드들 상호간의 ZCD의 크기는  $Z_L$ 로서  $(0.5N+1)$ 칩 이하의 크기를 갖는다. 또한,  $T^l$ 을 코드를 반시계 방향으로 l 칩씩 쉬프트시키는 칩 쉬프트 동작기라고 정의한다면,  $\{S_N^{(a)}, S_N^{(b)}\}$ 을 이용하여, M개의 코드로 구성되는 주기 N 칩의 BZCS는 식(3.4)와 같이 생성된다.

여기서  $\Delta$ 는 칩 쉬프트의 증분(chip-shift increment)이고 k는 주어진 코드에 대한 최대 쉬프트 가능수를 의미하며, M과  $Z_L$ 는 각각  $M \geq 2, Z_L$

$\leq 0.5N+1$ 과 같은 제약 조건을 가지므로 BZCS는  $Bin(N, M \geq 2, ZL \leq 0.5N+1)$ 과 같이 표현된다.

또한  $\Delta$ 와  $k$ 는 각각 식 (3.5)의 조건을 만족하는 양의정수(positive integer) 및 비음의정수(non-negative integer)이며,  $M$ 과 BZCS의 코드들의 ZCD 간에는 식(3.6)과 같은 관계식이 존재한다.

$$|(k+1)\Delta| \leq |0.25N+1| \quad \dots(3.5)$$

$$M=2(k+1) \text{ and } ZCD=|2\Delta-1| \quad \dots(3.6)$$

### 3.1 2진 ZCD코드와 QS(OG-r)코드와의 특성 비교

그림 3-2는 본 논문에서 제안한 2진 ZCD 확산코드의 제로상관구간별 총코드수를 종래의 준동기부호인 QS(OG-r)코드<sup>[6]</sup>와 비교한 예(주기 128의 코드)를 나타내었다. 그림 3-2에서 보듯이 ZCD가 3칩 이상이면, 본 논문에서 제안한 방법에 의해 생성된 확산코드가 종래의 QS(OG-r)코드보다도 동일 ZCD에 있어서 월등히 더 많은 코드수의 확보가 가능하

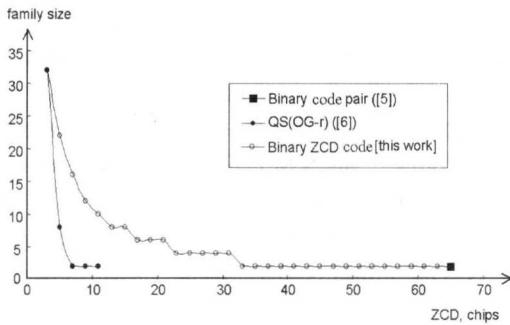


그림 3-2. QS(OG-r)코드와 2진 ZCD 코드와의 제로상관구간별 코드 총 수 비교

$$\begin{aligned}
 M_1 &= (- - + - + + + - + + - + + + - + + - + + - - - + + - + + + - -) \\
 M_2 &= (- + + + + - + + - - - + - + + - - - + - + - - - + - + +) \\
 M_3 &= (- + + + - + + - + + + - + + - + + + - + + + - - - +) \\
 M_4 &= (+ + - + + + - + + + - + + - + + - + + - + + - + + - +) \\
 M_5 &= (+ - + + - + + + - + + - + + - - - + + + - + + + - + + +) \\
 M_6 &= (+ + + - - + - + + + - - - + - + - - - + - + + - + + + -)
 \end{aligned}
 \quad \dots(3.7)$$

N	ZCD														
	3	5	7	9	11	13	15	17	19	21	23	$\Delta$	65	$\Delta$	129
32	8	6	4	2	2	2	2	2	-	-	-	$\Delta$	-	-	-
64	16	10	8	6	4	4	4	2	2	2	2	$\Delta$	-	-	-
128	32	22	16	12	10	8	8	6	6	6	4	$\Delta$	2	-	-
256	64	42	32	26	20	18	16	14	12	10	10	$\Delta$	4	$\Delta$	2

표 3-3. 주기 32, 64,128 ,256칩에 대한 바이너리 ZCD코드들의 총 코드수

다는 것을 알 수있다. 여기서 본 논문에서 제안한 방법에 의해 생성된 2진 ZCD 확산코드의 코드수는 CDMA에 의한 사용자 확보를 의미하며, 넓은 구간의 ZCD는 CDMA시스템에서 MAI의 영향을 제거하는 시간구간과 부합된다.

## IV. 2진 ZCD 코드의 적용 예

### 4.1 2진 ZCD 코드셋의 예

표 3-1은 주기 32, 64,128 ,256칩에 대하여 각 ZCD 구간별 바이너리 ZCD 코드들의 총 코드수를 표시하고있다. 식(3.7)은  $Bin(N=32, M=6, ZL=5)$ 인 BZCS를 구성하는 코드들의 예를 나타내고 있다. 여기서 M1코드 및 M2코드는 주기 32칩의 BZPP이며, 나머지 코드들은 식(3.5)와 식(3.6)의 관계를 이용하여 BZPP의 칩쉬프트 동작에 의해 발생된 것이다.

### 4.2 BZPP생성기의 하드웨어 설계 예

본 논문에서 제시한 2진 ZCD 코드는 주기N의 최소치가 4가 되며, 왈쉬-하다마드 코드와 마찬가지로 주기를 연속적으로 2배 크기로 확장할 수 있다. 이러한 확장의 용이성은 하드웨어구조를 단순화시키는 것과 동시에 실시간처리를 위한 고속처리 효과를 갖는 것으로서 그 이점은 왈쉬-하다마드코드의 발생기를 구현한 논문<sup>[7]</sup>에서 찾아볼 수 있다. 그러므로 본 논문에서도 이러한 확장성을 반영한 하드웨어 구현의 가능성을 검증하기 위하여 VHDL로 설계하고 이를 FPGA(Field programmable Gate Array) 상에 구현하였다.

본 논문에서는 N=4의 기본 주기를 갖는 코드발생기의 기본블럭을 바탕으로 더 넓은 주기를 갖는

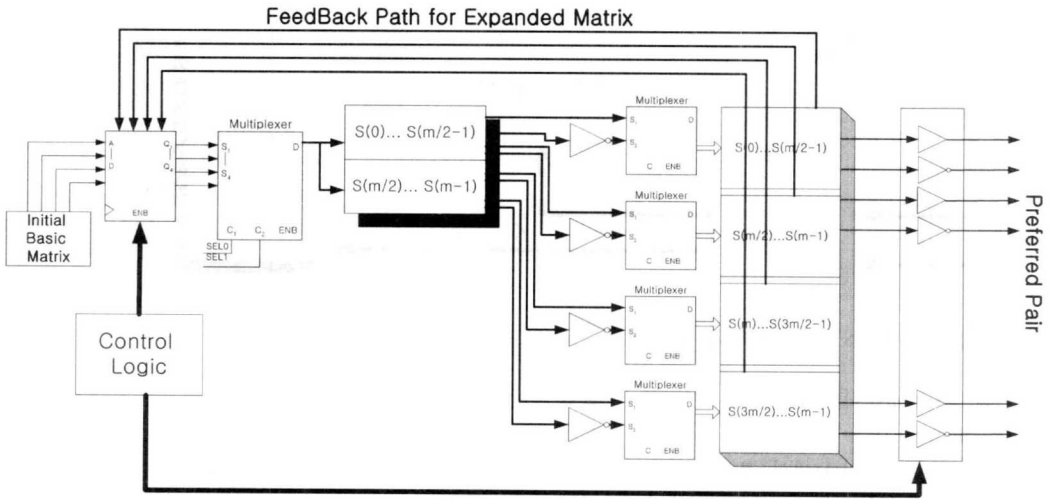


그림 4-1. 2진 ZCD의 BZPP(Binary ZCD Preferred Pair) 발생 블록

확장된 코드발생기의 블록을 설계하였다. 본 논문에서 발생시킨 코드발생기는 크게 BZPP(Binary ZCD Preferred Pair)의 생성부 및 BZCS(Binary ZCD Code Set)의 생성부의 두 부분으로 분류된다.

우선 BZPP 생성부에 대해서 기술하면, 이는 그림 4-1에 나타낸 바와 같이 2가지 부분으로 구분하여 하드웨어적으로 구현될 수 있다.

1) BZPP생성부의 초기 기초행렬의 주기 확장 부  
주기확장부는 초기 기초행렬 G로부터 원하는 1개의 기초코드를 추출후 식 (3.2)의 확장행렬 D를 형

성하는 기능을 수행한다. 또한 기초행렬로부터 형성된 확장행렬 D의 주기가 m인 경우, 이를 행렬 D에 다시 반복적으로 케환시켜서 입력시키는 구조를 통하여 주기가 2배가 확장된 코드를 생성할 수가 있다. 이와같은 기본블럭을 이용한 반복케환구조를 이용하면, 기본블럭의 쉬프트레지스터만으로도 확장된 주기를 갖는 코드발생기의 구현이 가능해지는 이점을 갖게 된다.

2) BZPP생성부의 확장행렬의 PP 구성부

본 프리퍼드페어 구성부에서는 이전의 주기확장부에서 생성한 확장행렬 D를 이용하여, 원하는 확산코드를 추출하고 이를 기반으로 짝수항의 반전동작을 가해 확장된 주기를 갖는 한쌍의 BZPP를 생성하게 된다. 그림 4-2는 BZPP를 발생시키도록 설계된 FPGA의 Schematic diagram으로 VHDL을 사용하여 설계되었고, Xilinx의 Spartan 칩에 하드웨어적으로 구현한 것이다.

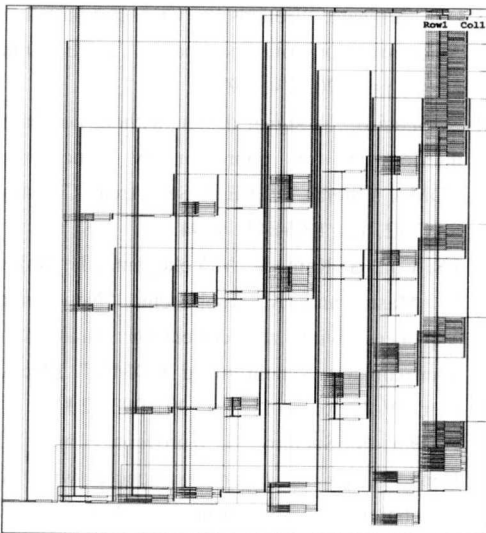


그림 4-2. 합성된 2진 ZCD의 BZPP(Binary ZCD Preferred Pair) 발생부의 schematic diagram

4.3 BZCS(Binary ZCD Code Set) 발생기의 하드웨어 설계 예

BZCS 발생기는 앞에서 설계된 BZPP로부터 확장행렬과 PP(preferred pair)를 입력받아 이들 중 한쌍의 코드 집합을 선택하여 식(3.4)의 Bin(N,M,ZL)을 생성한다.

그림 4-3은 BZCS 발생기에 대한 Block diagram이며, 그림 4-4는 본 논문에서 2진 ZCD 코드의 예제로 사용한 32주기의 코드를 그림 4-3의 구조에 적용하여 식(3.7)의 ZCD 코드셋을 시키도록 VHDL

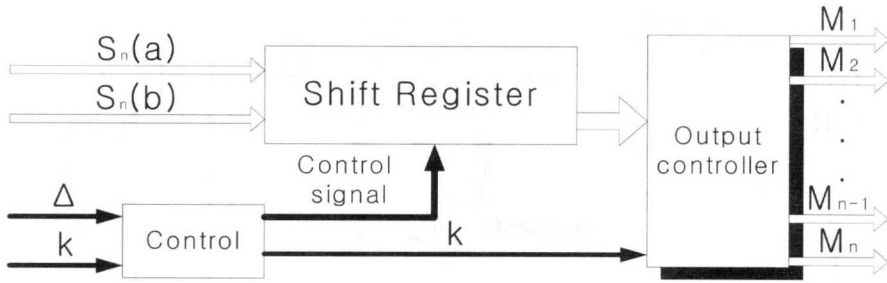


그림 4-3. BZCS 발생기의 Block diagram

로 설계하고 Synopsys를 사용하여 합성 후 추출한 schematic diagram이다.

BZCS 발생기는 식(3.4)에서 보듯이 코드 쉬프트를 위한 레지스터와 입, 출력을 선택하기 위한 multiplexor로 구성되어 있다.

4.2절에서 설계한 BZPP 생성부는 반복 구조를 사용하여 매번 반복시 2배의 크기로 확장된 코드를 발생 시킬수 있으며, 이와 함께 4.3절에서 설계한 BZCS의 발생부를 BZPP의 출력에 연결하면 완성된 2진 ZCD 코드의 집합을 생성할 수 있다.

본 논문에서 예제로 사용한 식(3.7)과 같이 표시되는 주기 32 칩의 2진 ZCD 코드셋 발생기는 Xilinx의 FPGA인 Spartan S40BG256에 구현하였으며 최대 동작 속도는 82MHz이고 사용된 CLB는 784개중 462개로 FPGA 전체 용량의 58%를 사용

하였다.

### V. 결론

본 논문에서는 주기가  $(0.5N+1)$ 칩이되는 2진 ZCD PP 코드의 생성법을 제시하고, 2진 ZCD PP를 기반으로 생성된 ZCD 확산코드셋의 형성기법을 소개하였다. 본 논문에서 제시된 확산코드는 넓은 ZCD 특성과 코드수를 가지므로 MAI-cancelled CDMA 시스템 구현에 효과적이며, 주기4로부터 계속 2배의 크기로 확장 가능하기 때문에 하드웨어 구현시 동일 구조의 블럭을 반복 적용하여 코드 주기의 확장이 가능하여 코드발생기의 하드웨어 구현이 간편하다는 이점을 갖는다.

### 참고 문헌

- [1] D.V. Sarwate, "Bounds on Crosscorrelation and Autocorrelation of Sequences," IEEE Trans., IT-25, pp. 720-724, 1979.
- [2] N. Suehiro, "A signal design without co-channel interference for approximately synchronized CDMA systems," IEEE J. Sel. Areas Commun., SAC-12, pp. 837-841, 1994.
- [3] J.S. Cha, S. Kameda, M.Yokoyama, H. Nakase, K. Masu, and K. Tsubouchi, "New binary sequences with zero-correlation duration for approximately synchronized CDMA," Electron. Lett., Vol. 36, no.11, pp. 991-993, 2000.
- [4] P. Fan, N. Suehiro, N. Kuroyanagi, and X.M. Deng, "Class of binary sequences with zero correlation zone," Electron. Lett., Vol. 35, no.10, pp. 777-779, 1999.
- [5] J.S. Cha, S. Kameda, K. Takahashi,

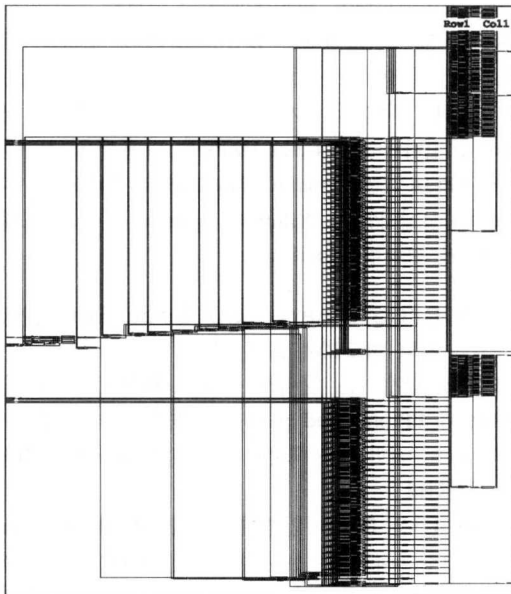


그림 4-4. 합성된 BZCS의 생성부의 schematic diagram

M.Yokoyama, N. Suehiro, K. Masu, and K. Tsubouchi, "Proposal and Implementation of Approximately Synchronized CDMA System Using Novel Biphase Sequences," Proc. ITC-CSCC 99, Niigata, JAPAN, Vol. 1, pp. 56-59, 1999.

[6] M. Saito, T. Yamazato, M. Katayama, and A. Ogawa, "New Quasi-Synchronous sequences for CDMA Slotted ALOHA Systems," IEICE Trans., Vol. E81-A, no.11, pp. 2274-2279, Nov.1998.

[7] B. Guoan, and B. Evans, "Hardware structure for Walsh-Hadamard transforms," Electron. Lett., Vol. 34, no.21, pp.2005-2006,1998.

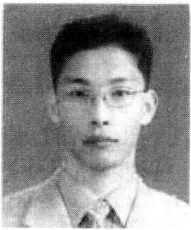
서 종 완(Jong-wan Seo)



1999년 : 성균관대학교  
전기공학과 학사  
2001년 : 성균관대학교 전기전자  
및컴퓨터공학과 석사  
2001년~현재 : 성균관대학교  
전기전자및컴퓨터공학과  
박사과정

<주관심 분야> CDMA 시스템, 지상파DTV, 상위수준 ASIC 설계

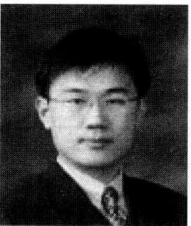
조 성 철(Seong-chul Cho)



2000년 : 전남대학교  
컴퓨터공학과 석사  
2000년~현재 : 한국전자통신  
연구원 근무  
2001년~현재 : 충북대학교  
정보통신공학과 박사과정

<주관심 분야> 이동통신시스템, 채널부호화, 모델

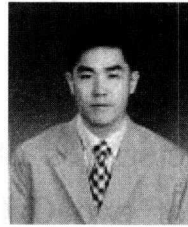
조 주 필(Juphil Cho)



1992 : 전북대학교  
정보통신공학과 학사  
1994 : 전북대학교  
전자공학과 석사  
2001 : 전북대학교  
전자공학과 박사  
2000~현재 : 한국전자통신  
연구원 선임연구원

<주관심 분야> 이동통신, 적응형변복조, MIMO

차 재 상(Jaesang Cha)



1991 : 성균관대학교 전기공학과  
(공학사)  
1991~1993 : 육군 교관 (ROTC)  
1997 : 성균관대학교 전기공학과  
(공학석사)  
1997 : (일본)東北대학교 전기통  
신연구소(연구생)

2000 : (일본)東北대학교 전자공학과(공학박사)

2000~2002 : 한국전자통신연구원 IMT-2000개발본부  
선임연구원

2002~현재 : 서경대학교 정보통신공학과 전임강사

<주관심 분야> 대역확산 및 다중접속기술, 무선변  
복조 및 전송기술, 디지털방송, 4세대 이  
동통신