DBpia

케이블모뎀용 등화기에 적용되는 다양한 LMS알고리즘에 관한 성능평가 및 최적의 등화기 하드웨어구조 제안

정회원 조 연 곤*, 유 형 석*, 김 병 욱*, 조 준 동*, 김 재 우**, 이 재 곤**, 박 현 철***

Proposal Of Optimum Equalizer Hardware Architecture for Cable Modem and Analysis of various LMS Algorithms

Yeon Gon Cho*, Hyeong-seok Yu*, Byung Wook Kim*, Jun Dong Cho*, Jea Woo Kim**, Jae Kon Lee**, Hyun Chul Park*** ***Regular Members***

요 약

본 논문은 MCNS(Multimedia Cable Network System) DOCSIS(Data Over Cable Service Interface Specification) v1.0/v1.1 표준안에 대응하는 케이블모뎀 수신단의 FS-DFE(Fractionally Spaced-Decision Feedback Equalizer)에 적용될 다양한 LMS(Least Mean Square)알고리즘에 관하여 수렴특성, SER(Symbol Error Rate) 및 MSE(Mean Square Error) 성능, 하드웨어 복잡도 그리고 step-size(μ)와의 관계를 SPW™로 모델링하고 그들 개개의 성능을 보였다. 그리고 Verilog-HDL을 이용하여 RTL 구조를 구성하였고, SYNOPSYS™을 통해 삼성 STD90 라이브러리로 합성하였다. 또한 본 논문에서는 최적의 하드웨어 구조를 가지기 위한 time-multiplexed multiplication 과 tap shared architecture구조를 채택하였다. 실험 결과를 통하여 LMS, DS(Data Signed)-LMS, ES(Error Signed)-LMS, SS(Signed Signed)-LMS[1][3]과 같은 다양한 LMS 알고리즘들 중 DS-LMS 알고리즘이 성능과 하드웨어를 고려한 최적의 알고리즘임을 보였고, DS-LMS 알고리즘 및 여러 가지 저면적 점유 기법을 이용하여 최대 58%까지 하드웨어 면적을 줄일 수 있었다.

ABSTRACT

This paper presents the convergence time, SER(Symbol Error Rate), MSE(Mean Square Error), hardware complexity and step-size(μ) about various LMS(Least Mean Square) algorithms in FS-DFE(Fractionally Spaced-Decision Feedback Equalizer) for Cable Modem based on MCNS(Multimedia Cable Network System) DOCSIS(Data Over Cable Service Interface Specification) v1.0/v1.1 standards. We designed and simulated using SPW™ and synthesized using STD90 library through SYNOPSYS™. And also, we adopted the time-multiplexed multiplication and tap shared architecture in order to achieve the low hardware complexity. Simulation results show that DS-LMS algorithms[1][3] is the optimum solution about performace and hardware size. in high order QAM applications. Finally, we achieved area saving about 58% using DS-LMS algorithms compare with conventional equalizer architecture.

* 성균관대학교 전기전자 및 컴퓨터 공학부 ** 삼성전자 SOC기술연구소 *** ICU

논문번호 : 010219-0821, 접수일자 : 2001년 8월 21일

Copyright (C) 2003 NuriMedia Co., Ltd.
www.dbpia.co.kr

Ⅰ. 서 론

인터넷 사용인구의 증대와 사용 영역 확대 그리고 멀티미디어 응용분야의 발전을 통해, 광대역 통신 서비스에 대한 요구가 점차 증대되고 있는 현 시점에서 양방향 멀티미디어 서비스의 실현을 위한 해결책으로 케이블모뎀이 부상하고 있다. 현재 케이블모뎀에서는 변조방식으로써 QAM(Quadrature Amplitude Modulation)을 채택하고 있는데 케이블모뎀과 같이 고차 QAM(64/256QAM)을 이용하는 시스템에서는 다중레벨특성 때문에 ISI(Intersymbol Interference)가 매우 심각한 장애 요소이다. ISI로 인하여 왜곡된 송신신호를 복원하기 위한 기법이 등화이고 이를 위한 필터를 등화기라 한다. 채널의 특성이 고정되어 있지 않은 시변 채널에 의해 왜곡된 신호를 보상하려면, 등화기의 계수가 채널의 특성을 추적할 수 있는 적응 등화기가 사용되어야 한다.

일반적으로 이러한 등화기의 구조는 선형 등화기와 비선형 등화기로 구분할 수 있다. 선형 등화기는 구현이 간단하지만 열악한 채널에서도 잘 동작하기 위해 많은 탭수가 필요하고 수렴속도도 비선형 등화기인 판정궤환등화기(DFE)[4][6][11][12][13]에 비해 느리다는 단점을 가지고 있다. 비선형 등화기인 판정궤환 등화기는 열악한 채널에서도 안정적으로 동작하고, 요구되는 등화기의 탭 수도 많지 않으며, 수렴 속도도 선형 등화기에 비해서 빠르기 때문에 많이 사용된다. 그러나 구현에 있어서 복잡하고 역방향 등화기의 입력이 판정기를 거친 후의 판정 값이기 때문에 한 번 잘못된 판정 값이 입력되면 역방향 등화기의 탭수만큼 잘못된 값이 사용되는 오류전파의 문제가 있다. 그러나 이 문제는 판정궤환 등화기의 장점을 생각해 볼 때 그렇게 심각한 문제는 아니므로, 대부분의 등화기에서 판정궤환 등화 구조를 사용한다. 그리고 심볼동기부(STR : Symbol Timing Recovery)에서 타이밍 지터를 보상하기 위하여 1심볼당 2샘플을 하는 fractionally-spaced 방식[6]을 사용하고 반송파 복구회로(Carrier Recovery)부와 결합된 형태를 가진다.[11][13]

따라서 본 논문에서는 반송파 복구회로와 결합된 FS-DFE를 구현하고 이 시스템에 적합한 최적의 LMS 알고리즘을 유도한다. SPW™를 이용한 시뮬레이션을 통하여 찾은 최적의 LMS 알고리즘을 선택하여 등화기를 구현하였으며 기타 여러 가지 하드웨어 기술 - time multiplexed multiplication, tap shared architecture[4][12][13]을 이용하여 Verilog-HDL로 디자인하였으며 SYNOPSYS™로 삼성 STD90라이브러리를 이용하여 합성하였다. 합성 결과 기존의 LMS알고리즘을 사용하고 time multiplexed multiplication 과 tap share 방식을 사용하지 않은 등화기에 비해 약 58% 면적을 줄일 수 있었고 성능 면에서는 2fs기준으로 하였을 때 64QAM에서는 23.5dB의 SNR(Signal to Noise Ratio)환경에서 약 30,000심볼에서 수렴을 하였으며 256QAM에서는 30dB의 SNR환경에서 약 67,000심볼에서 수렴하였다.

먼저 2장에서는 등화기의 구성 및 요소를 보여주고 3장에서는 채널환경에 대해서 언급한다. 4장에서는 최적의 하드웨어 구조및 동작 타이밍 도에 관하여 언급하고 5장에서 시뮬레이션 결과를 보여주고 6장에서 결론을 맺는다.

Ⅱ. 등화기의 구성 및 요소

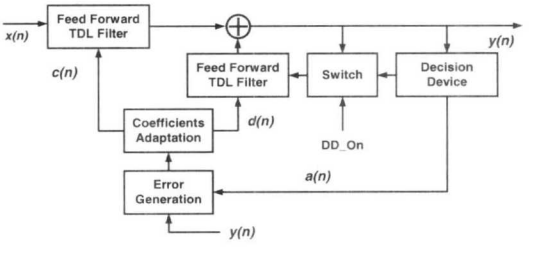


그림 1. 판정궤환 등화기의 구성요소

등화기는 크게 필터부, 오차 생성부, 계수 갱신부로 나눌 수 있다. 먼저 필터부를 살펴보면 구조적으로 전치형과 직접형으로 구분 지을 수 있다. 전치형의 경우 직접형보다 더 짧은 임계경로지연(critical path delay)를 갖지만 보다 많은 레지스터의 양이 필요하게 되고 직접형은 레지스터의 양은 적게 필요하나 보다 긴 임계경로지연를 갖게 된다. 이 사실은 시다중화(time-multiplexed) 구조를 사용할 경우 성능에 있어서 매우 중요한 요소가 될 수 있다. 왜냐하면 입력과 계수의 곱을 위한 등화기의 승산기 및 가산기는 입력 심볼률에 비해서 더 빠르게 동작해야 하기 때문에, 승산기 및 가산기의 누적단의 지연은 더 감소해야 하기 때문이다. 따라서 본 논문에서는 전치형의 필터구조를 채택하였다.

다음으로 오차 생성부는 여러 가지 자력 알고리즘 중에서 수신신호의 위상은 고려하지 않고 크기만을 고려하기 때문에 위상오차를 보상할 수는 없

Copyright (C) 2003 NuriMedia Co., Ltd.
www.dbpia.co.kr

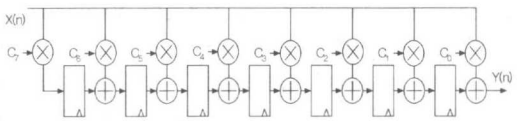


그림 2. 전치형 필터

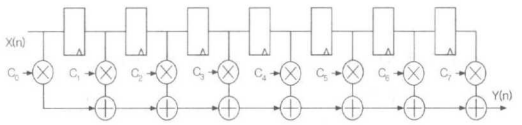


그림 3. 직접형 필터

지만, 대신 위상오차의 영향을 받지 않는 CMA (Constant Modulus Algorithms)[8][9]를 사용한다. 하지만 CMA는 아무리 수렴한다해도 잔류오차가 '0'이 될수 없으므로 안정상태에 접어들면 DDA(Decision Directed Algorithm)[10][14]로 전환해야 할 필요가 있다. 알고리즘의 전환시기는 lock detector에 의해 이루어진다. 이와 같이 CMA와 DDA를 이용하여 오차를 생성하게 된다. 이렇게 생성된 오차 값을 계수 갱신부인 LMS알고리즘에서 이용하게 된다.[12][13]

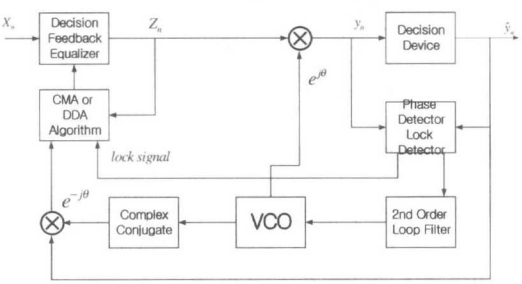


그림 4. CMA to DDA 전환 수신기 구조

표 1. 채널환경

Impairment	64 QAM	256 QAM
Symbol Rate	5.056941 MHz	5.360537 MHz
Roll-off Factor	0.18	0.12
Frequency Offset	±0.07/T	±0.05/T
Input Noise SNR	23.5 dB	30.0 dB
Multipath	-5dB@≤500 nsec -10dB@≤1000 nsec -15dB@≤1500 nsec -25dB@>1500 nsec	-5dB@≤500 nsec -10dB@≤1000 nsec -15dB@≤1500 nsec -25dB@>1500 nsec

Ⅲ. 채널 환경

본 논문에서는 AWGN 채널과 아래와 같은 MCNS 규격에 기반을 둔 멀티패스 채널에서 시뮬레이션을 수행하였다. 채널환경은 통신시스템에서 가장 중요하다고 할 수 있다. 채널환경에 따라 모든 하드웨어가 정해지기 때문이다. 본 논문에서는 아래 표에 채널 특성을 정리하였다. 시뮬레이션을 통하여 최적의 FFE(Feedforward Equalizer), FBE(Feedback Equalizer)의 필터탭 수를 정하였다.

Ⅳ. 효율적인 등화기의 구조

A. FFE 와 FBE의 구조

구현될 등화기의 TDL(Tapped Delay Line)의 크기는 FFE와 FBE가 각각 16탭을 가지며, 본 논문에서 구현한 등화기는 최대 가용 주파수로 100MHz로 가정하였다. 따라서 심볼 rate의 8배이므로, feedback 등화기의 경우 8배의 공유에 의하여 단 2개의 인접 tap들을 공유단위로 묶어 등화기를 구현할 수 있다. 그러나 FFE의 경우 fractionally spaced 형태이므로 TDL의 동작 주파수가 초기에 이미 feedback 등화기의 2배의 주파수로 동작하므로 총 4배의 공유에 의하여 4개의 인접 tap들을 공유 단위로 하여 등화기를 구현하였다.

이 구조의 구현된 등화기에 대하여 각 feedforward 부분과 feedback 부분이 서로 다른 구성을 취하게 된다. 이는 feedforward 부분의 동작 주파수가

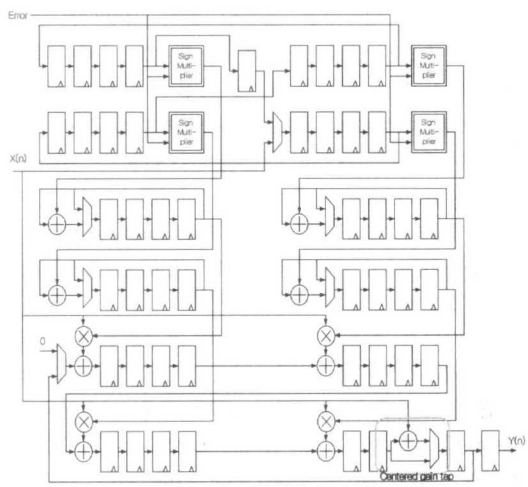


그림 5. 4배 공유된 형태의 feedforward 등화기

Copyright (C) 2003 NuriMedia Co., Ltd.
www.dbpia.co.kr

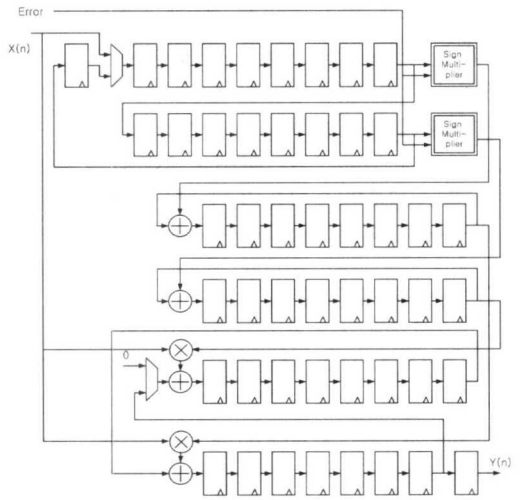


그림 6. 8배 공유된 형태의 feedback 등화기

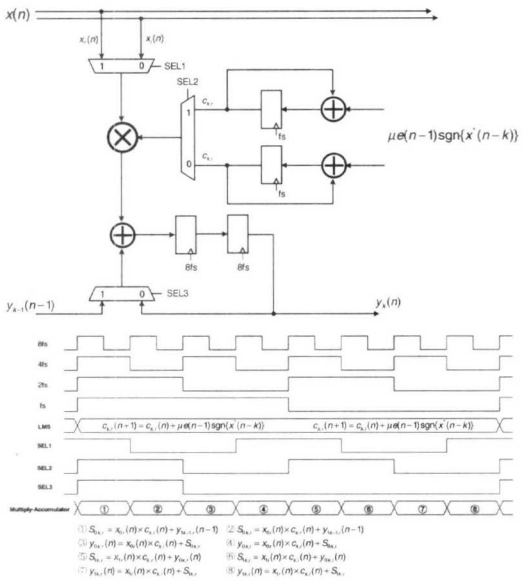


그림 7. shared multiplier/adder 구조와 타이밍도

feedback 부분의 2배의 경우 즉 심벌 rate의 2배에서 동작하므로 최종적인 공유 비율이 feedback 부분에 비하여 1/2이기 때문이다. <그림 7>과 <그림 8>은 각각 feedforward와 feedback 부분에 대하여 등화기 tap 내부의 구조와 동작 timing을 보이고 있다.

B. 다양한 LMS 계수 갱신알고리즘

정상 상태의 신호(stationary signals)로 부터 유추된 통계적인 정보(statistical information)를 이용하여 최적(optimum)시스템의 설계나, 랜덤(random)

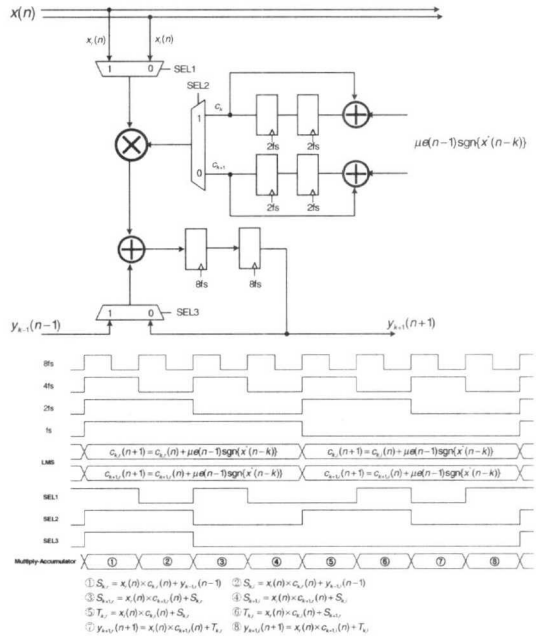


그림 8. Feedback 등화기의 tap구조와 타이밍도

신호의 분석이 가능하다라는 1940년대 Wiener에 의해 소개된 Wiener 필터링[2][3]의 개념은 현재도 널리 이용되고 있다. 그러나 실제적으로 구현할 때는 랜덤 신호의 정확한 통계 정보를 구하는 것은 매우 어려운 일이다. Wiener해는 nonstationary 또는 시변의 조건하에서는 최적 값이 되지 못하고 비효율적이 될 수도 있다. 그래서 이와 관련되어 가장 널리 사용되는 방법으로 SER(SEquential Regression), Recursive LS(Least Square), 그리고 LMS(Least Mean Square)알고리즘 등을 들 수 있다. 본 논문에서는 LMS 알고리즘을 사용하고 하드웨어 설계에 적합한 다양한 LMS 알고리즘들을 다룬다.[3] 먼저 일반적인 LMS 알고리즘을 보면

a. LMS 계수갱신 알고리즘 < 식. 1 >

$$c_k(n+1) = c_k(n) + \mu \cdot e(n) \cdot x^*(n)$$

$$k = 1, \ldots\ldots, 16$$

b. DS-LMS 계수갱신 알고리즘 < 식. 2 >

$$c_k(n+1) = c_k(n) + \mu \cdot e(n) \cdot sgn[x^*(n)]$$

$$k = 1, \ldots\ldots, 16$$

c. ES-LMS 계수갱신 알고리즘 < 식. 3 >

$$c_k(n+1) = c_k(n) + \mu \cdot sgn[e(n)] \cdot x^*(n)$$

$$k = 1, \ldots\ldots, 16$$

d. SS-LMS 계수갱신 알고리즘 < 식. 4 >

Copyright (C) 2003 NuriMedia Co., Ltd.
www.dbpia.co.kr

$$c_k(n+1)=c_k(n)+\mu\cdot sgn[e(n)]\cdot sgn[x^*(n)] \qquad k=1,\ldots,16$$

여기서

$$sgn(x^*)=\begin{pmatrix} 1 & \text{if } x^*>0 \\ -1 & \text{if } x^*<0 \end{pmatrix} \qquad \text{< 식. 5 >}$$

$$sgn(e)=\begin{pmatrix} 1 & \text{if } e>0 \\ 0 & \text{if } e=0 \\ -1 & \text{if } e<0 \end{pmatrix} \qquad \text{< 식. 6 >}$$

이다. μ는 step-size이고 e(n)은 오차, x(n)은 입력 데이터이다. LMS 알고리즘은 현재 갱신 될 계수는 이전 계수에 step-size, 오차 그리고 입력데이타의 복소형태의 곱과의 합으로써 나타낼 수 있다. DS/ES-LMS 알고리즘은 각각 입력 데이타와 오차의 부호비트만 취함으로써 하드웨어를 크게 줄일 수 있다. 그리고 SS-LMS 알고리즘은 데이타와 오차 두가지항 모두에 대하여 부호비트만 취한다. 물론 이 방식은 더욱 하드웨어 구조를 줄 일 수는 있으나 성능열화가 있다. 또 한가지 LMS 알고리즘에서 중요한 요소가 있다면 바로 step-size인데 본 논문에서는 step-size를 2의 멱승 형태로 표현함으로써 하드웨어 구현을 쉽게 하도록 하였다. step-size는 적응필터에서 차지하는 비중이 매우 중요하다. step-size의 크기가 적응필터의 수렴성능을 절대적으로 좌우하기 때문이다. 유념해야 할 점이 있다면 시스템 및 알고리즘의 특성상 step-size의 값이 2^{-n}보다 좁은 범위에 있다면 2의 멱승형태의 표현은 적절치 못할 수도 있다.

C. 오차 생성블럭

a. CMA < 식. 7 >

$$\hat{e}(n)=y(n)[R_2-|y(n)|^2]$$

$$R_2=\frac{E[|a(n)|^4]}{E[|a(n)|^2]}$$

b. DDA < 식. 8 >

$$\hat{e}(n)=Dec[y(n)]-y(n)$$

수신기의 구조는 CMA로 채널에 의한 왜곡을 어느 정도 보상한 후에 반송파 복구 회로를 동작시키므로, 등화기가 반송파 복구 회로앞에 위치한다. CMA는 초기 조건만 만족한다면 반드시 수렴하며, 반송파 복구 회로는 채널에 의한 진폭 왜곡이 보상된 후에 위상오차를 포착할 수 있기 때문이다. 그러나 CMA는 수렴속도가 매우 느리고 잔류 오차가 크므로 적당한 시점에서 알고리즘을 DDA로 전환해야 한다. 알고리즘의 전환을 위해서 lock 검출기가 필요하며, lock 검출기의 알고리즘 전환 시점의 결정이 등화기의 수렴 속도와 안정성을 좌우하는 중요한 요인이 된다. 또한 DDA로 전환된 후에는 반송파 복구 회로의 영향을 받기 때문에 등화기와 반송파 복구회로와의 상호 작용을 잘 고려해야 한다.

D. 반송파 복구 회로

송·수신기에 사용되는 오실레이터의 발진 주파수의 불일치로 인해 발생되는 주파수 옵셋이나 그 밖의 원인으로 인한 위상 오차를 보상하기 위한 회로를 반송파 복구 회로라 한다. 반송파 복구 회로는 주파수 옵셋뿐만 아니라 위상 오차나 위상 잡음에 의한 오차도 추적하여 보상 할 수 있다. 반송파 복구 회로는 주로 2차의 PLL(Phase Locked Loop)로 구성되는 위상 검출기, 루프필터, VCO(Voltage Controlled Oscillator)로 이루어진다. 아래 그림은 반송파 복구 회로의 구조를 나타내었다.

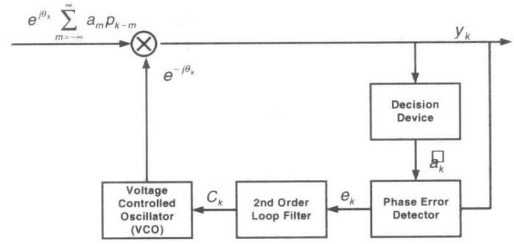


그림 9. 반송파 복구 회로

위상 검출기는 등화기의 출력과 판정기의 출력을 비교하여 위상오차를 계산하다. 판정기의 출력을 이용하기 때문에 심볼간 간섭이 많지 않은 경우에 사용할 수 있다. 따라서 채널의 왜곡이 거의 없고 주파수 옵셋의 제거가 주된 문제인 경우에는 반송파 복구 회로를 등화기 앞에 위치시켜 위상 오차를 제거한 후에 등화를 수행함으로써 등화기의 부담을 줄일 수 있다. 그러나 대부분의 경우 등화를 먼저 수행하여 심볼간 간섭을 어느 정도 제거한 후에 반송파 복구 회로를 동작시키는 것이 좀 더 안정적인 동작을 기대 할 수있다.

E. 반송파 복구회로와 연동된 FS-DFE의 구조

<그림 10 >은 반송파 복구 회로와 연계된 판정궤환 자력 등화기의 구조를 보인다. 아래 그림에서 볼 수 있듯이 등화기가 앞단에 위치하고 반송파 복

Copyright (C) 2003 NuriMedia Co., Ltd.
www.dbpia.co.kr

구 회로는 뒷단에 위치한다. 이는 자력 등화 알고리즘으로 초기에 심볼간 간섭을 제거하고 반송파 복구를 하기 위함이다. 아래 그림에서 판정 궤환 등화기의 역방향 등화기 부분을 살펴보면, 전통적인 판정 궤환 등화기의 역방향 등화기와 다름을 알 수 있다. 역 방향 등화기의 입력을 초기의 자력 등화 알고리즘에서는 판정기의 출력이 아닌 등화기의 출력으로 사용하고, 판정 의존 알고리즘에서는 판정기의 출력을 사용한다. 이렇게 함으로써 초기에 역방향 등화기의 입력으로 잘못된 판정 값이 사용되어 오히려 등화기의 수렴을 방해하는 것을 방지할 수 있다. 그러나 역방향 등화기의 입력으로 판정궤환 등화기의 출력을 사용하면, 등화기가 발산할 우려도 생기기 때문에 역방향 등화기의 입력은 성상도에서 가능한 최대 전력을 넘지 못하도록 제한시킴으로써 판정궤환 등화기가 발산하는 것을 방지한다. 이와 같이 수정한 판정 궤환 등화기는 원래의 판정 궤환 등화기보다 수렴 속도가 향상될 수 있음을 확인하였다.

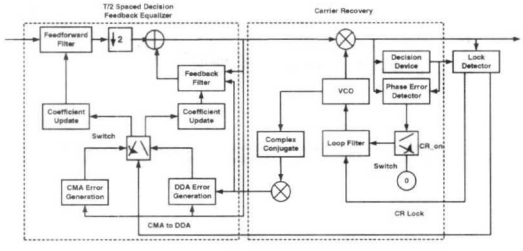


그림 10. 반송파 복구회로와 연동된 판정궤환 등화기

V. Simulation Result

A. 성상도와 수렴속도

* 256QAM : SNR 30dB

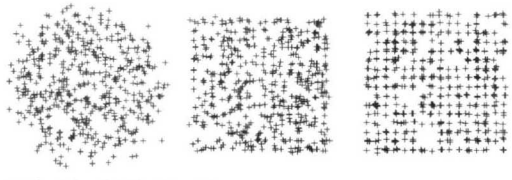


그림 11. LMS Algorithm

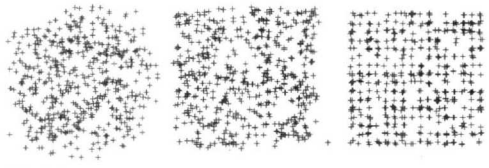


그림 12. DS-LMS Algorithm

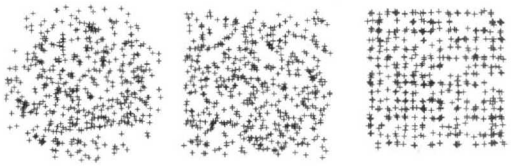


그림 13. ES-LMS Algorithm

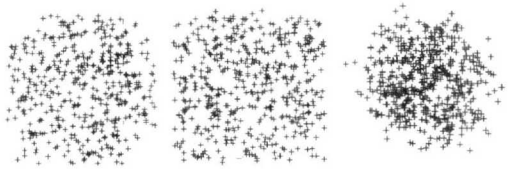


그림 14. SS-LMS Algorithm

<그림11-14>는 256QAM에서 각각의 LMS, DS-LMS, ES-LMS, SS-LMS 알고리즘들에 대한 수렴특성을 나타내기 위해 성상도를 보였다. 각 그림들은 왼쪽부터 처음은 CMA 알고리즘만 동작한 상태를 그리고 가운데는 CMA 알고리즘이 동작한 상태에서 반송파 복구 회로를 같이 동작 시켰을 때 마지막 그림은 CMA를 동작시키는 대신 DDA알고리즘으로 전환하고 반송파복구 회로를 동작시켰을 때의 신호 성상도이다. 64QAM에서는 4가지 알고리즘들이 거의 비슷한 수렴 특성을 가졌으나 256QAM에서는 ES-LMS 알고리즘은 성능이 떨어짐을 알 수가 있고 특히 SS-LMS 알고리즘은 수렴을 하지 않음을 알 수 있다.

위의 그림을 참고 할 때 주의해야 할 점은 각각의 수렴시간은 다르다는 것이다. 아래 표에 수렴시간을 나타내었다. 일반적으로 케이블모뎀용 등화기는 fs를 기준으로 했을 때 약 6만 심볼내에서 수렴하면 되므로 위의 표를 참고했을 때 64QAM 시스템에서는 모든 알고리즘들을 사용할 수 있으나

표 2. 수렴 속도 : 2fs기준, 64QAM - 23.5dB, 256QAM - 30dB

	Impairment	CR_on	DD_on
LMS	64QAM	20,000	25,000
	256QAM	25,000	40,000
DS-LMS	64QAM	25,000	30,000
	256QAM	35,000	65,000
ES-LMS	64QAM	30,000	40,000
	256QAM	45,000	67,000
SS-LMS	64QAM	70,000	105,000
	256QAM	75,000	발 산

Copyright (C) 2003 NuriMedia Co., Ltd.
www.dbpia.co.kr

256QAM에서는 SS-LMS 알고리즘은 사용할 수 없다. 그리고 ES-LMS같은 경우에는 256QAM에서 CMA특성이 상당히 좋지 못하여 CMA 알고리즘과 DDA 알고리즘의 전환시기가 모호하여 lock 검출기에서 CMA와 DDA알고리즘 사이에서 계속 On-Off를 반복할 가능성이 크다. 그러므로 256QAM에서는 LMS와 DS-LMS이 적합하다.

B. SER (Symbol Error Rate)

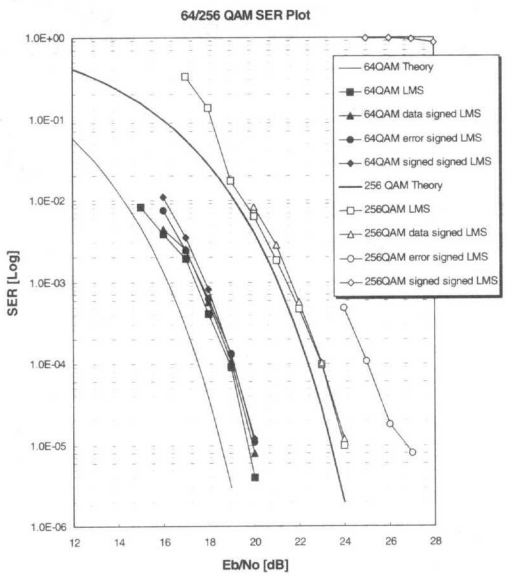


그림 15. SER 그래프

< 그림 15 >은 각각의 LMS 알고리즘들에 대한 64/256QAM에서의 SER을 나타내었다. 위의 성능곡선에서 알수 있듯이 64QAM에서는 거의 모든 알고리즘이 비슷한 성능을 나타내지만 256QAM에서는 ES-LMS 알고리즘은 성능이 상당히 떨어지고 SS-LMS는 수렴을 전혀 하지 못함을 알 수 있다. 가장 안쪽의 실선은 이론치이다.

C. MSE(Mean Square Error) 수렴곡선

<그림 16-17>은 64QAM과 256QAM에서의 각각의 알고리즘들의 평균제곱오차(MSE) 수렴특성을 보여준다. 64QAM에서는 SS-LMS를 제외한 나머지 알고리즘들은 거의 동일한 수렴속도를 가지고 모든 알고리즘들이 거의 비슷한 MSE값을 가짐을 알 수 있다. 그러나 256QAM에서는 LMS와 DS-LMS알고리즘이 수렴속도나 MSE값이 거의 비슷함을 알 수 있고 ES-LMS는 수렴속도는 거의 비슷하지만 MSE

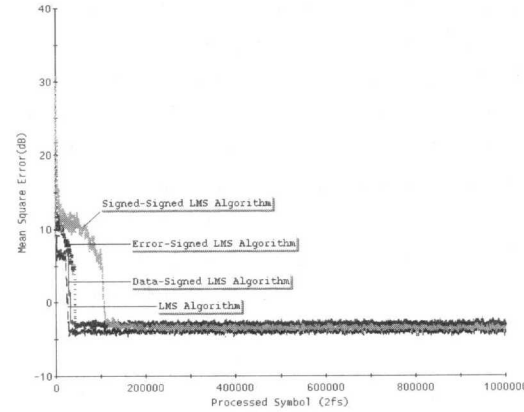


그림 16. MSE 수렴곡선 : 64QAM

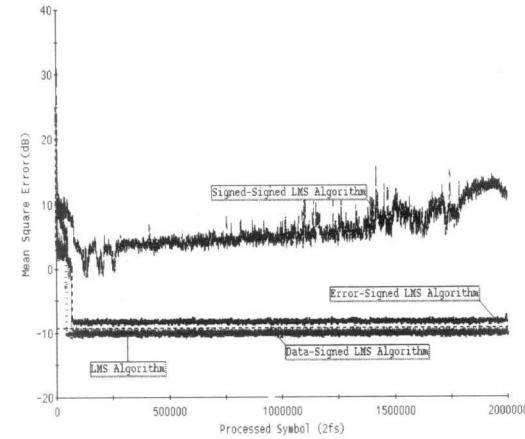


그림 17. MSE 수렴곡선 : 256QAM

특성이 약간 좋지 못함을 볼 수 있다. SS-LMS는 발산하였다. 그리므로 보다 높은 고차 QAM application 일수록 하드웨어와 성능에 대하여 DS-LMS이 상당히 적합함을 알 수 있다.

D. step-size(μ)의 범위

표 3. step-size(μ)의 범위

	Impairment	CMA	DDA
LMS	64QAM	$2^{-25} \sim 2^{-27}$	$2^{-14} \sim 2^{-17}$
	256QAM	$2^{-25} \sim 2^{-28}$	$2^{-16} \sim 2^{-17}$
DS-LMS	64QAM	2^{-23}	2^{-11}
	256QAM	2^{-24}	2^{-12}
ES-LMS	64QAM	2^{-15}	2^{-15}
	256QAM	2^{-16}	2^{-15}
SS-LMS	64QAM	2^{-13}	2^{-15}
	256QAM	2^{-11}	2^{-11}

Copyright (C) 2003 NuriMedia Co., Ltd.
www.dbpia.co.kr

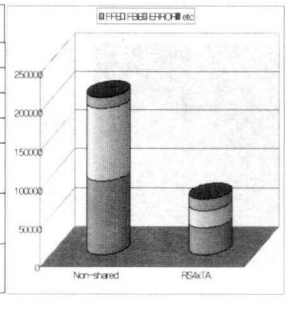
위의 그래프를 통해 알 수 있는 것은 step-size의 범위가 LMS 알고리즘에서 SS-LMS로 갈수록 좁아진다는 것이다. 표에서는 DS-LMS와 ES-LMS알고리즘의 step-size를 하나만 적었지만 근처의 값들도 거의 수렴할 정도의 성능을 나타내었다. 그러나 SS-LMS는 step-size값의 범위가 상당히 좁아서 성능이 매우 불안하게 된다. 이것은 상당히 중요한 사실이다. 이렇게 step-size의 값의 범위가 좁아질수록 2의 멱승 형태로 나타내면 위험 할 수 있다. 왜냐하면 step-size가 바뀔 때 2^{-n}(n=정수)간격으로 바뀌기 때문에 만약 step-size의 값이 2^{-n}보다 작은 범위 내에 있다면 최적의 step-size의 값을 찾을 수 없기 때문이다.

E. 합성결과

1. 합성조건 : Input Driving Strength = 1
2. Output load = 1
3. Area optimization = 0
4. Map_effort : Medium
5. Others : Default

표 4. 합성 결과

	LMS & Non-shared	DS-LMS & shared
FFE	87,881	29,590
	6,779	12,880
FBE	87,550	15,050
	6,779	13,009
ERROR	14,453	14,321
ETC	662	630
TOTAL	204,104	85,480



본 논문에서는 LMS와 DS-LMS알고리즘에 대해서만 합성결과를 보인다. 왜냐하면 ES-LMS알고리즘과 DS-LMS알고리즘은 거의 비슷한 게이트 수를 나타날 것이 예상되고 SS-LMS는 성능상 이 시스템에 적합하지 않으므로 결과를 보이지 않는다. < 표 4 > 에서는 합성결과를 타내었다. tap shared architecture 과 time multiplexed multiplication을 사용하지 않은 LMS알고리즘을 사용한 일반적인 등화기는 204,104 그리고 tap shared architecture 과 time multiplexed multiplication을 사용하고 DS-LMS 알고리즘을 사용한 등화기는 85,480게이트 수를 보였다.

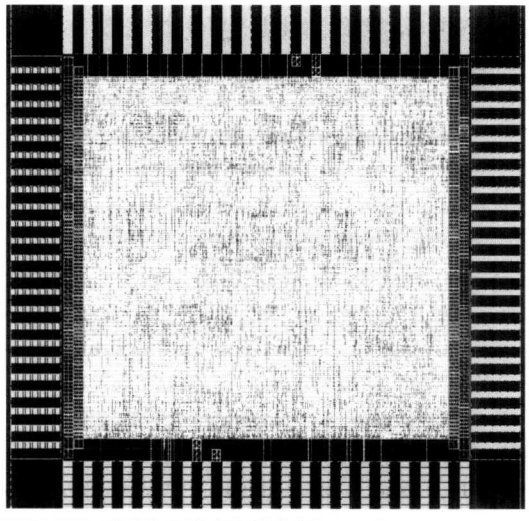


그림 18. 설계된 등화기의 레이아웃 >

Ⅵ. 결 론

본 논문에서는 케이블 모뎀용 등화기에 사용되는 계수갱신 알고리즘인 다양한 LMS 알고리즘들에 대해서 성능평가를 하였다. 실험 결과 입력 데이타의 부호 비트만을 취하여 곱셈기를 줄일 수 있는 DS-LMS 알고리즘이 성능과 하드웨어 구현측면에서 최적의 알고리즘임을 밝혔다. time multiplexed multiplication 과 tap shared architecture 기술을 사용하고 DS-LMS를 사용하여 최적의 등화기를 구현하였다. 그 결과 약 58%의 하드웨어 면적감소를 이룰 수 있었다. 다른 고차 QAM applications에서도 본 연구를 바탕으로 어떠한 LMS 알고리즘이 적합한지 유추해 볼 수 있고 최적의 등화기 설계 구조를 보였다. 본 연구는 한국과학재단(과제번호 2000-2-30300-004-3)의 지원에 의해 이루어졌다. 또한 IDEC (IC Design Education Center) 과 BK21 사업의 일환으로써 이루어졌다.

참 고 문 헌

[1] Mark C. Sullivan, "A Signed Maximum Correlation Multiplier for LMS Filter Adaptation," *IEEE Trans on signal processing.* vol. 41. No. 1. January 1993.

[2] N. Wiener, "Extrapolation, Interpolation and Smothing of Stationary Time Series, with Engineering Applications," New York : Technology Press and Wiley, 1949

Copyright (C) 2003 NuriMedia Co., Ltd.
www.dbpia.co.kr

[3] 윤대희, "적응 디지탈 필터와 그 응용" *대한 전자공학회 논문지* 제 12권 제 5호, 1985

[4] Lionel J. D'Luna, Loke K. Tan, Dean Mueller, Joe L. Laskowski, Kelly Cameron, Jind-Yeh Lee, David Gee, Jason S. Monroe, Honman S. Law, Jason Chang, Myles H. Wakayama, Tom Kwan, Chi-Hung Lin, Aaron Buchwald, Tarek Kaylani, Fang Lu, Tom Spieker, Robert Hawley, Henry Samueli, "A Single-Chip Universal Cable Set-Top Box/Modem Transceiver," *IEEE Journal of Solid-State Circuits,* vol. 34, No, 11, November 1999.

[5] T. J. Endres, B.D.O.Anderson, C. R. Johnson, Jr., and M. Green, "Robustness to Fractionally-Spaced Equalizer Length Using the Constant Modulus Criterion," *IEEE Transactions on signal processing,* vol. 47, No. 2, February 1999

[6] Jie Zhu, Xi-Ren Cao, Ruey-wen Liu, "A Blind Fractionally Sapced Equalizer Using Higher Order Statistics," *IEEE Transactions on circuits and systems-Ⅱ: Analog and Digital Signal Processing,* vol. 46, No. 6, June 1999.

[7] D. N. Godard, "Self-recovering equalization and carrier tracking in two-dimensional data communication systems," *IEEE Trans. Commun.,* vol. COMM-28, pp. 1867-1875, Nov. 1980.

[8] J. R. Treichler and B. G. Agee, "A new approach to multipath correction of constant modulus signals," *IEEE Trans. Acoust., Speech, Signal Processing,* vol. ASSP-31, pp. 459-472, Apr. 1983.

[9] C. R. Johnson, Jr. et al., "Blind equalization using the constant modulus criterion: A review," *Proc. IEEE (Special Issue on Blind System Identification and Estimation),* vol. 86, pp. 1927?1950, Oct. 1998.

[10] Jinbiao Xu, Yumin Wang, "New Decision-Directed Equalization Algorithm for QAM Communication Systems," *IEEE,* 1996

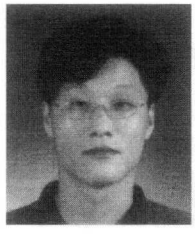
[11] N. K. Jablon, "Joint blind equalization, carrier recovery, and timing recovery for high-order QAM signal constellations," I*EEE Trans. Signal Processing,* vol. SP-40, pp. 1383-1398, June 1992.

[12] Hyeongseok Yu, Byung Wook Kim, Yeon Gon Cho, Jun Dong Cho, Jea Woo Kim, Jae Kon Lee, Hyeon Cheol Park, Ki Won Lee, "Area-Efficient and Reusalble VLSI Architecture of Decision Feedback Equalizer for QAM Modem," *proc, ASP-DAC2001,* pp. 404-407 January, 2001

[13] Yeon Gon Cho, Byung Wook Kim, Hyeong-seok Yu, Jun Dong Cho, Jea Woo Kim, Jae Kon Lee, Hyun Chul Park, Ki Won Lee, " On the various LMS Algorithms for FS-DFE with Low Hardware Complexity suitable for the High Order QAM Application," *proc, SCS2001,* pp. 277-280, July, 2001.

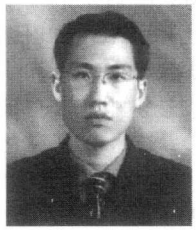
[14] O. Macchi and E.Eweda,"Convergence analysis of Self-Adaptive Equalizer," *IEEE Trans. IT,* vol. IT-30, No.2, March 1984, pp. 161-176

조 연 곤(Yeon Gon Cho)



2000 : 순천대학교 전자공학과 졸업(학사)
2002 : 성균관대학교 석사 (졸업)
<주관심 분야> Wireless 모뎀 설계, SOC설계

유 형 석(Hyeong-seok Yu)

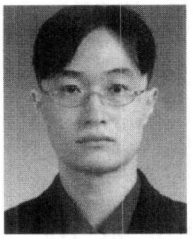


1997 : 성균관대학교 전자공학과 졸업(학사)
1999 : 성균관대학교 전자공학과 졸업(석사)
현재 : 성균관대학교 전기전자 및 컴퓨터공학과(박사)

<주관심 분야> 고성능 디지탈신호처리

Copyright (C) 2003 NuriMedia Co., Ltd.
www.dbpia.co.kr

김 병 욱(Byung Wook Kim)



1999 : 성균관대학교 전자공학과 졸업(학사)
2001 : 성균관대학교 전기전자 및 컴퓨터공학과(석사)
현재 : 삼성전자 정보통신 총괄통신연구소 CORE기술연구그룹
<주관심 분야> Wireless Modem 설계

조 준 동(Jun Dong Cho)

1980 : 성균관대학교 전자공학과 (학사)
1989 : Polytechnic University Brooklyn, NY (석사)
1993 : Northwestern Univ. Evanston, IL (박사)]
현재 : 성균관대학교 조교수
<주관심 분야> Reconfigurable Architectures, Architecture-level/Logic-level Optimizer, Placement /Routing Layout Optimizer

박 현 철(Hyun Chul Park)
한국통신학회논문지, 제25권 2B호 참조
2000년 2월~2002년 1월 : 삼성전자 중앙연구소 수석 연구원
2002년 2월~현재 : ICU 조교수

이 재 곤(Jae Kon Lee)
1991년 : 한양대학교 전자통신공학과 졸업 (학사)
1991년~2000년 : 삼성전자 중앙연구소 책임연구원
현재 : 삼성전자 종합기술원 Network Chip Architecture TL/전문 연구원
<주관심 분야> SOC설계, 디지탈통신 모뎀설계, DAB

김 재 우(Jea Woo Kim)
1996년 : 한양대학교 전자통신공학과 졸업(학사)
1996년 : 삼성전자 SOC 연구소 선임연구원
<주관심 분야> SOC설계, 디지탈통신 모뎀, HomePNA 등

Copyright (C) 2003 NuriMedia Co., Ltd.
www.dbpia.co.kr