

WCDMA 기지국 모뎀의 구현을 위한 상위 레벨 설계 및 통합 성능 평가

정희원^{*}, 도주현^{*}, 이영용^{**}, 정성현^{***}, 최형진^{*}

High Level Design and Performance Evaluation for the Implementation of WCDMA Base Station Modem

Joo-Hyun Do^{*}, Young-Yong Lee^{**}, Sung-Hyun Chung^{***}, Hyung-Jin Choi^{*} *Regular Members*

요 약

본 논문에서는 다년간에 걸쳐 진행되었던 WCDMA(UMTS) 기지국 모뎀 개발을 위한 상위 레벨 설계 및 설계에 적용된 기저대역 동기 알고리즘에 대한 분석과 고정 소수점 설계를 통한 성능 평가 결과를 제시하였다.

설계 대상 시스템이 기지국임을 고려하여 모뎀을 구성하는 각 동기 모듈은 빠른 추적 성능보다 안정적인 성능을 보장할 수 있도록 설계되었으며, 구현을 위한 고정 소수점 설계시 각 모듈의 내부 연산에 대한 최적의 비트 설정을 통하여 복잡도를 최소화하였다.

본 논문에서는 먼저 모뎀 설계를 위하여 개발된 각 기저대역 동기 모듈에 대한 분석을 수행하였으며, 이후 구현을 위하여 고정 소수점 설계된 모뎀과 부호화/다중화를 포함하는 심볼 레벨 프로세싱(Symbol Level Processing, SLP)과의 링크 성능을 제시하였다. 성능 평가는 3GPP TS 25 104(Release 5)에 제시된 12 kbps, 64 kbps, 144 kbps, 384 kbps의 전송 속도에 대하여 참조 무선 채널 환경을 기반으로 수행되었으며, 규격에 제시된 최소 요구 성능과의 비교를 통하여 약 2dB 이상의 성능 여유(margin)를 갖는 매우 안정적인 동작을 보임을 증명하였다.

본 논문에서 제시된 WCDMA 기지국 모뎀은 기지국 모뎀 칩으로 성공적으로 구현되었다.

Key Words WCDMA, Base station Modem, High level design, synchronization, Link performance

ABSTRACT

In this paper, we propose a high level design architecture of WCDMA(UMTS) base station modem and synchronization algorithms applied to the proposed architecture. Also analysis of each synchronization algorithm and performance evaluation of fixed point designed modem are shown. Since the target system is base station modem, each synchronization algorithm is designed for its stable operation. To minimize implementation complexity, optimum fixed point design for best operation of synchronization algorithms is performed.

We performed symbol level link simulation with fixed point designed modem simulator for data rate of 12 kbps, 64 kbps, 144 kbps, and 384 kbps. We compared performance results to the minimum requirements specified in 3GPP TS 25 104(Release 5). Extensive computer simulation shows that the proposed modem architecture has stable operation and outperform the minimum requirement by 2 dB. The proposed modem architecture has been applied in the implementation of WCDMA reverse link receiver modem chip successfully.

* 성균관대학교 정보통신공학부(hychoi@ece.skku.ac.kr), ** 삼성전자 TN총괄 통신연구소(youngyong.lee@samsung.com)

*** (주)에이로직스 정보통신 연구소(shchung@alogics.co.kr)

논문번호 #KICS2004-09-192, 접수일자 2004년 9월 10일

I. 서론

제 3 세대 이동 통신 시스템인 IMT(International Mobile Telecommunication)-2000은 하나의 단말기로 유무선 환경에서 음성, 데이터, 영상 등을 고속으로 주고받을 수 있는 유무선 통합 개념의 글로벌 멀티미디어 이동 통신 서비스로써 동기 방식 cdma2000과 비동기 방식 WCDMA(Wideband Code Division Multiple Access)를 표준으로 하는 복수 표준으로 결정되었다. IS-95가 진화된 cdma 2000의 국내 기반 기술 수준은 국제적으로 상당한 우위에 있는 반면 WCDMA 시스템의 설계 기반 기술 수준은 상대적으로 낮은 상황이므로 WCDMA 시스템 개발을 위한 주요 요소기술 및 동기화 기술에 대한 연구가 요구된다.

본 논문에서는 국내의 WCDMA 기지국 모뎀 개발을 목적으로 상향 링크 수신 모뎀의 고급 상위 레벨 설계를 수행하였다. 개발된 모뎀의 ASIC 구현을 위한 선행 단계로써 고정 소수점 설계를 수행하였으며, 고정 소수점 설계된 전체 변/복조 동기 모듈을 적용한 심볼 레벨 링크 성능 평가를 통하여 설계한 기지국 수신 모뎀이 매우 효율적이고 안정적으로 동작함을 제시하였다.

본 논문은 다음과 같이 구성되어 있다 II 장에서는 WCDMA 역방향 링크 수신기의 구조 및 전체적인 동작을 설명하며, III 장에서는 설계된 모뎀의 각 동기 모듈에 대한 분석을 수행한다. IV장에서는 구현된 시스템의 실제적인 성능 평가를 위하여 적용된 심볼 레벨 프로세싱(Symbol Level Processing)에 대하여 설명하고, V 장에서는 규격에서 제시하고 있는 참조 무선 채널 환경에 대한 분석 및 각 전송 속도에 따른 성능 평가 결과를 제시한다. 마지막으로 VI 장에서는 본 논문에서 제시한 모뎀에 대한 결론 및 실제 구현에서 발생한 문제점과 이에 따른 해결책을 논한다.

II. WCDMA 역방향 링크 수신기의 구조

그림 1에 WCDMA 역방향 링크 수신기 구조를 나타내었다. 단말로부터 수신된 다중 경로 신호는 서로 다른 시간 지연과 시변 위상 및 진폭 특성을 갖는 무선 이동 채널을 통과한 후 결합된 상태로 기지국 안테나에 수신된다. 기지국에 수신된 신호는 RF/IF/

ADC 단에서 기저대역 신호로 하향 변환된다.

목표 진폭으로 수신 신호의 진폭을 조절하는 AGC(Automatic Gain Controller)를 통과한 신호는 A/D 변환된 후, 수신 신호의 ISI(Inter-symbol Interference)를 최소화하기 위해 펄스 성형 필터인 SRRC(Square Root Raised Cosine) 필터를 통과한다. RRC 필터를 통과한 신호는 보간기(Interpolator)를 통해 상향 샘플링된다. 수신 신호에 대하여 충분한 샘플링을 위해 고속의 A/D 변환기를 사용할 경우 전력 효율이 감소하기 때문에 A/D 변환기에서 칩당 2 샘플의 샘플링을 수행한 후 보간기를 통한 상향 샘플링을 수행하였다.

WCDMA 시스템의 기저대역 동기 알고리즘은 크게 탐색기(Searcher)와 핑거(Finger)로 구분할 수 있다. 탐색기는 서로 다른 경로 지연 시간을 갖는 다중 경로 신호를 탐색하여 검출된 신호에 대한 ± 0.5 칩 이내의 스크램블링 코드 위상 정보를 개별적인 핑거에 할당하는 역할을 수행하는 모듈이며, 핑거는 탐색기로부터 할당받은 다중 경로 신호의 지연 시간, 주파수 오차, 시변 위상 및 진폭을 더욱 정밀하게 추적하여 동기 복조를 수행하는 모듈이다. Tracker는 탐색기에서 ± 0.5 칩 이내로 동기화된 시간 오차를 더욱 정밀히 추적하는 타이밍 동기 알고리즘으로 tracker로부터 획득된 타이밍 정보는 Decimator에서 최적의 샘플링 지점을 추출하는데 이용된다. Decimator는 보간기에서 상향 샘플링된 신호를 다시 하향 샘플링하는 모듈로 하나의 칩에 대한 샘플들 중 ON_TIME 신호 성분과 HALF_TIME 신호 성분을 출력한다. ON_TIME 신호 성분은 핑거에서 tracker를 제외한 모든 알고리즘에 이용되는 샘플 신호로 타이밍 오차가 없는 경우 최대 신호 진폭 지점에 해당하며, HALF_TIME 신호 성분은 ON_TIME 신호 성분에 비해 반칩 뒤진(Late) 위상을 갖는 샘플 신호로 tracker에서 사용된다.

AFC(Automatic Frequency Controller)는 송신단과 수신단간의 오실레이터 불일치(Oscillator Mismatch)와 단말의 이동 속도가 고속이며 이동국과 기지국 간에 직경로(Line Of Sight)가 형성된 경우에 발생하는 도플러 천이(Doppler Shift)에 의하여 발생하는 주파수 오차를 추적하는 동기 모듈이다. SNR이 낮은 경우에 발생할 수 있는 주파수 오차 추정 오류를 감소시키기 위하여 각 핑거의 AFC에서 추정된 주파수 오차에 대한 여러 신호를 RAKE 결합함으로써 보다 안정적인 주파수 오차에 대한 추정을 수행한다.

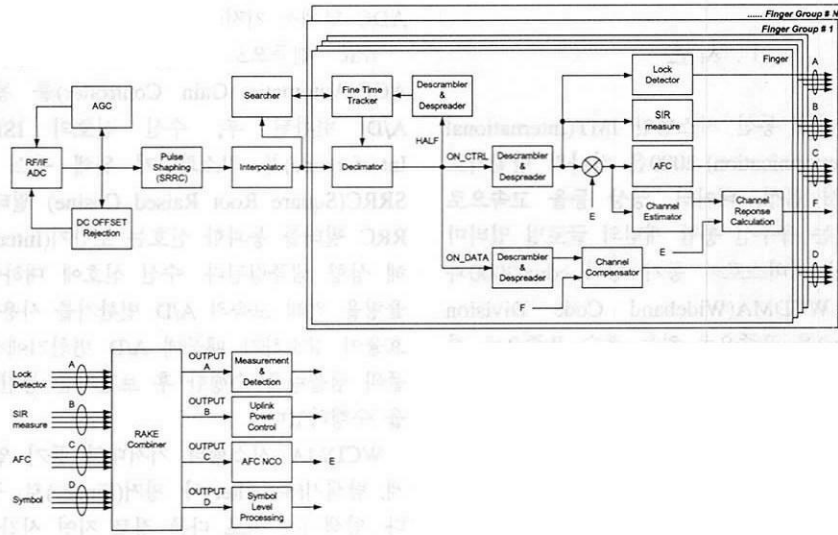


그림 1. WCDMA 역방향 링크 수신기 구조
Fig. 1 Receiver structure for WCDMA reverse link

채널 추정기(Channel Estimator)는 시변하는 채널의 랜덤 진폭과 위상을 추정하는 동기 모듈로 각 다중 경로 무선 이동 채널 환경은 기지국과 단말간의 직경로 존재 유무에 따라 각각 라이시안 페이딩(Rician Fading) 특성과 레일리 페이딩(Rayleigh Fading) 특성을 갖는다. 채널 추정기로부터 얻어진 채널 추정치는 AFC에 의해 추정된 평균 주파수 오차 추정치와 함께 채널 응답 계산부로 입력되어 각 핑거의 채널 응답을 계산하는데 사용된다. 채널 응답 계산부의 출력은 채널 보상부에서 정보 신호의 왜곡된 위상 및 진폭 그리고 주파수 오차를 보상하는데 이용된다. 이후 동기 복조된 각 다중 경로 신호는 RAKE 결합기에서 MRC된 후 채널 비트를 복호화하여 원래의 정보 신호로 복원하는 전반적인 절차인 심볼 레벨 프로세싱부로 입력된다.

간섭에 의해 시스템의 전체적인 채널 용량이 좌우되는 간섭 제한(Interference-limited) 시스템인 CDMA 시스템에서 간섭을 일으키는 요인은 다중 사용자 간섭(MAI, Multiple Access Interference)과 AWGN(Additive White Gaussian Noise)이며, 사용자가 많을 경우 MAI의 영향은 주요한 간섭의 요인이 된다. 상향링크의 MAI를 최소화하여 시스템의 용량을 최대화하기 위해서는 전송 전력 제어(Transmit Power Control)가 요구되며, 이상적인 경우에 기지국으로 수신되는 각 사용자의 신호는 동일한 SIR(Signal to Interference power Ratio)을 갖도록 제어된다. 이러한 SIR 기반의 전력 제어를 수

행하기 위해서는 기지국 수신단에서 각 다중 경로 신호의 신호 전력과 간섭 전력이 측정되어야 한다. 각 경로별로 측정된 신호 전력과 간섭 전력은 RAKE 결합기에서 결합된 후 SIR 측정에 이용된다. 측정된 SIR은 Target SIR 값과 비교되며, 비교 결과는 하향 링크를 통해 전송할 전력 제어 비트를 생성하는데 이용된다.

RAKE 결합기는 각각의 핑거에서 출력되는 동기 복조된 심볼, 주파수 오차에 대한 신호 및 신호 전력과 간섭 전력을 시간적으로 정렬하여 결합하며, 이때 각 핑거의 lock detector에서 출력되는 수신 전력 정보를 기반으로 유효하다고 판단되는 핑거의 출력들만을 결합한다.

III. 모뎀 설계에 적용된 동기 모듈

본 장에서는 WCDMA 상향 링크 수신 모듈의 효율적인 구현을 위해 모뎀 설계시 적용된 동기 알고리즘을 제시한다.

WCDMA 상향 링크로 수신되는 다중 사용자 신호 및 각 사용자의 다중 경로 신호를 낮은 오버 확률(False alarm Probability)하에서 높은 검출 확률(Detection Probability)로 포착하기 위한 탐색기 알고리즘으로는 정합 필터(Matched filter) 기반의 고속 프리앰블 탐색기 및 트래픽 탐색기를 적용하였다^[1]. 프리앰블 탐색기(Preamble Searcher)는 다중 사용자의 RACH(Random Access Channel)과 CPCH

(Common Packet Channel)의 프리앰블을 초기에 탐색하기 위한 모듈이며, 트래픽 탐색기(Traffic Searcher)는 상향링크 DPCH(Dedicated Physical Channel)를 탐색하기 위한 모듈이다.

핑거 내부 동기 모듈인 Tracker, AFC, 채널 추정기 설계에 적용된 알고리즘은 다음과 같다. 탐색기에 의해 포착된 신호의 타이밍 오차를 더욱 정교하게 추적하기 위한 Tracker 알고리즘으로는 비동기 방식의 2차 DLL을 적용하였으며^[2], AFC 알고리즘으로는 다중 경로에 의한 주파수 선택성 페이딩 및 도플러에 의한 시간 선택성 페이딩으로 인한 입력 신호의 진폭 변화에 매우 민감한 출력 특성을 가지는 CP(Cross Product) 방식을 보완한 Normalized CP 방식을 적용하였으며, 또한 주파수 오차의 크기에 따라 능동적인 보상이 가능하도록 초기 모드, 포착 모드, 추적 모드를 가지는 다단 추적 모드를 추가적으로 적용하였다^[3]. WCDMA에서는 DPCCH 채널에 삽입된 Dedicated 파일럿 심볼을 채널 추정에 이용한다. NTT DoCoMo에서 WCDMA 역방향 링크를 위해 WMSA(Weight Multi Slot Averaging) 채널 추정 필터를 제안하였으나 긴 채널 추정 지연으로 인한 메모리 효율 저하와 전력 제어 지연을 야기하는 단점을 가진다^{[4][5]}. 따라서 본 설계에 적용된 채널 추정기는 이러한 문제를 극복하기 위해 FIR 필터와 IIR 필터가 결합된 구조인 비대칭 직접 판별(Asymmetric Decision Directed) 채널 추정기를 적용하였다^[6]. 안정된 SIR 기반 전력 제어의 수행을 위해서는 정확한 SIR 측정 기술이 무엇보다도 중요하다. 따라서 설계된 모델의 SIR 측정 알고리즘으로 비사용 OVVSF(Orthogonal Variable Spreading Factor) 부호를 이용한 SIR 측정 방식을 사용하였다^[7].

본 장에서는 설계에 적용된 여러 모듈 중에서 TS 25.104에서 제시한 성능 검증을 위하여 탐색기와 SIR 측정 방식을 제외한 동기 모듈에 대한 구조를 분석한다.

1. Tracker

본 모델 설계에 사용된 Tracker는 Early/Late Gate 방식의 타이밍 에러 검출기를 적용한 2차 비동기 DLL이며, 그 구조는 그림 2에 나타내었다. 전체 루프는 타이밍 에러 검출기(TED, Timing Error Detector), 루프 필터(Loop Filter), 양자화기 그리고 NCO(Numerically Controlled Oscillator)로 구성되어 있으며, 동작은 다음과 같다.

펄스 정형 필터(Square Root Raised Cosine Filter)를 통과한 수신 신호는 interpolator를 거쳐 8 오버샘플링 신호가 되며, 8:1 Decimator에서 Early 시점의 신호와 Late 시점의 신호를 추출하여 TED로 입력된다. Early 신호 $r_{k-1/2}$ 는 샘플된 수신 신호를 한 칩만큼 지연시켜 얻어지며 Late 신호 $r_{k+1/2}$ 는 지연 없이 그대로 사용된다. Early/Late 시점의 신호를 나타내면 식 (1)과 같다.

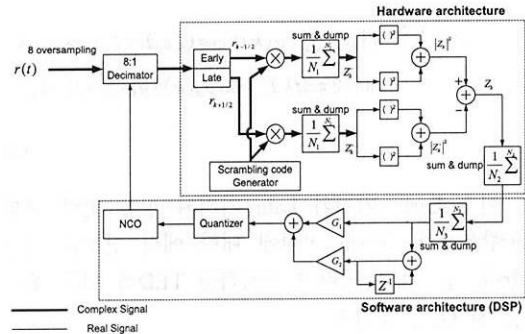


그림 2. 2차 비동기 DLL 구조
Fig. 2. Structure of 2nd order noncoherent DLL

$$r_{k\pm 1/2} \triangleq r[(k + \tau \pm 1/2)T_c]$$

$$= \sum_{i=-\infty}^{\infty} \left[\alpha(k) \frac{\sqrt{E_c}}{2} (d_{|i|_N}^d C_{|i|_N}^d + j d_{|i|_{2M}}^0 C_{|i|_{2M}}^0) \cdot (S_{|i|_M}^d + j S_{|i|_M}^0) \exp(2\pi \Delta f k T_c + \theta_d(k)) \right] \cdot g[(k + \tau \pm 1/2 - i)T_c]$$

$$g(t) = g_T(t) \otimes g_R(t)$$

$$g(\tau T_c) = \frac{\sin(\pi \tau)}{\pi \tau} \cdot \frac{\cos(\pi \alpha \tau)}{1 - (2\alpha \tau)^2}$$

여기서, $\alpha(k)$ 와 $\theta_d(t)$ 는 각각 레일리 페이딩의 진폭과 위상을 의미하며, E_c 는 평균 칩 에너지, $C_{|i|_N}^d$ 와 $C_{|i|_{2M}}^0$ 는 각각 DPDCH와 DPCCH의 채널화 코드, $S_{|i|_M}^d$ 와 $S_{|i|_M}^0$ 는 복소 스크램블링 코드, M 은 스크램블링 코드 길이(=38400), Δf 는 주파수 오차, $\{i\}_N$ 은 integer quotient, $|i|_M$ 는 i modulus M 을 의미한다. 또한, $g_T(t)$ 와 $g_R(t)$ 는 각각 송신단과 수신단의 SRRC Filter의 임펄스 응답이며, α 는 SRRC 필터의 roll-off factor이다.

각 Early/Late 가지로 입력된 신호는 디스크램블링 과정을 거친 후 DPCCH의 확산계수에 해당하는

동기 누적 횟수 ($N_1 = 256$)만큼 누적되어 심볼 신호로 변환된다. 이 과정에서 누적을 통한 SNR 개선 및 확산 코드의 성질에 의한 간섭 영향을 확산이득만큼 감소시킬 수 있다. 동기 누적 후의 신호는 다음과 같다.

$$Z_k^- = -\frac{\sqrt{E_c}}{N_1} d_{(k)}^* \sum_{k=1}^{N_1} \{ \alpha(k) [\sin(2\pi\Delta f k T_c) \cos\theta_d(k) + \cos(2\pi\Delta f k T_c) \sin\theta_d(k)] g[(\tau \pm 1/2)T_c] \} + j \left\{ \frac{\sqrt{E_c}}{N_1} d_{(k)}^* \sum_{k=1}^{N_1} \{ \alpha(k) [\cos(2\pi\Delta f k T_c) \cos\theta_d(k) - \sin(2\pi\Delta f k T_c) \sin\theta_d(k)] g[(\tau \pm 1/2)T_c] \} \right\} \quad (2)$$

이후 Early 가지와 Late 가지의 심볼 전력 차를 구함으로써 타이밍 오차에 대한 에러 신호를 생성한다. E_c 가 1이라고 가정하면 TED의 평균 출력은 식 (3)과 같다⁸⁾.

$$Z_k = |Z_k^-|^2 - |Z_k^+|^2 = D(\Delta f) \{ g^2[(\tau - 1/2)T_c] - g^2[(\tau + 1/2)T_c] \} = \left[\frac{\sin(\pi N_1 \Delta f T_c)}{\pi N_1 \Delta f T_c} \right]^2 \{ g^2[(\tau - 1/2)T_c] - g^2[(\tau + 1/2)T_c] \} \quad (3)$$

여기서, $D(\Delta f)$ 는 반송파 주파수 오차에 의한 타이밍 에러 검출기의 감쇄를 나타낸다.

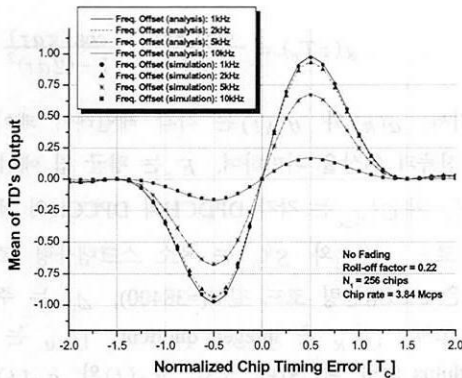


그림 3. 주파수 오차에 따른 TED의 평균 출력
Fig. 3. Mean of TED's output versus offset frequency

그림 3에 주파수 오차에 따른 타이밍 에러 검출

기의 평균 출력 특성을 나타내었다. 결과적으로 반송파 주파수 오차가 커짐에 따라 타이밍 에러 검출기의 출력이 감소함을 알 수 있다. 그러나, 본 모델 설계에서 고려하는 주파수 오차 범위인 2kHz(반송파 주파수 2GHz 기준의 1ppm) 이하인 경우에 대해서는 출력에 대한 감쇄가 극미하다.

타이밍 오차에 대한 TED 출력은 4 프레임 구간 ($N_2 \times N_3 = 10 \times 60$)동안의 평균을 통하여 더욱 안정화된 상태로 루프필터에 전달된다. 따라서 4 프레임마다 Decimator에서 선택되는 샘플위치는 갱신된다.

루프 필터는 높은 주파수 오차 및 단말의 이동성으로 인해 발생하는 페이딩에 대한 추적 성능의 열화를 방지하기 위하여 사용된다. 따라서 2차 DLL의 루프 대역폭 B_L 과 루프 이득 K_1 , K_2 그리고 루프 필터 이득 G_1 , G_2 의 관계식은 다음과 같다⁹⁾.

$$2B_L T = \left[\frac{2}{4/(r+1) - K_1} \right] - 1 \quad (4)$$

$$G_1 = \frac{K_1}{K_D K_V}, \quad G_2 = \frac{K_2}{K_D K_V} \quad (5)$$

$$T = \frac{38400 \text{ chip}}{3.84 \text{ Mcps}} \times N_s$$

$$r = 1 + K_1 / K_2$$

$$K_1 = 1 - \exp[-2\zeta\omega_n T]$$

$$K_2 = 2(1 - a) - K_1$$

$$\omega_n = \frac{2B_L T}{\zeta + 1/4\zeta}$$

$$a = \exp[-\zeta\omega_n T] \cos(\omega_n T \sqrt{1 - \zeta^2}) \quad \zeta < 1$$

여기서, K_D 는 타이밍 에러 검출기의 고유 이득, K_V 는 NCO의 이득, ω_n 은 2차 루프 전달함수의 고유 주파수, ζ 는 Damping Factor를 나타낸다. 일반적으로 ζ 값으로는 0.707이 많이 사용된다. 루프 필터의 출력은 양자화기에 의해 NCO의 동작 범위로 식 (6)과 같이 매핑되며, 이때 적용된 양자화기의 임계값은 식 (7)과 같다.

$$Q[e_k] = \begin{cases} 1, & e_k \geq \theta \\ 0, & -\theta \leq e_k \leq \theta \\ -1, & e_k \leq -\theta \end{cases} \quad (6)$$

$$\theta = TD\left(\frac{1}{16} T_c\right) \times K_D \quad (7)$$

$$= 0.0625 \times K_D$$

NCO는 Decimator의 샘플 위치를 조절하는 역할을 하며 NCO 이득을 K_V 라고 나타내었다. NCO의 입력 주파수를 f_{NCO_in} , NCO의 클럭 주파수(발전 주파수)를 f_{NCO_out} 이라고 하면 발전 주기 N 은 식 (8)과 같이 나타낸다.

$$f_{NCO_in} = \frac{1}{loop\ time} = \frac{100}{N_s} \quad [Hz]$$

$$f_{NCO_out} = \frac{8}{T_c} = 8 \times R_c \quad [Hz] \quad (8)$$

$$N = \frac{f_{NCO_out}}{f_{NCO_in}} = 8 \times 38400 \times N_s$$

여기서, N_s 는 Decimator 갱신 주기이며 R_c 는 칩 전송률을 의미한다. 따라서, NCO의 이득 K_V 는 식 (9)와 같다.

$$K_V = \frac{2\pi}{N} = \frac{2\pi}{307200} \times N_s \quad [rad] \quad (9)$$

DLL의 전체 루프는 NCO의 제어 값에 의해 최적 샘플 지점을 향해 수렴하게 된다. 최적 샘플 지점(ON-TIME)인 kT_c 에서 샘플 된 신호는 동기 복조(Coherent Demodulation)를 위해 사용되고 영점 교차가 발생하는 지점(HALF-TIME)인 $(k+1/2)T_c$ 에서 샘플된 신호는 코드 추적을 위해 타이밍 에러 검출기로 입력된다.

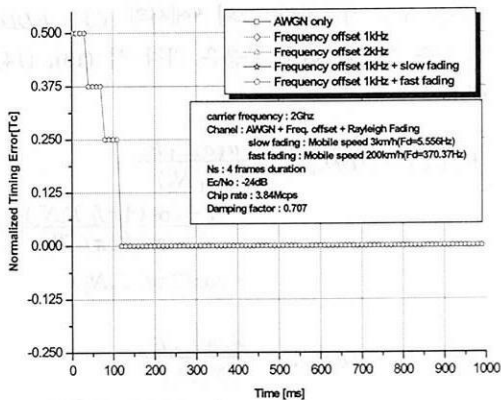


그림 4. 2차 비동기 DLL의 추적 성능
Fig. 4 Tracking performance of the 2nd order noncoherent DLL

그림 4에 DPCH의 최하 성능 보장 지점인 E_c/N_o 가 $-24dB$ 인 환경에서 초기 타이밍 에러가 반 칩인 경우 반송파 주파수 오차와 페이딩에 대한 2차 비동기 DLL의 추적 성능을 나타내었다. 위 성능은 고정 소수점 설계를 통하여 얻은 것이며, 안정적인 성능을 위하여 Decimator 갱신 주기를 충분히 길게 설정하였기 때문에 주파수 오차와 페이딩에 대한 추적 성능 차이가 발생하지 않음을 확인할 수 있다.

2. Automatic Frequency Controller

WCDMA 기지국 모델 설계에 적용된 AFC 루프에는 입력 신호 진폭 변화에 민감한 출력 특성을 가지는 CP-FDD(Frequency Difference Detector)의 단점을 보완하기 위하여 CP-FDD 출력을 수신 신호 진폭으로 정규화하는 정규화 블록을 도입한 Normalized CP-FDD를 적용하였다³⁾. Normalized CP-FDD는 입력 신호 진폭 변화에 민감한 CP-FDD의 단점을 보완할 뿐만 아니라 CP-FDD 출력의 선형화 영역을 증가시키며, 낮은 SNR 환경에서 보다 안정적인 출력 특성을 가진다. 또한, CP-FDD의 성능을 보다 안정화하기 위해 FDD 입력 단에 이동 평균 필터를 적용하였다. WCDMA는 파일럿 신호를 채널 형태가 아닌 DPCCCH에 시간적으로 다중화된 심볼 형태로 전송하기 때문에 한 슬롯 당 발생하는 교차 상관의 수가 제한적일 수밖에 없다. 따라서, FDD 입력 단에 이동 평균 필터를 적용하여 한 슬롯 당 발생하는 교차 상관의 수를 증가시켜 FDD 출력에 대한 관찰 시간을 줄임으로써 주파수 오차 추적 시간이 단축되는 효과를 얻을 수 있으며, FDD에 입력되는 잡음의 영향을 감소시켜 더욱 안정적인 주파수 오차 검출기 출력을 얻을 수 있다.

공동 반송파 주파수를 이용하는 역방향 링크 수신기에서 사용자들마다 측정되는 주파수 오차를 하향 변환시 시시각각 반영한다는 것은 타당하지 않으므로 사용자별로 추정된 주파수 오차를 이용하여 각 사용자가 할당된 평계에서 개별적으로 보상하는 short 루프 방식의 AFC를 설계하였다¹⁰⁾¹¹⁾. 또한, 주파수 오차에 크기에 따른 능동적인 보상을 위하여 다단계 주파수 추적 모드를 적용함으로써 주파수 추적 성능을 향상시켰으며, 주파수 사상기와 ROM 테이블을 사용한 주소 도약 방식의 NCO를 사용하여 주파수 오차를 보상하였다.

그림 5에 모델 설계에 적용된 AFC의 전체 구조를 나타내었다. 하향 변환된 신호는 AGC에 의해

평균 목표 진폭으로의 진폭 제어 및 수신 포락선의 동작 범위 억압이 이루어진 후 역확산된다. 역확산된 DPDCH/DPCCH 중에서 DPCCH의 파일럿 심볼만을 입력으로 받아 누적기에서 DPCCH의 확산인자에 해당하는 256칩을 누적하여 심볼로 변환한다. 변환된 파일럿 심볼이 이동 평균 필터를 통과하여 FDD 입력이 되며 CP-FDD는 수신 신호의 주파수 오차에 해당하는 신호를 발생시키고, MRC (Maximal Ratio Combining) 블록을 통하여 다른 핑거(finger)의 신호와 결합된다. 이후 결합된 신호는 누적기를 통하여 더욱 잡음 영향을 감소시킨 형태로 정규화 블록으로 전해진다. 루프 필터에서는 정규화된 FDD 출력에 모드 변환 블록으로부터 할당받은 이득을 부가하여 무한 누적을 수행하게 되며 루프 필터의 출력을 받은 주파수 사상은 심볼 주기마다 루프 필터의 출력과 ROM 테이블의 도약 주소를 사상시켜 출력함으로써 주파수 오차를 보상한다.

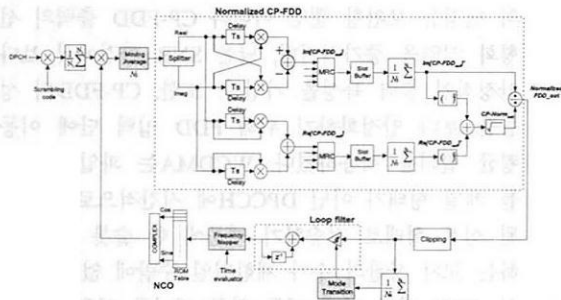


그림 5. 정규화 CP-AFC의 구조
Fig. 5. Structure of normalized CP-AFC

입력 신호는 수신 신호 중에서 DPCCH의 파일럿 심볼만을 입력으로 받아 DPCCH의 확산인자 만큼 누적하여 심볼로 변환된 신호이다. k 번째 파일럿 심볼은 식 (10)과 같이 나타낼 수 있다.

$$S(k) = \frac{1}{N_1} \sum_{m=kN_1}^{(k+1)N_1-1} \alpha_m \sqrt{E_c} \exp(j2\pi f_0 T_s m) \quad (10)$$

여기에서 N_1 은 1 심볼 당 칩 수이며, f_0 는 주파수 오차, T_s 는 샘플링 주기, E_c 는 칩 에너지, α_m 은 칩의 랜덤한 진폭을 나타낸다.

WCDMA 시스템의 칩 속도(chip rate : 3.84 Mcps)는 대부분의 페이딩 변화에 비하여 시간적으로 매우 높기 때문에 α_m 은 한 심볼 구간 내에서 거의 동일한 값을 가진다고 단순화 할 수 있다. 결

과적으로 k 번째 심볼의 랜덤한 진폭을 α_k 로 나타내면, k 번째 파일럿 심볼을 식 (11)와 같이 나타낼 수 있다.

이동 평균 필터의 사용은 CP-FDD 입력신호의 누적 구간을 N_2 심볼 구간으로 증가시켜 CP-FDD 입력 신호에 대한 잡음의 영향을 감소시키며, 또한 CP-FDD 출력 수를 증가시킴으로써 정규화 전의 누적 수를 증가시킨다. 식 (11)의 단순화에서 언급한 바와 같이 이동 평균 필터를 통과한 신호의 랜덤한 진폭도 α_k 로 단순화 할 수 있으며, 이동 평균 필터를 통과한 k 번째 신호를 식 (12)와 같이 나타낼 수 있다.

$$S(k) = \frac{\alpha_k \sqrt{E_c}}{N_1} \sum_{m=kN_1}^{(k+1)N_1-1} \exp(j2\pi f_0 T_s m) \quad (11)$$

$$M(k) = S(k-1) + S(k)$$

$$= \frac{\alpha_k \sqrt{E_c}}{N_1 N_2} \sum_{m=(k-1)N_1}^{(k+1)N_1-1} \exp(j2\pi f_0 T_s m) \quad (12)$$

여기서 N_2 는 이동 평균 필터의 누적 구간으로 DPCCH의 다양한 슬롯 포맷을 고려하여 2 심볼 구간으로 설정하였다.

기존의 CP-FDD 알고리즘은 이동 평균 필터를 통과한 현재 입력 신호 $M(k)$ 와 이전 입력 신호의 공액 복소수 $M^*(k-1)$ 의 곱의 허수 부분만을 사용하였으나 본 논문에서 제안한 정규화 CP-FDD는 $M(k)$ 와 $M^*(k-1)$ 의 곱의 실수 부분과 허수 부분을 모두 사용한다. 그림 5에서의 $CP-FDD_{out}$ 의 실수 부분과 허수 부분은 각각 식 (13), (14)와 같다.

$$\text{Re}[CP-FDD_{out}] = \frac{\alpha_k \alpha_{k-1} E_c}{(N_1 N_2)^2} \cdot \frac{1 - \cos(4\pi f_0 T_s N_1)}{1 - \cos(2\pi f_0 T_s)} \cdot \cos(2\pi f_0 T_s N_1) \quad (13)$$

$$\text{Im}[CP-FDD_{out}] = \frac{\alpha_k \alpha_{k-1} E_c}{(N_1 N_2)^2} \cdot \frac{1 - \cos(4\pi f_0 T_s N_1)}{1 - \cos(2\pi f_0 T_s)} \cdot \sin(2\pi f_0 T_s N_1) \quad (14)$$

기존의 CP-FDD 방식(식 (14))의 입력 신호 진폭 변화에 따른 출력특성을 그림 6에 나타내었다. 기지

국 모델 수신기 앞단에 AGC 블록이 있으나 잡음까지 포함한 신호의 진폭을 일정하게 조절하므로 입력 신호의 진폭 또한 변화하게 되고, 따라서 기존의 CP-FDD의 출력 값은 채널 환경에 따라 바뀌게 되므로 주파수 오차 추정에 대한 명확한 기준을 얻을 수 없게 된다. 따라서 이러한 단점을 보완하기 위하여 정규화 블록을 도입하였으며, 정규화 블록의 사용으로 인해 입력신호 진폭 변화에 무관한 CP-FDD의 출력 특성을 얻을 수 있으므로 정확한 주파수 오차에 대한 추정이 가능하게 된다.

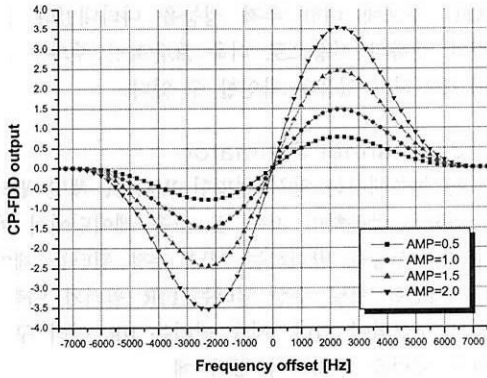


그림 6. 입력 신호 진폭 변화에 따른 CP-FDD 출력 특성
Fig. 6. Output characteristic of CP-FDD's output by variable input signal amplitude

정규화 알고리즘을 적용하기 위하여 요구되는 CP-FDD 출력 진폭은 $CP-FDD_{out}$ 의 실수 부분과 허수부분을 사용하여 구할 수 있으며 식 (15)에 나타내었다.

$$\begin{aligned}
 CP - Norm_{out} &= \sqrt{Re[CP-FDD_{out}]^2 + Im[CP-FDD_{out}]^2} \\
 &= \frac{a_k a_{k-1} E_c}{(N_1 N_2)^2} \cdot \frac{1 - \cos(4\pi f_0 T_s N_1)}{1 - \cos(2\pi f_0 T_s)}
 \end{aligned} \tag{15}$$

식 (15)의 첫 번째 부분은 입력 신호의 진폭이며 두 번째 부분은 CP-FDD 출력의 감쇄 인자이다. 이러한 감쇄 인자는 CP-FDD 출력의 개루프 특성인 S-curve의 선형화 구간을 감소시킨다. 식 (16)에 정규화된 CP-FDD 출력을 나타내었다. 식 (16)으로부터 CP-FDD 출력의 랜덤한 신호 진폭과 감쇄 인자를 제거할 수 있음을 알 수 있다.

$$\begin{aligned}
 CP - FDD_{norm} &= \frac{Im[CP-FDD_{out}]}{\sqrt{Re[CP-FDD_{out}]^2 + Im[CP-FDD_{out}]^2}} \\
 &= \sin(2\pi f_0 T_s N_1)
 \end{aligned} \tag{16}$$

그림 7은 정규화된 CP-FDD 출력의 개루프 특성을 나타낸다. 감쇄 인자를 제거함으로써 이동 평균 필터만을 사용한 일반적인 CP-FDD 출력보다 정규화 CP-FDD의 출력이 더 넓은 선형화 구간을 갖는 것을 확인할 수 있다.

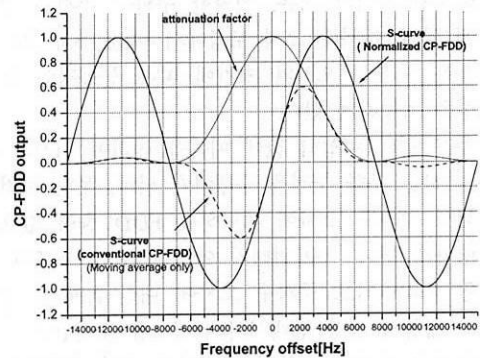


그림 7. Normalized CP-FDD의 개루프 특성(S-curve)
Fig. 7. Open loop characteristics of normalized CP-FDD

모드 변환 블록(Mode transition block)에서 지원하는 다단 추적 모드는 초기 모드(Initial mode), 포착 모드(Acquisition mode), 추적 모드(Tracking mode)의 3단계로 구성되어 있으며, 각 모드는 임계치를 기준으로 동작한다. 이러한 다단 추적 모드의 사용은 정규화 CP-FDD의 출력이 입력 신호 진폭에 무관하게 주파수 오차에 대해 일정한 값을 가지기 때문에 가능한 것이다.

다단 추적 모드에서의 모드 변환은 normalized CP-FDD 출력을 일정구간 누적하여 평균한 값과 임계치의 비교로 결정되며, 루프 필터의 이득을 조절함으로써 이루어진다. 본 설계에서는 주파수 오차 100 Hz에 해당하는 Normalized CP-FDD 출력을 모드 변환의 기준으로 설정하였으며, 6 프레임의 구간동안 누적한 FDD 출력을 임계치와 비교하여 연속적으로 3회 동일한 상태에 있을 경우 모드 전환을 수행하도록 설정함으로써 모드 변환의 안정도를 향상시켰다.

초기 모드는 처음 AFC가 동작될 때 사용되며,

매우 적은 루프필터 이득을 사용함으로써 FDD 출력의 값이 루프필터의 값에 큰 변화를 주지 않게 한다. 따라서 현재의 주파수 오차를 측정할 수 있으며, 측정된 주파수 오차가 기준치보다 크면 포착 모드로, 기준치보다 작으면 추적모드로 변환하는 동작을 수행한다.

포착(acquisition)모드는 주파수 오차가 큰 경우에 사용되는 모드로써 큰 루프필터 이득을 사용하여 빠른 주파수 오차 추적을 가능하게 하나 지터가 큰 단점을 가진다.

추적(tracking) 모드는 주파수 오차가 적은 경우에 사용되는 모드로써 적은 루프필터 이득을 사용하여 느리지만 지터가 적은, 정확한 주파수 추적을 수행하게 된다. 주파수 오차 보상에서 다단 추적 모드의 사용은 주파수 오차의 크기에 따른 능동적인 오차 보상을 가능하게 한다.

루프 필터는 입력 값에 이득을 곱하여 이전의 값과 더하는 무한 누적을 수행하게 되며, 무한 누적을 통해서 주파수 오차에 해당하는 FDD 출력 값으로 수렴하게 된다. 루프필터의 이득은 AFC 루프의 중요한 파라미터로 주파수 오차에 대한 AFC의 추적 시간 성능과 정상 상태시의 안정도를 조절한다.

주파수 사상은 주파수 오차에 대한 루프필터의 출력을 1 프레임마다 입력으로 받아 그에 해당하는 보상 주파수를 발진하는 NCO의 도약율을 결정한다.

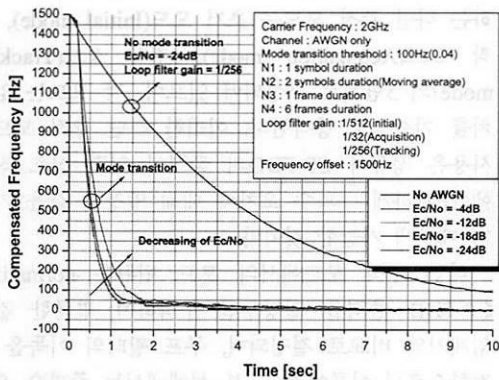


그림 8. 다단 추적 모드를 갖는 normalized CP-AFC의 추적 성능

Fig. 8. Tracking performance of normalized CP-AFC with multi-stage tracking mode

NCO는 기존에 사용하던 아날로그 방식의 VCO (Voltage Controlled Oscillator)와 다른 디지털화 된

구조로 ROM 테이블에 sine 곡선의 1/4 주기에 해당하는 값들을 저장하고 있으며, 주파수 사상이로부터 받은 주파수 도약 주소에 따라 ROM 테이블의 값들을 1 심볼 주기마다 출력하여 주파수 오차에 대한 신호를 만들어 주파수 오차를 보상하게 된다. ROM 테이블의 크기는 전체 AFC 루프의 해상도를 결정하며, 본 논문에서는 실제 구현상의 복잡도를 고려하여 2의 지수 승의 주소를 갖으면서도 14.648Hz의 해상도를 갖을 수 있도록 256개의 ROM 테이블을 사용하였다.

그림 8에 모드 변환 블록 적용 유/무에 따른 AFC 루프에 대한 추적 성능을 나타내었다. 모드 변환 블록의 사용으로 더욱 효율적인 주파수 보상이 수행되고 있음을 확인할 수 있다.

3. Channel Estimator

본 논문에서는 앞서 설명한 WMSA 채널 필터의 문제점을 극복하며 저속 및 고속 페이딩에서 매우 우수한 성능을 발휘하는 채널 추정 필터를 제안한다. 제안한 채널 추정 필터는 FIR 필터와 예측 필터로 구성되어 있다. 예측 필터는 IIR 필터 구조로 과거 채널을 추정하며 필터 계수를 적응적으로 가변시킴으로서 페이딩 관찰 구간을 조절한다. FIR 필터는 현재 및 미래 채널을 추정한다. 제안한 채널 추정기는 미래와 현재 그리고 과거 채널의 관찰 구간이 서로 다르기 때문에 비대칭 구조이며 예측기 출력에 의해 보상된 제어 비트를 경관정하여 다시 입력 신호에 곱해줌으로서 변조에 의한 위상을 제거하는 직접 판별 구조이다¹⁶⁾.

본 논문에서 설계한 채널 추정기의 IIR 필터 계수는 이동국의 속도 변화에 매우 민감하다. 그러므로 이동국 속도로 인한 IIR 필터의 발산 문제를 방지하기 위해 파일럿 심볼을 이용한 간단한 형태의 속도 추정기를 설계하였다. 제안한 속도 추정 알고리즘은 이동국의 속도를 정확히 측정하는 것이라기 보다는 BER 관점에서 우수한 예측기가 담당하고 있는 속도 범위를 현재의 채널 상태라고 판단하는 알고리즘이다.

그림 9은 WCDMA 기지국 모뎀 설계에 적용된 비대칭 직접 판별 채널 추정기 구조를 나타낸 것이다. 제안한 구조는 8개의 예측기(predictor)와 N 탭 FIR 필터로 구성되어 있다. 예측기는 과거의 채널을 추정하는 필터이며 FIR 필터는 미래 및 현재의 채널을 추정하는 필터이다. 예측기와 FIR 필터의 결합 출력은 DPDCH 채널의 정보 비트 및

DPCCH 채널의 파일럿을 제외한 제어 비트를 보상하기 위해 사용된다.

예측기는 제어 채널인 DPCCH 채널을 지연없이 동기 복조할 수 있으므로 경관정된 TPC 비트를 이용해 하향 링크 송신 전력을 지연없이 갱신할 수 있다. 또한 예측기는 정보 비트 및 제어 비트의 동기 복조를 위한 채널 추정기의 일부분으로서 사용된다. 예측기 계수 K_1 , K_2 는 이동국 속도에 매우 민감하게 반응한다. 그림 9에 제시된 비대칭 직접 판별 채널 추정기는 2 개의 예측기를 가지며 각 예측기는 저속(3km/h)과 고속(200km/h)에 정합된 필터 계수를 가진다.

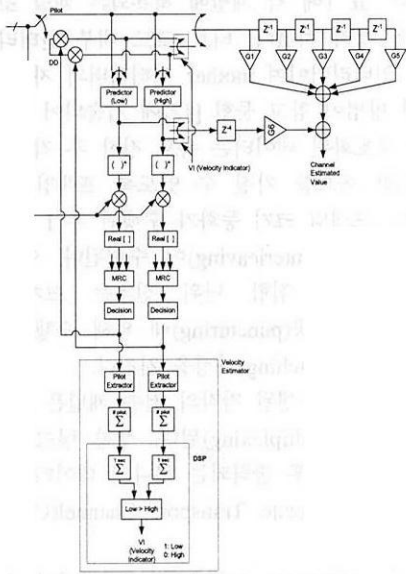


그림 9. 비대칭 직접 판별 채널 추정기
Fig. 9. Asymmetric decision directed channel estimator

예측기의 전달 함수 $H_p(z)$ 와 비대칭 직접 판별 채널 추정기의 전달 함수 $H_{CE}(z)$ 는 다음과 같다.

$$H_p(z) = \frac{(K_1 + K_2)z^{-1} - K_2z^{-2}}{1 + (K_1 + K_2 - 2)z^{-1} + (1 - K_2)z^{-2}} \quad (17)$$

이동국의 속도 측정은 수신된 신호의 통계적 특성을 이용해 구해진다. 예를 들어, 페이딩의 레벨 교차율(LCR, Level Crossing Rate), 수신 진폭의 공분산(auto-covariance)을 이용한 속도 측정이 가능하다. 또한 eigen-space 방법, 스펙트럼 추정 방법을 이용해 최대 도플러 주파수를 추정하는 것이 가능

$$H_{CE}(z) = \frac{\begin{aligned} &G_1 + (K_1G_1 + K_2G_1 - 2G_1 + G_2)z^{-1} \\ &+ (K_1G_2 - K_2G_1 + K_2G_2 + G_1 - 2G_2 + G_3)z^{-2} \\ &+ (K_1G_3 - K_2G_2 + K_2G_3 + G_2 - 2G_3 + G_4)z^{-3} \\ &+ (K_1G_4 - K_2G_3 + K_2G_4 + G_3 - 2G_4 + G_5)z^{-4} \\ &+ (K_1G_5 + K_1G_6 - K_2G_4 + K_2G_5 \\ &+ K_2G_6 - 2G_4 + G_5)z^{-5} \\ &+ (G_5 - K_2G_5 - K_2G_6)z^{-6} \end{aligned}}{1 + (K_1 + K_2 - 2)z^{-1} + (1 - K_2)z^{-2}} \quad (18)$$

하다. 그러나 위의 모든 속도 측정 기술들은 높은 SNR 환경에서는 매우 우수한 속도 추정 능력을 가지지만 매우 낮은 SNR 환경 및 페루프 전력 제어 환경에서 레일레이 페이딩의 통계적 특성을 검출하는 것이 매우 어려우므로 성능 열화가 심하다는 단점을 가지고 있다.

그림 9의 속도 추정기는 파일럿 심볼 추출기, 누적기 그리고 비교기로 구성되어 있다. 속도 추정기로 입력되는 샘플 신호는 예측기에서 추정된 채널 이득으로 보상된 파일럿 심볼이다. 추출된 파일럿 신호는 한 슬롯 구간동안 누적된 후 DSP로 전송된다. UMTS의 경우 전력 제어가 슬롯 단위로 이루어지기 때문에 각 알고리즘의 H/W 부분은 슬롯 단위로 연산을 수행한 후 DSP로 연산한 값을 전송하는 것이 바람직하다. 슬롯 단위로 누적된 파일럿 신호는 다시 최종적인 속도 측정 시간동안 누적된다. 제안한 속도 추정기에서는 이동국의 속도를 1초 단위로 측정하며 1초는 100프레임에 해당한다. 각각의 예측기 출력을 가지고 보상된 파일럿 신호는 비교기에 입력되며, 비교기에서는 가장 큰 파일럿 신호를 갖는 예측기를 현재의 채널 상태를 가장 잘 추정하고 있는 채널 추정기라고 판단한다. 그 이유는 파일럿 패턴이 제거된 파일럿 신호는 위상 변화가 없는 신호이므로 이 신호는 누적을 할수록 그 값이 커져야 하기 때문이다. 즉 제한한 속도 측정 알고리즘은 정확히 이동국의 속도를 측정하는 것이 아니라 BER 관점에서 가장 우수한 예측기를 선택하는 것이며 선택된 예측기가 담당하고 있는 이동국 속도가 현재 수신된 이동국 신호의 최적 속도라고 판별하는 방식이다. 속도 추정기에 의해 설정되는 속도 지시자(velocity indicator)는 어떤 예측기 출력이 FIR 필터와 결합된 것인지, 어떠한 신호를 FIR 필터로 입력시킬 것인지를 결정한다.

채널 추정기의 성능은 Link 성능과 큰 차이를 보이지 않으므로 5 장의 링크 성능 평가에서 제시하도록 한다.

IV. Symbol Level Processing

MAC 및 상위 계층으로부터 전송되어온 또는 전송되는 데이터 스트림(전송 블록/전송 블록 집합)은 무선 전송 링크를 통한 서비스를 제공하기 위해 심볼 레벨 프로세싱(SLP, Symbol Level Processing)을 수행하게 된다. SLP는 오류 검출, 오류 정정, 속도 정합, 인터리빙, 다중화, 그리고 전송 채널과 물리 채널간의 사상을 포함한다. 전송 데이터는 매 전송 시간 간격(TTI, Transmission Time Interval)마다 전송 블록 형태로 SLP부로 입력된다. TTI는 전송 채널 및 데이터 전송률에 따라 다르며, 그 길이는 10ms, 20ms, 40ms, 80ms중의 하나가 된다.

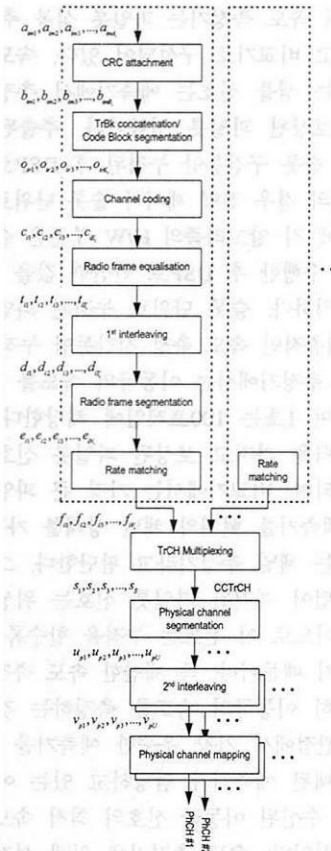


그림 10. 상향 링크 Symbol Level Processing
Fig. 10. Symbol Level Processing for uplink

그림 10에 WCDMA 상향 링크 SLP 과정을 나타내었다. 다중화 단계를 간단히 요약하면 다음과 같으며, 자세한 SLP 과정은 참고 문헌 [12]에 자세

히 기술되어 있다. 먼저, 상위 계층으로부터 전송된 데이터에 CRC(Cyclic Redundancy Check)를 첨가한다. CRC 크기는 24, 16, 12, 8 그리고 0이다. 각 전송 채널(Transport Channel)에 사용될 CRC 크기 정보는 상위 계층으로부터 제공받는다. CRC가 첨가된 전송 블록 집합은 직렬로 연결(concatenation)된다. 만약 TTI 내의 연결된 비트 수가 코드 블록의 최대 크기보다 크면 전송 블록의 연결 후에 코드 블록의 분할(segmentation)이 수행된다. 코드 블록은 다시 채널 코딩 블록으로 인가된다. WCDMA에 적용되는 채널 코딩 기법은 코드율이 1/2과 1/3인 컨벌루션 코딩과 코드율이 1/3인 터보 코딩이 적용된다. 표 1에 각 채널에 적용되는 채널 코딩과 코드율을 정리 하였다. 터보 코드 내부 인터리버는 mother 인터리버이며 mother 인터리버의 자세한 주소 계산 방법이 참고 문헌 [12]에 기술되어 있다.

채널 부호화된 데이터는 속도 정합 후 각 프레임이 동일한 속도를 가질 수 있도록 프레임 크기로 등화된다. 프레임 크기 등화가 수행된 후 1 차 블록 인터리빙(Block Interleaving)이 수행된다. 인터리빙된 전송 블록 집합 단위 신호는 크게 반복(repetition)과 천공(puncturing)에 의해 수행되는 속도 정합(Rate Matching)과정을 거친다.

속도 정합이 수행된 각각의 전송 채널은 채널 다중화(Channel multiplexing)된다. 상향 링크에서 전송 채널 다중화 후 출력되는 하나의 데이터 스트림을 Coded Composite Transport Channel(CCTrCH)라고 부른다.

하나의 CCTrCH는 2차 블록 인터리빙이 수행된 후 하나 또는 여러 개의 물리 채널로 사상된다.

표 1. WCDMA에 사용되는 부호화 기법 및 부호화율
Table 1. Usage of channel coding scheme and coding rate in WCDMA system

전송채널 종류	부호화 기법	부호화율
BCH	Convolutional coding	1/2
PCH		
RACH		
CPCH, DCH, DSCH, FACH	Turbo coding	1/3, 1/2
	No coding	1/3

표 2 상향 링크 DCH의 측정 채널
Table 2. Uplink DCH measurement channels

Parameter		DCH for DTCH/DCH for DCCH					Unit
DPDCH	Information bit rate	12 2/2 4	64/2 4	144/2 4	384/2 4	2048/2 4	kbps
	Physical channel	60/15	240/15	480/15	960/15	960/15	kbps
	Spreading factor	64	16	8	4	4	
	Repetition rate	22/22	19/19	8/9	-18/-18	-1/-1	%
	Interleaving	20	40	40	40	80	ms
	Number of DPDCHs	1	1	1	1	6	
DPCCH	Dedicated pilot	6					bits/slot
	Power control	2					bits/slot
	TFCI	2					bits/slot
	Spreading factor	256					
Power ratio of DPCCH/DPDCH		-2.69	-5.46	-9.54	-9.54	-9.54	dB
Amplitude ratio of DPCCH/DPDCH		0.7333 (11/15)	0.5333 (8/15)	0.3333 (5/15)	0.3333 (5/15)	0.3333 (5/15)	

표 3 다중 경로 페이딩 채널 환경의 전파 환경
Table 3 Propagation conditions in multipath fading environment

Case 1, 3km/h		Case 2, 3km/h		Case 3, 120km/h		Case 4, 250km/h	
Relative Delay [ns]	Average Power [dB]	Relative Delay [ns]	Average Power [dB]	Relative Delay [ns]	Average Power [dB]	Relative Delay [ns]	Average Power [dB]
0	0	0	0	0	0	0	0
976	-10	976	0	260	-3	260	-3
		20000	0	521	-6	521	-6
				781	-9	781	-9

V. 참조무선 채널 모델 및 데이터 속도에 따른 링크 성능 평가

본 장에서는 규격에서 제시하는 참조 무선 채널 환경(Reference Mobile channel Environment)과 측정 채널(Measurement Channel)에 따른 최소 수신 성능 요구 사항을 분석하며, 이를 기반으로 설계된 모델의 성능 평가 결과를 제시한다

WCDMA 상향 링크 기준 측정 채널에 필요한 파라미터를 표 2에 정리하였다 모든 경우에 대하여 하나의 DPCCH와 DPDCH가 결합된 것을 가정하고 있으며, 각 데이터율에 따른 DPDCH와 DPCCH의 Spreading factor 및 인터리빙 길이와 DPDCH와 DPCCH의 전력비/진폭비 등에 대한 설정이 제시되어 있다^[13]

상향 링크 측정 채널의 12 2kbps, 64kbps, 144kbps, 그리고 384kbps의 심볼 레벨 프로세싱 절차는 TS 25 104를 따른다.

1 무선 채널 환경

TS 25.104에서 제시하는 참조 무선 채널은 크게

정적 채널(Static channel)과 다중 경로 채널로 구분된다 정적 채널은 AWGN 채널 환경을 의미한다 이 채널 모델에서는 페이딩 및 다중 경로가 존재하지 않는다. 표 3은 WCDMA 규격에서 제공하는 다중 경로 페이딩 채널 환경을 정리한 것이다 반송파 주파수가 2GHz이며 이동체 속도가 3 km/h이면 도플러 주파수 $f_D = 5.556 \text{ Hz}$ 이며, 이동체 속도가 120 km/h이면 $f_D = 222.222 \text{ Hz}$, 250km/h이면 $f_D = 462.96 \text{ Hz}$ 이다. Case 1의 다중 경로 지연 시간은 약 0칩과 375칩에 해당하며, Case 2의 다중 경로 지연 시간은 0칩, 375칩 그리고 76.8칩에 해당한다 그리고 Case 3와 4의 다중 경로 지연 시간은 0칩, 1칩, 2칩 그리고 3칩에 해당한다.

2 기지국 모델의 최소 수신 성능 요구 사항

규격에서 제시한 성능 요구 사항은 2개의 안테나를 갖는 기지국 모델을 가정하고 있다 설계한 기지국 모델의 최소 성능 요구 사항은 각 채널 환경에 대하여 특정 BLER(Block Error Ratio)기준의 수신 E_b/N_0 로 표현되어 있으며, 설계된 모델의 수신

성능이 규격에서 제시하는 최소 수신 성능 요구 사항을 초과해서는 안된다 성능 요구 사항을 기술하기 전에 규격에서 제시하는 수신 E_b/N_0 에 대한 정확한 이해가 요구되며, 식 (19)에 나타내었다.

$$\begin{aligned} \left(\frac{E_b}{N_0}\right)_{\text{received}} &= \left(\frac{E_c}{N_0}\right) \times \frac{L_{\text{chip}}}{L_{\text{inf}}} \\ &= (\beta_d^2 + \beta_c^2) \times \left(\frac{E_c}{N_0}\right)_{\text{DPDCH}} \times \frac{L_{\text{chip}}}{L_{\text{inf}}} \end{aligned} \quad (19)$$

수신 E_b/N_0 란 안테나에 입력되는 수신 신호의 평균 E_b/N_0 이며, β_d 는 DPDCH 채널의 이득 인자, β_c 는 DPCCH 채널의 이득 인자, SF_{DPDCH} 는 DPDCH 채널의 확산 인자(Spreading Factor), L_{chip} 은 하나의 프레임당 칩 수(38400), 그리고 L_{inf} 는 하나의 프레임 당 전송되는 정보 비트 수이다

정적인 채널(AWGN)과 다중 경로 채널 환경에서 상향링크 기지국 모델의 최소 수신 성능 요구 사항을 표 4부터 8에 나타내었다

표 4 정적 채널 환경의 최소 성능 요구 사항
Table 4 Minimum performance requirement in Static Channel

Measurement Channel	Received E_b/N_0	Required BLER
12.2 kbps	n a	< 10-1
	5.1 dB	< 10-2
64 kbps	1.5 dB	< 10-1
	1.7 dB	< 10-2
144 kbps	0.8 dB	< 10-1
	0.9 dB	< 10-2
384 kbps	0.9 dB	< 10-1
	1.0 dB	< 10-2

표 5 다중 경로 Case 1 채널의 최소 성능 요구 사항
Table 5 Minimum performance requirement in multipath Case 1

Measurement Channel	Received E_b/N_0	Required BLER
12.2 kbps	n a	< 10-1
	11.9 dB	< 10-2
64 kbps	6.2 dB	< 10-1
	9.2 dB	< 10-2
144 kbps	5.4 dB	< 10-1
	8.4 dB	< 10-2
384 kbps	5.8 dB	< 10-1
	8.8 dB	< 10-2

표 6 다중 경로 Case 2 채널의 최소 성능 요구 사항
Table 6 Minimum performance requirement in multipath Case 2

Measurement Channel	Received E_b/N_0	Required BLER
12.2 kbps	n a	< 10-1
	9.0 dB	< 10-2
64 kbps	4.3 dB	< 10-1
	6.4 dB	< 10-2
144 kbps	3.7 dB	< 10-1
	5.6 dB	< 10-2
384 kbps	4.1 dB	< 10-1
	6.1 dB	< 10-2

표 7 다중 경로 Case 3 채널의 최소 성능 요구 사항
Table 7 Minimum performance requirement in multipath Case 3

Measurement Channel	Received E_b/N_0	Required BLER
12.2 kbps	n a	< 10-1
	7.2 dB	< 10-2
	8.0 dB	< 10-3
64 kbps	3.4 dB	< 10-1
	3.8 dB	< 10-2
	4.1 dB	< 10-3
144 kbps	2.8 dB	< 10-1
	3.2 dB	< 10-2
	3.6 dB	< 10-3
384 kbps	3.2 dB	< 10-1
	3.6 dB	< 10-2
	4.2 dB	< 10-3

표 8 다중 경로 Case 4 채널의 최소 성능 요구 사항
Table 8 Minimum performance requirement in multipath Case 4

Measurement Channel	Received E_b/N_0	Required BLER
12.2 kbps	n a	< 10-1
	10.2 dB	< 10-2
	11.0 dB	< 10-3
64 kbps	6.4 dB	< 10-1
	6.8 dB	< 10-2
	7.1 dB	< 10-3
144 kbps	5.8 dB	< 10-1
	6.2 dB	< 10-2
	6.6 dB	< 10-3
384 kbps	6.2 dB	< 10-1
	6.6 dB	< 10-2
	7.2 dB	< 10-3

3. 링크 성능 평가

본 절에서는 TS 25.104 규격집에 제시된 상향링크 심볼 레벨 프로세싱 절차를 이용하여 다양한 데이터 속도에 대한 기지국 수신 모델 성능 평가를 수행하였다. 성능 평가시 고려된 동기 모듈은 3장에서 설명한 Tracker, AFC, Channel estimator이며 모든 모듈은 고정 소수점 설계되었다. AGC 목표 진폭은 A/D 변환 최대 진폭의 40%인 3.2로 설정하였다. 또한 각 다중 경로 별 샘플 타이밍 에러는 0.5 칩(4 샘플 에러), 주파수 오차는 1000Hz를 가정하였다. 다중 경로 페이딩 채널은 표 3을 따랐으며, 다중 경로 페이딩 발생은 JTC'94 Air Interface를 기반으로 하였다.

Viterbi 복호기에 입력되는 신호에 대하여 3 비트 Soft Decision(연판정)을 적용하였으며, 터보 복호화기인 MAP 복호화기의 반복 복호 회수는 8회를 적용하였다.

그림 11는 12.2kbps의 데이터 속도에 대한 심볼 레벨 링크 성능 평가 결과를 나타내고 있다. 각 그림의 (a)는 Static channel 환경, (b)는 Multipath case 1, (c)는 Multipath case 2, (d)는 Multipath case 3, 그리고 (e)는 Multipath case 4의 성능을 나타낸다. 데이터 속도 64kbps, 144kbps, 384kbps에 대한 성능 평가 결과는 12.2kbps와 동일한 방식으로 도출되므로 이에 대한 성능 평가 결과는 데이터 속도 12.2kbps의 경우와 함께 각 데이터 속도 및 채널환경별로 규격에서 제시하는 최소 요구 사항 대비 이득을 정리하여 표 9에 제시하였다.

표 9. BLER=10⁻² 기준의 최소 요구 성능 대비 performance margin(scale : dB)
Table 9. Performance margin compare with Minimum requirement at BER = 10⁻²

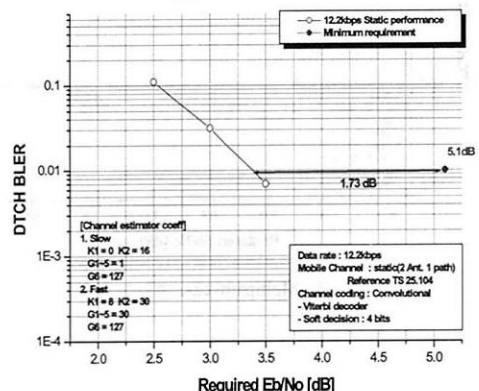
Channel Data rate	Static	Multipath case 1	Multipath case 2	Multipath case 3	Multipath case 4
12.2kbps	1.73	1.53	1.35	1.4	4.0
64kbps	2.3	2.6	2.2	1.95	4.65
144kbps	2.1	2.4	1.95	1.85	4.4
384kbps	2.05	2.5	2.3	2.95	5.35

본 장에서 제시하는 모든 성능 평가는 모든 데이터 속도 및 채널 환경에 대하여 최소 1.35dB에서 최대 5.35dB의 이득을 가진다. 따라서 TS 25.104에서 제시하는 모든 최소 요구사항을 만족하는 성

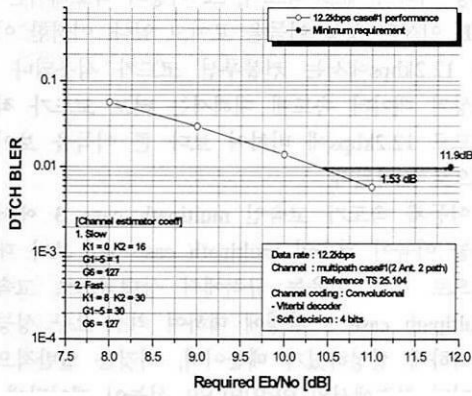
능을 보인다. 데이터 속도의 측면에서 12.2kbps의 성능 이득이 제일 적으며, 그 이상의 속도에서는 약 2dB 이상의 성능 이득을 보이고 있다. 이러한 이유는 12.2kbps에서는 컨볼루션 코드가 적용되나 그 이상의 데이터 속도에 대해서는 터보 코드가 적용되므로 12.2kbps에 비하여 보다 큰 이득을 보이는 것으로 고려된다.

이동체 속도가 고속인 multipath case 3에서의 성능 이득이 저속인 multipath case 1/2 보다 대체적으로 적은 이유는 규격에서 상대적으로 고속인 multipath case 3 환경에 대하여 최소 요구 성능을 엄격하게 설정하였기 때문이며, 이것은 일반적으로 페이딩 환경에서의 BER/BLER 성능이 페이딩에 대한 평균 특성으로 인하여 이동체 속도가 고속인 경우 더욱 향상되는데서 기인한다. 또한 multipath case 4에서 큰 이득이 발생하는 이유는 일반적으로 모델에서 채널 추정기를 저속에 정합되도록 설계하기 때문에 250km/h의 이동체 속도를 가지는 multipath case 4 환경에 대해서 최소 요구 성능이 높게 설정되었으나 본 설계에서 적용된 채널 추정기에서는 이동체 속도에 따라서 저속과 고속 환경에 대하여 채널 추정기 계수를 변환하는 방식을 사용하고 있으므로 상대적으로 규격에서 제시하는 최소 요구 성능과 비교하였을 경우 더 큰 이득을 얻을 수 있다.

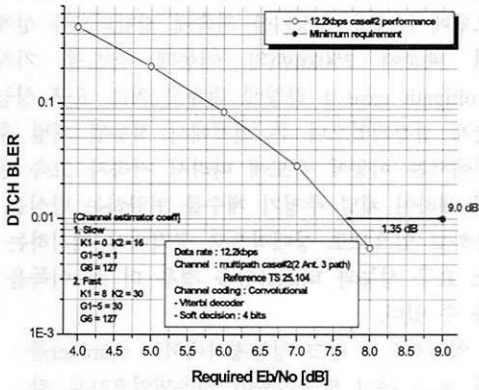
일반적으로 링크 성능평가에서는 searcher를 제외한 모든 동기 알고리즘이 적용되었으므로 각 모듈의 정상상태 성능에 따라 약간의 링크 성능 감쇄가 발생할 수도 있으나, 본 설계에서 적용된 AFC와 tracker는 안정된 성능을 목표로 설계되었으므로 링크 성능에는 큰 영향을 지장이 없음을 확인할 수 있었다.



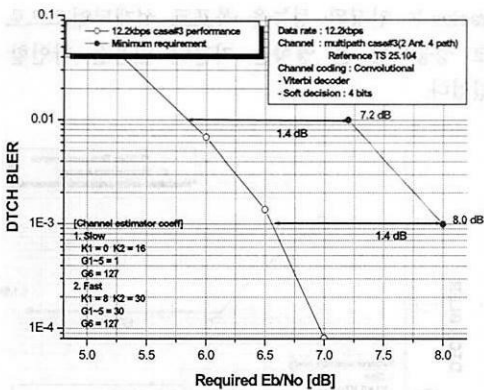
(a) Static channel



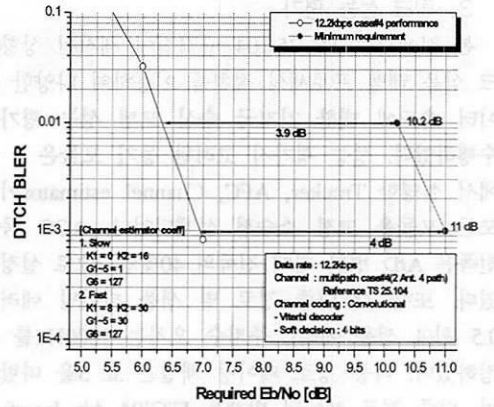
(b) Multipath case #1



(c) Multipath case #2



(d) Multipath case #3



(e) Multipath case #4

그림 11. 12.2kbps 심볼 레벨 링크 성능 평가

Fig. 11. 12.2kbps symbol level link simulation performance

본 절에서 제시한 고정 소수점 설계된 모뎀의 링크 성능을 통하여 모뎀의 안정적인 동작을 확인할 수 있었으며, 이를 기반으로 성공적인 모뎀 구현이 가능하였다.

모뎀의 구현을 위한 절차를 그림 12에 나타내었다. 모뎀 구현 절차는 HLD(High Level Design), FPGA 테스트, ASIC을 통한 모뎀의 실제적인 구현, ASIC으로 구현된 모뎀의 성능 검증의 4 단계를 통하여 수행된다.

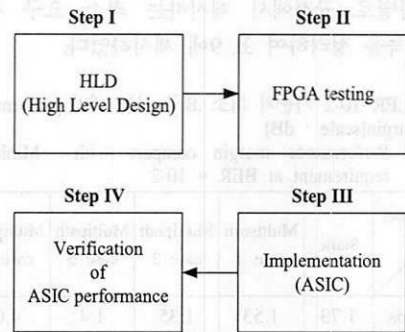


그림 12. WCDMA 기지국 모뎀의 구현 단계

Fig. 12. Implementation process of WCDMA base station modem

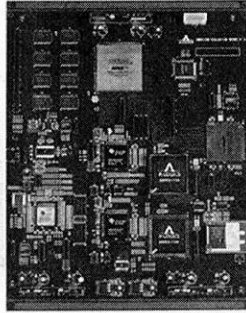
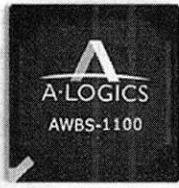


그림 13. 구현된 모뎀칩 및 테스트 베드

Fig. 13. Photograph of implemented Modem chip and Test-bed

HLD 단계는 모뎀 내부의 동기 알고리즘에 대한 구조 설계 및 고정 소수점 설계, 그리고 SLP를 적용한 링크 성능 평가를 포함한다. 본 논문에서 제시된 모든 결과는 HLD의 과정에서 도출된 것이다.

HLD를 통하여 성능 검증이 완료되면 FPGA를 통한 테스트가 진행된다. FPGA 테스트 후 그림 13과 같이 ASIC을 통한 실제적인 모뎀칩의 제작을 수행하고 테스트 베드(Test bed)를 구성하여 제작된 모뎀의 최종적인 성능 검증을 수행한다. 본 논문에서 제시한 모뎀은 각 알고리즘의 주요 부분을 공유하게 구성하였으며 0.18 μm CMOS 공정을 통하여 약 450만 gate로 구성되었다.

VI. 결론

본 논문에서는 WCDMA 기지국 모뎀의 구현을 위한 상위 레벨 설계 및 고정 소수점 설계를 통한 링크 성능 평가를 수행하였다. 이를 위하여 기지국 모뎀의 기저대역 동기 요소 알고리즘을 분석하였으며 부호화/다중화를 포함하는 심볼 레벨 프로세싱과의 링크 성능 평가를 3GPP TS 25.104 기반으로 수행하였다. 설계된 모뎀의 Tracker는 비동기 방식의 2 차 DLL 구조를 적용하였으며, AFC는 다단 추적모드를 가지는 Normalized CP-AFC를, 채널 추정기는 비대칭 직접 판별 알고리즘을 적용하였다. 설계 대상이 기지국임을 고려하여 기저대역 동기 모듈의 설계시 빠른 추적 성능보다는 안정적인 동작에 중점을 두었으며, 다양한 환경에서의 성능 평가를 통하여 낮은 복잡도를 가지면서 최대한 성능 감소가 발생하지 않도록 고정 소수점 설계를 수행하였다.

설계한 모뎀의 링크 성능 평가를 통하여 설계된

동기 모듈이 매우 안정적으로 동작함을 확인하였으며, 또한 규격에서 무선 채널 환경에서 최소 요구 성능 대비 약 2dB 내외의 성능 이득이 있음을 확인하였다.

실제적인 구현 단계에서 제안된 채널 추정기 알고리즘을 적용함으로써 데이터 전송률이 큰 경우 매우 큰 심볼 버퍼가 요구된다는 문제점이 지적되었다. 기지국 모뎀에 적용된 비대칭 직접 판별 채널 추정기는 FIR 필터를 사용하였으므로 채널 보상을 위해서는 FIR 필터의 지연 시간만큼의 DPDCH 심볼 버퍼링이 요구된다. 따라서 적은 확산계수를 사용하는 고속 전송시에는 DPDCH 심볼에 대한 메모리 요구량이 급격히 증가한다. FIR 필터의 사용은 고속 이동 환경에서 빠른 무선 채널 변화에 적응할 수 있도록 적용되었으나 고속인 환경에서는 저속 환경에 비하여 상대적으로 큰 성능 이득을 가지므로 FIR 부분을 제거하고 250km/h의 이동체 속도에 정합된 예측기를 추가적으로 적용하였다. 본 논문에서 이러한 구조의 성능을 제시하지는 않았으나 고속인 multipath case 4 환경에서 FIR 필터를 적용하였을 경우보다 약 2dB 정도의 성능 감소가 있었다. 그러나 규격에서 제시하는 최소 성능 요구사항과 비교하였을 경우 여전히 2 dB 이상의 성능 이득을 가짐을 확인하였다.

참고 문헌

- [1] 정은선, 도주현, 이영용, 정성현, 최형진, "RACH 프리앰블 구조에 적합한 WCDMA 역방향 링크 수신기용 고속 프리앰블 탐색기의 설계," *한국통신학회 논문지*, Vol.29, No.8A, pp. 427-437, 2004년 8월.
- [2] Hyung Wook Kang, Young Yong Lee, Hyung Jin Choi, "Chip Timing Recovery Algorithm Robust to Frequency Offset and Time Variant Fading," *Proc. of ITC-CSCC*, pp. 1948-1951, Phuket, Thailand, July 2002.
- [3] Joo Hyun Do, Young Yong Lee, Hyung Jin Choi, "The Modified CP-AFC with Multistage Tracking Mode for WCDMA Reverse Link Receiver," *IEICE Trans. Fundamentals*, Vol. E86-A, No.6, pp. 1397-1404, June 2003.
- [4] H. Andoh, M. Sawahashi, and F. Adachi, "Channel estimation filter using time-

multiplexed pilot channel for coherent RAKE combining in DS-CDMA mobile radio," *IEICE Trans. Commun.*, vol. E81-B, no. 7, pp. 1517-1526, July 1998.

[5] K. Higuchi, H. Andoh, K. Okawa, M. Sawahashi, and F. Adachi, "Experimental evaluation of combined effect of coherent rake combining and SIR-based fast transmit power control for reverse link of DS-CDMA mobile radio," *IEEE Trans. Journal on Select. Areas Commun.*, vol. 18, no. 8, pp. 1526-1535, Aug. 2000.

[6] Young-Yong Lee, Joo Hyun Do, Sung-Hyun Chung, Min-Joong Rim, Jae-Min Ahn, Hyung-Jin Choi, "Double Decision-Directed Order Adaptive Weighted Moving Average Channel Estimator with Velocity Estimator for WCDMA Reverse Link Receiver," *Proc. of IEEE VTC 2003*, paper no.853, Jeju, Korea, April 2003.

[7] Young-Yong Lee, Sung-Hyun Chung, Min-Joong Rim, Jae-Min Ahn, and Hyung-Jin Choi, "SIR-based Power Control Using OVSA Code for W-CDMA Reverse Link Receiver," *IEEE ISSSTA(International Symposium on Spread Spectrum Techniques and Application)*, pp. 777-781, Prague, Czech Republic, Sept. 2002.

[8] A. J. Viterbi, *CDMA Principle of Spread Spectrum Communication*, Addison Wesley 1995.

[9] 최형진, *동기방식 디지털 통신*, 교학사, pp. 138-160 1995.

[10] C. Travis, "Automatic frequency control", *Proc. IRE*, vol. 23, pp. 1125, Oct. 1995.

[11] F. M. Gardner, "Characteristics of frequency tracking loops," *IEEE Trans. Commun.*, vol. COM-33, no. 2, pp. 226-240, Feb. 1985.

[12] 3GPP Technical Specification Group Radio Access Network 25 series: 3GPP TS 25.212, Release 5, Mar. 2002.

[13] 3GPP Technical Specification Group Radio Access Network 25 series: 3GPP TS 25.104, Release 5, Mar. 2002.

도 주 현(Joo-Hyun Do)

정회원



2001년 2월 : 성균관대학교 전자공학과 학사
 2003년 2월 : 성균관대학교 대학원 전기전자 및 컴퓨터 공학과 석사
 2003년 3월~현재 : 성균관대학교 대학원 전자공학과 박사

과정

<관심분야> 무선통신, 이동통신, MODEM 동기화 기술

이 영 용(Young-Yong Lee)

정회원



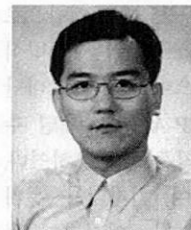
1998년 2월 : 성균관대학교 전자공학과 학사
 2000년 2월 : 성균관대학교 대학원 전기 전자 및 컴퓨터 공학과 석사
 2003년 2월 : 성균관대학교 대학원 전기 전자 및 컴퓨터 공학과 박사

2003년 3월~현재 : 삼성전자 TN총괄 통신연구소 모뎀연구팀 선임연구원

<관심분야> 무선통신, 이동통신, 동기화 기술

정 성 현(Sung-Hyun Chung)

정회원



1988년 2월 : 한양대학교 전자공학과 학사
 1988년 3월~2000년 4월 : 삼성전자 정보통신연구소 cdma2000 기지국모뎀 개발
 2003년 3월~현재 : (주)에이로직스 통신사업부 WCDMA

모뎀 개발

<관심분야> 이동통신, 무선통신

