

비트 시리얼 이산 웨이블릿 변환 필터 설계

정회원 박 태 근*, 준회원 김 주 영*, 노 준 례**

Bit-serial Discrete Wavelet Transform Filter Design

Tae geun Park* *Regular Member* Ju young Kim*, Jun rye Noh** *Associate Members*

요 약

이산 웨이블릿 변환(Discrete Wavelet Transform)은 블록효과가 없고 특징시간의 주파수 특징을 잘 표현하여 MPEG4나 JPEG2000의 표준안으로 채택되는 등 많은 응용분야에서 이용되는 변환 방법이다. 본 논문에서는 저 전력, 저 비용 DWT 필터 설계를 위한 두 채널 QMF(Quadrature Mirror Filter) PR(Perfect Reconstruction) 래티스 필터에 대한 비트 시리얼 구조를 제안하였다. 제안된 필터(필터 길이 = 8)는 4개의 래티스로 구성되었으며, 각 단 고정계수의 양자화 비트를 PSNR(peak-signal-to-noise ratio) 분석을 통하여 결정하였고 그에 따른 효율적인 비트 시리얼 곱셈기 구조를 제안하였다. 각 계수는 CSD(Canonic Signed Digit) 인코딩 방법을 이용하여 '0'이 아닌 비트의 수를 최소화함으로써 복잡도를 개선하였다. 제안된 DWT구조는 휴면기간 동안 하위레벨을 처리하는 폴딩(folding) 구조이고 이에 대한 효율적인 스케줄링 방법이 제안되었으며 최소의 하드웨어(플립 플롭, 전가산기)만으로 구현이 가능하다. 제안된 구조는 VerilogHDL로 설계되어 검증되었으며 Hynix 0.35 μ m 표준셀 라이브러리를 사용하여 합성한 결과, 최대 동작주파수는 200 MHz이며 16클록의 레이턴시(Latency)와 약 175Mbps의 성능을 보였다.

Key Words : DWT, bit-serial, folding, pipeline, lattice filter

ABSTRACT

Discrete Wavelet Transform(DWT) is the oncoming generation of compression technique that has been selected for MPEG4 and JPEG2000, because it has no blocking effects and efficiently determines frequency property of temporary time. In this paper, we propose an efficient bit-serial architecture for the low-power and low-complexity DWT filter, employing two-channel QMF(Quadrature Mirror Filter) PR(Perfect Reconstruction) lattice filter. The filter consists of four lattices(filter length=8) and we determine the quantization bit for the coefficients by the fixed-length PSNR(peak-signal-to-noise ratio) analysis and propose the architecture of the bit-serial multiplier with the fixed coefficient. The CSD encoding for the coefficients is adopted to minimize the number of non-zero bits, thus reduces the hardware complexity. The proposed folded 1D DWT architecture processes the other resolution levels during idle periods by decimations and its efficient scheduling is proposed. The proposed architecture requires only flip-flops and full-adders. The proposed architecture has been designed and verified by VerilogHDL and synthesized by Synopsys Design Compiler with a Hynix 0.35 μ m STD cell library. The maximum operating frequency is 200MHz and the throughput is 175Mbps with 16 clock latencies.

* 가톨릭대학교 정보통신전자공학부(parktg@catholic.ac.kr, mog016@catholic.ac.kr), ** 서울대학교 전기공학부 (jrrho@dsp.snu.ac.kr)

논문번호: KICS2004-10-230, 접수일자: 2004년 10월 13일

※이 논문은 2004년 학술진흥재단의 지원에 의하여 연구되었음(R05-2004-000-10245-0).

I. 서론

정보가 부가가치를 갖는 정보화 사회의 실현은 이미 현실이 되었다. 그로 인한 정보량 증가 문제를 압축 기술을 이용하여 해결하고자 많은 연구가 진행 중이다. 웨이블릿 이론은 응용 수학에서 처음 소개된 후, 다해상도 표현과 연관성이 있음이 밝혀졌고 이산 웨이블릿 이론은 필터 설계 방법과 동일함이 밝혀졌다^[1]. 이산 웨이블릿 변환(DWT, Discrete Wavelet Transform)은 이산 여현 변환(DCT, Discrete Cosine Transform)과 달리 블록 효과(blocking effect)가 없고 특정 시간의 주파수 특성을 나타내어 주며, 또한 압축 효율이 높아 많은 응용 분야에서 이용되고 있다. 특히 지진과 측정이나 심전도 측정, 음성 및 영상 압축 분야, 음성 분석, 패턴 인식 그리고 컴퓨터 비전 등 많은 응용 분야에서 이용되고 있으며, MPEG4와 JPEG2000의 표준으로 채택되어 차세대 압축 기술로 관심을 받고 있다^{[2][3]}.

DWT를 근간으로 처리되는 시스템은 반복적인 계산으로 인한 처리시간이 길다는 단점이 있다. 따라서 90년대 이후부터 DWT의 효율적인 VLSI 구조에 대한 연구가 활발히 진행되고 있다^{[4][11]}. 그 중 확장성을 갖는 1차원 래티스 구조가 제안되었는데 DWT의 특성인 다해상도를 효과적으로 지원할 뿐만 아니라 직접 구현 방법에 비해서 하드웨어의 복잡도가 줄어들며 또한 규칙적인 모듈로 이루어져 있어 VLSI 구현에 적합하다^[4].

또한 저복잡도 비트 시리얼 1차원 DWT 구조가 제안되었다^[11]. 이 구조는 확장성, 규칙성을 갖으며 순방향과 역방향 DWT 처리를 효과적으로 수행할 수 있도록 구성되었다. 그러나 각 레벨에 대하여 대응하는 ID DWT 블록이 필요하므로 레벨의 증가에 비례하여 하드웨어가 증가한다. 그리고 직접 방식의 필터 구조를 사용하므로 래티스 필터보다 효율성이 떨어진다.

Systolic, Semi-systolic, 그리고 RAM-based 등의 세 가지 형태의 DWT 구조는 우수한 성능과 높은 하드웨어 이용도를 보여주지만 복잡한 라우팅 네트워크와 스케줄링이 필요하다^[6]. 확장이 용이하고 단순한 시스톨릭 구조를 이용한 DWT 구조가 제안되었지만 상위 레벨을 처리하는 블록의 하드웨어 효율이 떨어지는 단점이 있다^[7]. 즉, 각 레벨의 하드웨어 효율은 첫 번째 레벨에서 100%이고 두 번째 레벨에서는 50%, 그리고 세 번째 레벨에서는 25%로 감소된다. 최근에 제안된 구조^[8]에서는 이러한 단점을 보완 하였으며 규칙적인 구조의 파이프라인을

적용하였지만 고역과 저역필터에 대한 별도의 하드웨어가 필요하기 때문에 하드웨어의 크기가 증가된다는 문제점이 있다. 병렬 구조를 이용한 방법^[9]에서는 비슷한 하드웨어를 필요로 하지만 상위 레벨을 연산하기 위하여 JM 크기의 메모리 블록이 추가적으로 필요하다. 중첩된 구조를 적용한 방법^[10]에서는 제어가 복잡하며 최적의 하드웨어 효율을 보이지 않는다.

본 논문에서는 저 전력, 저 비용 1차원 DWT 필터 설계를 위한 두 채널 비트 시리얼 QMF(Quadrature Mirror Filter) 래티스 필터 구조를 제안한다. 필터 길이가 8인 비트 시리얼 DWT 필터는 4개의 래티스로 이루어져 있으며, 각 래티스 단의 고정 계수 곱셈기는 비트 시리얼구조로 설계된다. DWT 래티스 필터의 계수는 고정 소수점 연산 시의 에러를 PSNR 분석을 통하여 적절한 양자화 비트를 결정하였다. 3 레벨 해상도를 갖는 1차원 DWT를 위해 입력 데이터의 순서를 재배열해 주는 DFC(Data Format Converter)와 중간 데이터의 지연을 제어해주는 DCU(Data Control Unit) 모듈이 필요하며 이를 위한 효율적인 스케줄링 방법을 제안한다. 전체 구조는 플립 플롭과 전가산기만으로 구현 가능하며 스케줄링 면에서도 규칙성을 보인다. 제안된 아키텍처는 Modelsim 환경에서 VerilogHDL로 모델링 되어 검증되었으며 Synopsys의 Design compiler를 이용하여 합성되었다.

본 논문의 구성은 다음과 같다. 먼저 II장에서는 이산 웨이블릿 변환과 두 채널 완전 복원 QMF에 대하여 설명한다. III장에서는 제안된 1차원 비트 시리얼 래티스 DWT 구조와 각 래티스 단에 대한 비트 시리얼 곱셈기 구조를 설명한다. 또한 1차원 비트 시리얼 DWT구조의 전체적인 스케줄링과 그에 따른 DCU, DFC 모듈의 구조와 하드웨어 성능을 분석한다. 마지막으로 IV장은 본 논문의 결론이다.

II. 이산 웨이블릿 변환

2.1 이산 웨이블릿 변환

웨이블릿 변환은 여타의 주파수 변환과 달리 시간에 따라 급격하게 변하는 비정적(non-stationary) 신호를 분석하는데 유리하다. 웨이블릿 변환은 식(1)과 같이 임의의 신호 $f(t)$ 를 그 신호의 시간과 주파수의 특성을 나타내는 웨이블릿 함수 집합 $\Psi_{j,k}(t)$ 과 웨이블릿 계수 $a_{j,k}$ 의 결합된 형태로 표현된다. 웨이블릿 함수 $\Psi_{j,k}(t)$ 는 식(2)에서와 같이 모 웨이블

렛 함수 $\Psi(t)$ 를 확대하거나 축소, 변이시킴으로써 얻어지는 함수들의 집합이다. 그리고 $\Psi(t)$ 는 하나의 스케일링 함수 $\Phi(t)$ 로부터 축소 또는 확대, 변이시킴으로써 얻는다. 아래 수식에서 j 는 스케일 조정 변수이고 k 는 시간 변이 변수이다.

$$f(t) = \sum_{j,k} a_{j,k} \Psi_{j,k}(t) \tag{1}$$

$$\Psi_{j,k}(t) = 2^{j/2} \Psi(2^j t - k) \tag{2}$$

$$\Phi_{j,k}(t) = 2^{j/2} \Phi(2^j t - k) \tag{3}$$

웨이블레트에 다해상도 분석을 적용하면 효율적인 분석이 가능하다^[1]. 웨이블렛 다해상도 분석은 스케일링 함수와 웨이블렛 함수를 이용하여 식(4)와 같이 표현된다. 이때 $c_j(k)$ 와 $d_j(k)$ 는 각각 저역 필터와 고역 필터의 계수이고 스케일링 함수는 저역 필터를 위한, 웨이블렛 함수는 고역 필터를 위한 함수이다.

$$\begin{aligned} f(t) &= \sum_{j,k} c_j(k) \Phi_{j,k}(t) + \sum_{j,k} d_j(k) \Psi_{j,k}(t) \\ &= \sum_{j,k} c_j(k) 2^{j/2} \Phi(2^j t - k) + \sum_{j,k} d_j(k) 2^{j/2} \Psi(2^j t - k) \\ &= H(z) + G(z) \end{aligned} \tag{4}$$

이때, $H(z)$ 는 저역 필터, $G(z)$ 는 고역 필터를 나타낸다. 다해상도 분석은 그림 1과 같이 저역 필터와 고역 필터를 번갈아 수행한다.

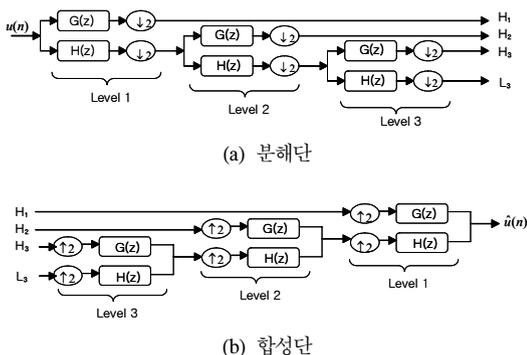


그림 1. 3 레벨 이상 웨이블렛 분해와 합성

2.2 Two-Channel PR(Perfect Reconstruction) QMF(Quadrature Mirror Filter)

대역 분할 코딩을 사용하는 이유는 대역 분할된

데이터가 그렇지 않은 데이터에 비해 효율적으로 인코딩 되고 채널 상에서 분할된 데이터에 나타나는 에러가 복원했을 경우 원래의 데이터 미치는 영향이 적기 때문이다.

두 채널 QMF는 1차원 신호를 두 개의 고역, 저역 서브 밴드로 나누어 처리한다. 이상적인 필터 बैं크는 접하면 서로 겹치지 않아 에일리어싱이 발생하지 않지만 실제로는 구현이 불가능하다. 따라서 그림 3에서와 같이 신호의 주파수 갭을 최소화하기 위해 $\pi/2$ 에서 대칭적 특성을 갖는 필터를 사용한다.

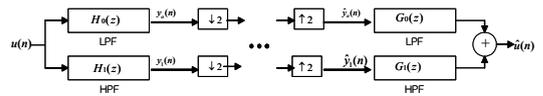


그림 2. Two-channel QMF

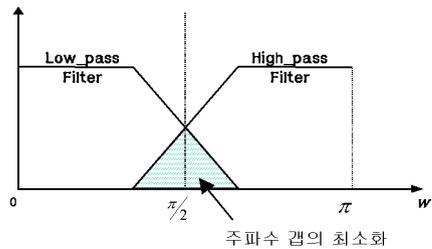


그림 3. 이상적인 1차원 QMF의 주파수 응답

QMF는 분석 단계에서는 에일리어싱을 허용하고, 그 대신 복원 단계에서 에일리어싱을 정확하게 제거함으로써 다운 샘플링에 의한 에일리어싱을 해결한다. 그림 2로부터 얻어지는 $\hat{u}(n)$ 과 $u(n)$ 의 일반적 관계는 다음과 같다.

$$\begin{aligned} \hat{U}(z) &= \frac{1}{2} [H_0(z)G_0(z) + H_1(z)G_1(z)]U(z) \\ &\quad + \frac{1}{2} [H_0(-z)G_0(z) + H_1(-z)G_1(z)]U(-z) \end{aligned} \tag{5}$$

식(5)와 같은 관계에서 에일리어싱을 없애기 위해서 복원 단의 필터는 식(6)과 같아야 한다.

$$G_0(z) = -H_1(-z), \quad G_1(z) = H_0(-z) \tag{6}$$

결국 QMF बैं크는 식(5)에서의 에일리어싱은 제거되고 시불변 시스템(time-invariant system)이 되므로 복원 신호 $\hat{U}(z)$ 는 $T(e^{j\omega})$ 의 크기와 위상에만 영향을 받게 된다. 그림 2의 QMF 구조는 분해 필터에서 임의의 원하는 정지 대역 감쇄율을 갖으며

동시에 크기와 위상의 왜곡을 제거할 수 있는데 이러한 특성을 “Perfect Reconstruction (PR)”이라고 한다.

III. 비트 시리얼 DWT 필터 구조

3.1 QMF 래티스를 이용한 비트 시리얼 DWT 필터 구조

래티스 필터는 규칙적인 모듈로 이루어져 있어 VLSI 구현에 적합한 직렬(cascade) 방식을 적용하기 용이하다. $2k$ 의 필터 길이를 갖는 래티스 필터는 k 개의 래티스 모듈로 구성된다. 그림 4는 4개의 래티스 모듈을 갖는 필터 길이가 8인 QMF 구조이다. 이와 같은 구조는 하드웨어의 복잡도가 낮다는 장점이 있지만 필터 길이가 증가함에 따라 각 래티스 모듈 당 워드 단위의 곱셈기와 덧셈기가 각각 두 개씩 증가된다.

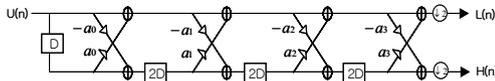


그림 4. 워드 단위의 두 채널 QMF 래티스 구조 (필터 길이=8)

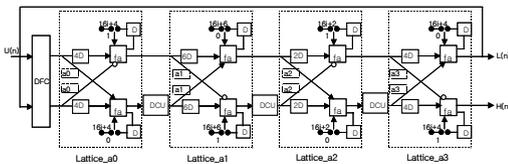


그림 5. 제안된 비트 단위의 두 채널 QMF 래티스 DWT 구조

본 논문에서는 이를 위해 비트 시리얼 처리를 위한 DWT 구조를 제안한다. 각 래티스 단은 전가산기와 플립플롭만으로 구성된다. QMF 래티스 구조를 갖는 1차원 Folded DWT는 간축(downsampling, decimation)에 의한 휴면 동작 구간 동안 다른 해상도의 레벨을 수행한다. 이 때문에 DFC(Data Format Converter)와 DCU(Delay Control Unit)와 같은 데이터 스케줄링을 위한 모듈이 필요하다^[4]. 각 래티스 모듈은 고정 계수 값에 따라 서로 다른 레이턴시를 갖으며 이를 고려한 효율적인 DCU, DFC의 데이터 스케줄링이 필요하다. 그림 5는 비트 시리얼 1차원 DWT 구조를 나타낸다. 각 래티스단은 비트 시리얼 구조로 설계되었으며 스케줄링에 따라 플립플롭이 삽입되어 파이프라인 구조로 설계되었다.

각 래티스 모듈의 구조를 설계하기 위해 데이터와 필터 계수의 양자화 비트를 PSNR 분석을 통해 결정한다. 웨이블릿의 승산기 출력 비트를 임의의 비트로 고정한 후, 웨이블릿 계수 비트를 달리 하여 PSNR을 확인한 결과 소수 이하가 2 비트 이상일 경우 PSNR은 거의 비슷한 값을 얻었다. 웨이블릿의 승산기 출력 값의 비트를 고려해보면, 모든 필터 단을 통과한 값의 정수 값은 10비트를 넘지 않았다. 따라서 정수는 10비트로 고정하고 소수 이하 비트를 달리하여 PSNR을 계산한다. 하드웨어 비용, 속도 및 에러율의 트레이드 오프(trade-off)를 고려하여 웨이블릿 필터 계수는 부호 1비트와 정수 2비트, 소수 5비트로 결정한다. 또한 처리되는 데이터는 부호 1비트, 정수 10비트, 소수 5비트로 결정한다. 본 연구에서 1 워드는 16 비트로 정의한다($w = 16$).

표 1. 웨이블릿 계수와 승산기출력 값의 비트 할당을 위한 PSNR 분석

데이터 길이 할당 비트	PSNR (n=3) [2, 1]	PSNR (n=4) [2, 2]	PSNR (n=5) [2, 3]	PSNR (n=6) [2, 4]	PSNR (n=7) [2, 5]	PSNR (n=8) [2, 6]	PSNR (n=9) [2, 7]
[10, 3]	26.1334	31.7824	30.5264	32.2130	32.2654	31.2568	32.5621
[10, 4]	32.5112	36.2562	35.2314	36.8526	36.2545	37.2346	37.5666
[10, 5]	37.5625	43.5621	42.1562	43.2653	44.2653	43.5120	44.5354
[10, 6]	44.2350	48.9653	47.1562	47.5682	48.5623	48.2356	47.2692
[10, 7]	51.2432	54.6852	54.3018	55.7561	55.2346	55.2365	55.8961

또한 CSD(Canonic Signed Digit) 코딩을 적용하면 곱셈기의 하드웨어를 줄일 수 있다^[2]. 단, $\hat{1}$ 는 -1을 의미한다. 결정된 양자화 비트로 고정계수 값을 표현하면 표 2와 같다.

표 2. 양자화된 웨이블릿 계수 값

계수	a_0	a_1	a_2	a_3
실수 값	-2.63802600	0.71544630	-0.259847900	0.0638836100
계수의 절댓값	2.63802600	0.71544630	0.259847900	0.0638836100
양자화 값	010.10100	000.10111	000.01000	000.00010
CSD 적용 후	010.10100	001.01001	000.01000	000.00010

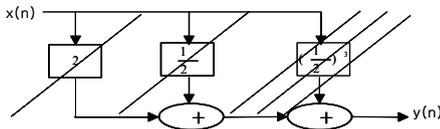
3.2 각 래티스의 고정 계수 비트 시리얼 곱셈기 구조

3.2.1 고정 계수 a_0

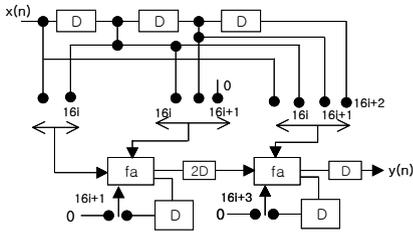
계수 a_0 를 갖는 곱셈기는 입력을 $x(n)$, 출력을 $y(n)$ 이라고 가정할 경우, 식(7)과 같이 쓸 수 있다.

$$y(n) = 2x(n) + \frac{1}{2}x(n) + \left(\frac{1}{2}\right)^3 x(n) \quad (7)$$

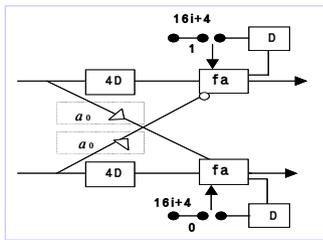
그림 6(a)는 이에 대한 시프트 레지스터와 덧셈기 기반의 워드 단위 SFG(Signal Flow Graph)이다. 그림에서 점선은 파이프라인 컷셋(Pipeline Cutsets)을 의미하며, 그 사이에 지연 소자를 위치시키고 스위칭 곱셈 연산을 대체하면 식(7)의 비트 단위 시리얼 필터는 그림 6(b)와 같이 구현될 수 있다. 데이터 재배열 시 최상위 비트가 부호 비트이므로 버림을 해선 안 된다. 각각의 스위칭 시간에 따른 입출력을 표 3에 정리하였다.



(a) 워드 단위



(b) 비트 단위



(c) 래티스 구조

그림 6. 계수 a_0 의 비트 시리얼 곱셈기

스위칭 시간을 결정하기 위하여 입력이 주어졌을 때 각 스케일 연산자(scaling operator)에 따른 출력

표 3. 지연된 스케일 연산자에 의한 출력 타이밍 (ai는 a의 i번째 비트를 의미함)

Time	0	1	2	3	4	...	14	15	16	17	18	...
Input	a0	a1	a2	a3	a4	...	a14	a15	a0	a1	a2	...
2		0	a0	a1	a2	...	a12	a13	a15	0	a0	...
(1/2)		a1	a2	a3	a4	...	a14	a15	a15	a1	a2	...
(1/2)				a3	a4	...	a14	a15	a15	a15	a15	...

을 분석한다. 먼저 준비되는 2와 1/2 스케일 연산자에 의한 데이터를 더한 후 2 클럭 후에 (1/2)³ 스케일 연산자에 의해 재배열 된 값과 가산 연산을 하면 고정계수 곱한 값과 동일한 비트 값을 순차적으로 얻을 수 있다. 임계 경로를 줄이기 위해 스위칭에 의해 얻어진 값에 하나의 FF(Flip-flop)을 삽입한다. 따라서 고정 계수 a_0 를 위한 파이프라인 곱셈기 구조의 레이턴시는 4가 된다. 그로 인한 지연 시간을 맞추기 위해 래티스 윗단과 아랫단에 4 개의 FF를 삽입한다. 출력 된 값은 래티스의 윗단과 아랫단에서 각각 덧셈과 뺄셈 연산을 하게 된다.

3.2.2 고정 계수 a_1, a_2, a_3

a_0 와 같은 방법으로 계수 a_1, a_2, a_3 를 갖는 곱셈기를 위한 입력을 $x(n)$, 출력을 $y(n)$ 이라고 할 경우, 식(8)(9)(10)을 정의할 수 있으며 그림 7과 8은 이에 대한 구조를 보여준다. 각 래티스의 레이턴시는 각각 6, 2, 4이다.

$$y(n) = x(n) - \left\{ \left(\frac{1}{2}\right)^2 x(n) + \left(\frac{1}{2}\right)^5 x(n) \right\} \quad (8)$$

$$y(n) = \left(\frac{1}{2}\right)^2 x(n) \quad (9)$$

$$y(n) = \left(\frac{1}{2}\right)^4 x(n) \quad (10)$$

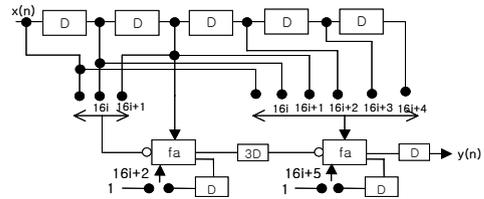


그림 7. 계수 a_1 의 비트 시리얼 곱셈기

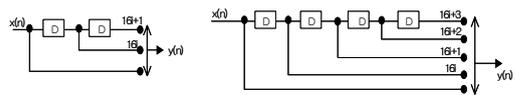


그림 8. 계수 a_2 와 a_3 의 비트 시리얼 곱셈기

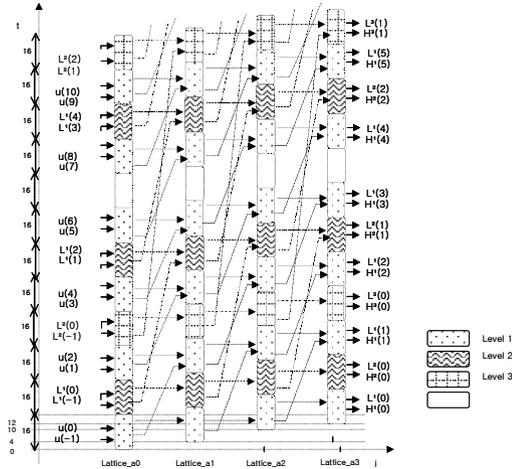


그림 9. 비트 시리얼 DWT의 DDG(Data Dependence Graph)

3.3 DCU, DFC 구조와 DWT 스케줄링

워드 단위 처리와 달리 비트 단위 처리는 파이프 라인 구조이기 때문에 지연시간에 따른 레이턴시가 발생하며 이로 인하여 각 필터 단의 시작 시간이 다르다. 그림 9는 각 레벨의 데이터 흐름과 저역 필터 출력 값이 입력에 다시 귀환되는 것을 나타내는 3레벨 기준의 비트 시리얼 1D DWT의 전체적 데이터 상관 그래프이다. 각 레벨은 16클럭 동안 수행된다. 각 레벨은 2^j 마다 수행되며, 이때 j 는 레벨을 의미한다. 그림 9에서 보여주듯이 래티스 아랫단은 각 레벨의 전 단계 값을 입력 받는다. 이를 제어해주는 모듈이 DCU이다.

3.3.1 DCU(Delay Control Unit) 구조

3레벨의 해상도를 갖는 1차원 비트 시리얼 웨이블릿을 위한 DCU의 DFG(Data flow graph)를 그림 10에 나타내었다. 필터의 아랫 단은 그림 10과 같이 전 래티스의 결과 값을 입력 받아 $w2^j$ 클럭 동안 저장한다.

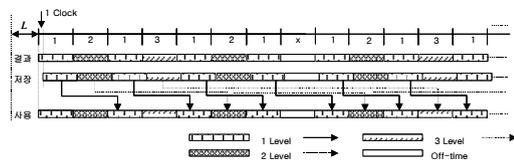


그림 10. DCU의 DFG

각 레벨은 데이터의 길이인 w 클럭 동안 수행되므로 w 비트 레지스터를 필요로 한다. 입력단과 출

력단에는 시프트 레지스터가 있으며, 각 레벨의 데이터가 생성되고 1클럭 후 레지스터에 저장되며 각 레벨 수행시간 동안에만 오른쪽으로 1비트씩 이동하며 출력된다. 이를 위해 LTC(life-time chart)와 RAT(register allocation table)^[12] 방법을 이용한 최소의 레지스터를 갖는 DCU의 구조를 설계하였다. 그림 11은 3레벨 해상도를 갖는 DCU 구조이다. 이때 $n1, n2, n3$ 은 각 1,2,3 레벨을 수행하기 위한 시간을 나타낸다. 단, $k = \{x|0 \leq x \leq w-1, x = integer\}$ 이며 1 클럭 당 1씩 증가하고 w 클럭을 후 0으로 클리어 된다. 또한 $m = \{x|0 \leq x, x = integer\}$ 이고 w 클럭을 주기로 1씩 증가한다.

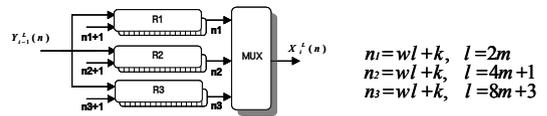


그림 11. 3레벨 DCU 구조

3.3.2 DFC(Data Format Converter) 설계

3레벨 1차원 비트 시리얼 DWT를 위한 DFC의 스케줄링을 살펴보면 그림 12와 같다. 1 레벨은 외부 입력에 의해 연산되지만 2 레벨과 3 레벨은 각각 1 레벨과 2 레벨의 결과에 의해서 연산된다. 따라서 1레벨과 2레벨의 결과는 2, 3레벨 수행 시간 까지 저장되어야 한다. 필터 아랫단을 위한 데이터는 한 레벨 이상 기다려야 하므로 레벨 당 w 비트의 레지스터가 필요하다. 하지만 윗단은 바로 이용되거나 레이턴시에 의해 한 레벨의 시간 이전에 사용된다. 따라서 w 보다 적은 비트 수의 레지스터를 필요로 한다. 본 논문에서 제안한 비트 시리얼 구조는 레이턴시가 존재하기 때문에 1레벨 출력 값을 바로 사용해야 하는 2레벨을 수행하기 위해서는 데이터가 준비될 때까지 기다려야 한다. 본 논문에서 제안한 구조는 총 16 클럭 레이턴시를 갖는다.

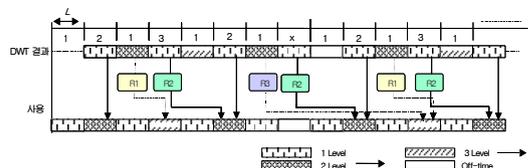


그림 12. DFC의 DFG

그림 13은 3레벨 해상도를 갖는 DFC 구조이며 $n1, n2, n3$ 은 각 1, 2, 3 레벨을 수행하기 위한 시

간을 나타낸다. 이 때 $r = \{x|0 \leq x, x = integer\}$ 이고 전체 구조에 start 신호가 인가되면 증가된다. 또한 m 은 구조의 총 레이턴시 후부터 증가하며 $m = \{x|0 \leq x, x = integer\}$ 이다. r 과 m 모두 w 클록을 주기로 1씩 증가한다.

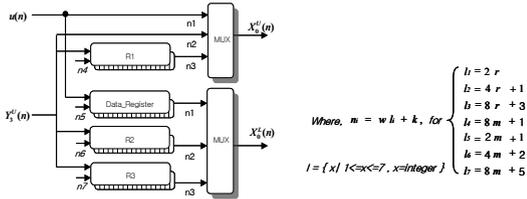


그림 13. DFC 구조

3.4 제안된 DWT의 하드웨어 설계 및 분석

앞에서 제안한 각 블록으로 구성된 1차원 비트 시리얼 DWT의 전체 구조는 그림 14와 같다. 제안된 DWT는 매 클록마다 비트 단위로 처리하고 16 클록을 주기로 다른 레벨을 처리한다. 또한 입력은 8 비트이며 출력은 16 비트이다. 컨트롤 블록은 각 레티스의 시작 시점과 비트 시리얼 DWT 전체 모듈의 2레벨 시작 시점을 제어해주는 5비트의 start 신호를 발생한다. Level신호는 3레벨의 해상도를 갖는 DWT가 레벨 단위 8을 주기로 동작하므로 3비트가 필요하고 각 시작 시점에 따라 다른 값이어야 하므로 5개가 필요하다. cnt신호는 한 워드의 길이를 표현해 주기 위해 4비트이며 이 역시 5개가 필요하다. cnt는 1클록을 주기로 카운트되고 Level은 16클록을 주기로 카운트된다. 단 2레벨 수행시간 전후면 동작 구간에는 Level값이 변하지 않는다. 입력은 D_inEn 신호가 '1' 값을 가질 때 8 비트로 받고 P2S(parallel-to-serial) 모듈을 통해 비트 시리얼로 입력된다. 16클록의 레이턴시 후 출력 값이 나오면

S2P(serial-to-parallel) 모듈을 통해 16클록 동안 데이터 저장 후 D_outEn 신호와 함께 출력된다.

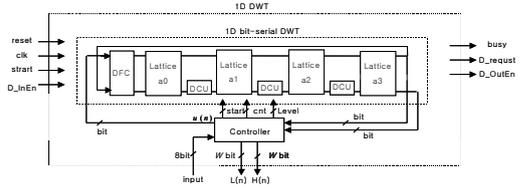


그림 14. 제안된 DWT 구조

워드 단위와 비트 단위를 처리하는 다양한 1차원 DWT 구조의 필요한 하드웨어와 그의 성능을 비교하면 표 4와 같다. 시스톨릭 구조를 이용한 방법^[6]은 DWT를 연산하기 위하여 $2N$ 의 주기가 필요하며, 데이터를 필터에 제공하기 위하여 복잡한 라우팅 네트워크가 필요하다. 또 다른 시스톨릭 구조^[7]에서는 4 탭일 때의 계수 특성을 이용하여 곱셈기의 수를 6개까지 줄일 수 있으나 일반적인 경우 12개가 필요하며 레벨이 증가됨에 따라 하드웨어의 효율이 떨어지는 단점이 있다. SIMD 병렬 구조^[9]는 처리속도는 우수하나 동시에 처리하는 샘플 수에 비례하여 PE(processing element)가 필요하기 때문에 많은 하드웨어가 필요하며, 상위 레벨을 연산하기 위하여 JM크기의 메모리 블록이 추가적으로 필요하다. 부가가 적절히 배분된 파이프라인 구조^[8]에서는 고속 처리가 가능하지만, 저역필터와 고역필터를 동시에 처리하기 위하여 두 배의 하드웨어가 필요하다. 중첩된 직접 구현방법을 적용한 방법^[10]에서는 제어가 복잡하며 최적의 하드웨어 효율을 보이지 않는다. 또한 비트 시리얼 구조^[11]에서는 기본적으로 직접 구현방법을 사용하였고 레벨의 수가 증가함에 따라 DWT 스테이지가 증가하므로 하드웨어

표 4. 제안된 비트 시리얼 DWT 구조의 성능 분석[K=filter length, W=word length, L=level, N=the number of point]

Architecture	Mult.	FA	Period	Word / Bit	H/W util.	Scheduling
Folded lattice [4]	K	KW	N	Word	100%	complex
Systolic [6]	$2K$	$2KW$	$2N$	Word	100%	complex
Systolic [7]	LK	$L(K-1)W$	N	Word	58.3%	simple
SIMD [9]	$2N$	$2NW$	KL	Word	100%	complex
Pipelined [8]	$4K$	$4KW$	$N/2$	Word	100%	Simple
Foldeddirect [10]	$2K$	$2(K-1)W$	N	Word	87.5%	complex
Double-face [11]		$2KL(W+1)$	NW	Bit	100%	Simple
proposed		$(K+4)W$	NW	Bit	100%	complex

도 따라 증가한다. 또한 사용된 곱셈기 구조도 계수의 상수 특성을 고려하지 않았기 때문에 곱셈기당 사용된 FA의 수가 많다. 이와 비교하여 제안된 구조는 워드 단위의 구조와 비교하여 성능은 $1/W$ 의 수준으로 감소하였지만 곱셈기가 필요 없고 CSD 코딩 등의 방법으로 필요한 덧셈기도 소수의 FA로 제한되었다. 따라서 전체적으로 하드웨어를 최적화하였으며 이에 따라 저전력 설계를 기대할 수 있다. 또한 임계경로가 하나의 FA 지연시간(Δ_{FA})으로 제한되었기 때문에 고속의 파이프라인 구조로 동작하여 비트 시리얼구조로 인한 처리주기 증가의 단점을 보완할 수 있다. 제안된 1차원 웨이블렛 변환 필터는 VerilogHDL을 이용하여 모델링되고 Synopsys의 Design compiler를 통해 합성되었다. 합성시에는 Hynix 0.35um 표준셀 라이브러리가 사용되었으며 200MHz로 합성, 검증한 결과 16 클럭의 레이턴시와 약 175Mbps의 성능을 보였고 하드웨어는 2-input NAND 게이트 기준으로 6105 게이트가 사용되었다.

IV. 결론

본 논문에서는 최근 효율적인 압축 기술로 관심을 받고 있는 이산 웨이블렛 변환 필터에 대한 효율적인 비트 시리얼 구조를 제안하였다. 사용된 필터는 두 채널 QMF 래티스 PR 필터이며, 각 래티스 단의 필터 계수는 CSD 코딩 방법을 이용하여 효율적으로 코딩되었고 이를 위하여 최소의 하드웨어를 필요로 하는 곱셈기 구조를 제안하였다. 제안된 DWT구조는 휴먼기간 동안 하위레벨을 처리하는 폴딩 구조를 적용하였으며 이에 대한 효율적인 스케줄링 방법을 제안하였다. 제안된 DWT는 최소한의 하드웨어(레지스터, 덧셈기)를 이용하여 구현 가능하기 때문에 그의 복잡도가 크게 개선되었고 저전력 설계가 가능하다. 제안된 비트 시리얼 DWT 필터는 VerilogHDL을 이용하여 설계, 검증되고 Synopsys의 Design compiler를 통해 합성되었다. Hynix 0.35um 표준셀 라이브러리를 이용하여 합성한 결과, 최대 동작주파수는 200MHz이며, 16 클럭의 레이턴시를 갖고 175Mbps의 성능을 나타낸다.

감사의 글

저자들은 본 연구를 위하여 설계 소프트웨어를 제공하여 준 IDEC(IC Design Education Center)에 감사드립니다.

참고 문헌

- [1] S. Mallat, "A theory for multiresolution signal decomposition: The wavelet representation," *IEEE Trans. Pattern Anal. and Machine Intell.*, vol.11, no.7, pp.674-693, 1989
- [2] R. Kronland-Martinet, J. Morlet, and A. Grossmann, "Analysis of sound patterns through wavelet transforms," *Int. J. Pattern Recognition and Artificial Intelligence*, vol.1, no.2, pp.273-302, 1987
- [3] S. Mallat, "Multifrequency channel decompositions of images wavelet models," *IEEE Trans. Acoust., Speech, Signal Process.*, vol.37, no.12, pp.2019-2110, 1989
- [4] J. T. Kim, Y. H. Lee, T. Isshiki, and H. Kunieda, "Scalable VLSI architectures for lattice structure-based discrete wavelet transform," *IEEE Trans. CAS-II*, vol.45, no.8, pp.1031-1043, 1998
- [5] T. Park and S. Jung, "High speed lattice based VLSI architecture of 2D discrete wavelet transform for real-time video signal processing," *IEEE Transactions on Consumer Electronics*, Vol. 48, No. 4, pp. 1026-1032, 2002
- [6] M. Vishwanath, R. M. Owens, and M. J. Irwin, "VLSI architectures for the discrete wavelet transform," *IEEE Trans. CAS-II*, vol.42, no.5, pp.305-316, 1995
- [7] 반성범, 박래홍, "이산 웨이블렛 변환을 위한 효율적인 VLSI 구조," 전자공학회 논문집 제36권, S편, 제6호, pp.96-103, 1999
- [8] F. Marino, D. Guevorkian, and J. T. Astola "Highly efficient high-speed/low-power architectures for the 1-D discrete wavelet transform," *IEEE Trans. Circuits Syst. II*, vol.47, no.12, pp.1492-1502, 2000
- [9] C. Chakrabarti and M. Vishwanath, "Efficient realizations of the discrete and continuous wavelet transforms: from single chip implementations to mappings on SIMD array computers," *IEEE Trans. Signal Processing*, vol.43, no.3, pp.759-771, 1995

- [10] K. Parhi and T. Nishitani, "VLSI architectures for discrete wavelet transform," *IEEE Trans. VLSI Systems*, vol.1, no.2 , pp.191-202, 1993
- [11] F. Marino, "A double-face bit-serial architecture for the 1D discrete wavelet transform," *IEEE Transactions on CAS-II*, vol.47, no.1, pp.65-71, 2000
- [12] K. Parhi, "VLSI digital signal processing systems: design and implementation," *Wiley*, 2000

박 태 근 (Tae geun Park)

정회원



1985년 연세대학교 전자공학과 졸업
1988년 Syracuse Univ. Computer 공학 석사
1993년 Syracuse Univ. Computer 공학 박사
1991년~1993년 Coherent Research Inc. VLSI 설계 엔지니어

1994년~1998년 현대전자 System IC 연구소 책임 연구원

1998년~현재 가톨릭대학교 정보통신전자공학부 부 교수

<관심분야> VLSI 설계, CAD, 병렬처리 등임

김 주 영 (Ju young Kim)

준회원



2005년 가톨릭대학교 정보통신공학과 졸업

2005년~현재 가톨릭대학교 컴퓨터공학과 석사과정

<관심분야> VLSI 설계, 영상처리 등임

노 준 례 (Jun rye Noh)

준회원



2005년 가톨릭대학교 정보통신공학과 졸업

2005년~현재 서울대학교 전기공학부 석사과정

<관심분야> DSP, 영상처리 등임