DBpia

HomePNA 2.0 MAC Controller 회로의 설계 및 구현

정회원 김 종 원*, 종신회원 김 대 영**

Design and Implementation of HomePNA 2.0 MAC Controller Circuit

Jong Won Kim* ***Regular Member***, Dae Young Kim** ***Lifelong Member***

요 약

Home Phoneline Networking Alliance(HomePNA) 2.0 기술은 기존의 댁내 전화 선로를 사용하여 홈 네트워크를 구축하는 기술로서, 4-32 Mbps의 고속 데이터 전송 속도를 제공한다. 이러한 HomePNA 2.0의 Medium Access Control(MAC) 프로토콜은 IEEE 802.3 Carrier Sense Multiple Access with Collision Detection(CSMA/CD) 방식을 사용하면서, Quality of Service(QoS) 알고리즘을 제공하고, 충돌 해결 알고리즘은 Distributed Fair Priority Queuing(DFPQ) 알고리즘을 사용한다. 본 논문은 HomePNA 2.0 MAC 프로토콜의 성능 분석 결과와 HomePNA 2.0 MAC Controller의 요구 사항을 기술하고, 우리가 설계한 HomePNA 2.0 MAC Controller 회로의 구조를 제시하며, HomePNA 2.0 MAC Controller를 구성하는 각 블록의 모의 실험 결과를 제공하고, 우리가 구현한 HomePNA 2.0 Transceiver 칩을 제시한다.

Key Words : HomePNA, MAC, Collision Resolution, Priority Level, Backoff Signal

ABSTRACT

The Home Phoneline Networking Alliance(HomePNA) 2.0 technology can establish a home network using existing in-home phone lines, which provides a channel rate of 4-32 Mbps. HomePNA 2.0 Medium Access Control(MAC) protocol adopts an IEEE 802.3 Carrier Sense Multiple Access with Collision Detection(CSMA/CD) access method, Quality of Service(QoS) algorithm, and Distributed Fair Priority Queuing(DFPQ) collision resolution algorithm. In this paper, we describe some performance analysis results of HomePNA 2.0 MAC protocol and the requirements of HomePNA 2.0 MAC controller. Then, we propose the architecture of HomePNA 2.0 MAC controller circuit, show the simulation result of each block included in HomePNA 2.0 MAC controller, and present the HomePNA 2.0 transceiver chip that we have implemented.

Ⅰ. 서 론

댁내 망을 구축하는 기술은 전화선을 사용하는 HomePNA 기술, 전력선을 사용하는 Power Line Communication(PLC) 기술, Unshielded Twisted Pair(UTP) 케이블을 사용하는 이더넷 기술, Shielded Twisted Pair(STP) 케이블 또는 Plastic Optical Fiber(POF)를 사용하는 IEEE 1394 기술, 무선을 사용하는 무선 Local Area Network(LAN) 기술 등이 있다. 이 가운데 HomePNA 기술은 다른 댁내 망 기술들에 비하여 기존의 댁내 전화 선로를 사용함으로써 새로운 배선이 필요하지 않고, 가격이 저렴하며, 설치하기 쉽고, 사용하기가 용이하며, 고속의 데이터를 안정적으로 제공한다는 여러 가지 장점들을 가지고 있다[1, 2].

HomePNA는 1998년 9월에 1 Mbps급의 Home PNA 1.0 규격을 표준화하였고, 1999년 5월에 Home PNA 1.0 규격을 보완한 HomePNA 1.1 규격을 표

* 한국전자통신연구원 센서네트워킹연구팀 (jongwkim@etri.re.kr)
** 충남대학교 공과대학장 (dykim@cnu.ac.kr)
논문번호 : KICS2005-10-397, 접수일자 : 2005년 10월 1일

Copyright (C) 2006 NuriMedia Co., Ltd.
www.dbpia.co.kr

표 1. HomePNA 2.0 규격의 특징

항 목	규 격
전송 속도	4 - 32 Mbps
전송 거리	500 feet(150m) 이상
변조 방식	4 Mbaud QAM, 2 Mbaud FDQAM
대역폭	4.75 - 9.25 MHz
중심 주파수	7 MHz
MAC 프로토콜	IEEE 802.3 CSMA/CD with QoS
최대 접속 스테이션 수	25 스테이션
사용 콘넥터	RJ11 Telephone Jack
기 타	- 새로운 배선, 허브, 스플리터, 필터 및 터미네이션 불필요 - FCC Part15 class B, Part68 규격 준수 - Plug-and-play 동작 - POTS, V.90, ISDN, ADSL과 공존 - HomePNA 1.0과 하향 호환성 유지

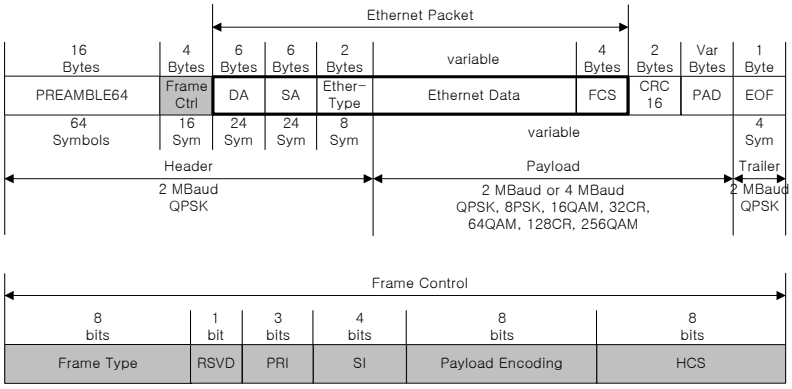

그림 1. HomePNA 2.0 물리 계층 프레임 구조

준화하였으며, 1999년 12월에 10 Mbps급의 Home PNA 2.0 규격을 표준화하였다[3].

HomePNA 2.0 규격은 음성, ISDN 및 ADSL 데이터 서비스와 공존할 수 있도록 4.75-9.25 MHz의 주파수 대역을 사용하고, Quadrature Amplitude Modulation(QAM) 또는 Frequency Diverse QAM (FDQAM) 변조 방식을 사용하여 4-32 Mbps의 전송 속도를 제공한다. 또한 HomePNA 1.0 장치와 하향 호환성을 유지하고, 채널 품질에 따라서 전송 속도 조절이 가능하며, 100 Mbps 이상의 속도를 제공할 수 있도록 확장 가능한 구조를 가지고 있다. 이와 같은 HomePNA 2.0 규격의 특징을 요약하면 표 1과 같다[4, 5].

HomePNA 2.0 물리 계층 프레임 구조는 그림 1과 같이 저속의 헤더(Header), 가변 속도의 페이로드(Payload) 및 저속의 트레일러(Trailer)로 구성된다. 헤더와 트레일러는 2 MBaud FDQAM 변조 방식으로 Quadrature Phase Shift Keying(QPSK) Constellation 인코딩 방식을 사용함으로써 4 Mbps의 전송 속도를 제공하고, 페이로드는 2 MBaud FDQAM 변조 방식 또는 4 MBaud QAM 변조 방식으로 2-8 bits per Baud Constellation 인코딩 방식을 사용함으로써 4-32 Mbps의 전송 속도를 제공한다. 그림 1에서 Preamble64는 4개의 16 심볼 시퀀스 0xfc 483084로서, 수신부는 Preamble64를 이용하여 이득 조절, 주파수 오프셋 측정, 등화기의 훈련 모드 동작 및 Carrier Sense(CS) 기능을 수행한다. Frame Control 필드는 Frame Type, 송신 프레임의 우선순위(Priority) 필드, 혼화기의 초기 값, 페이로드의 Constellation 인코딩 방식을 결정하는 Payload Encoding 필드 및 Frame Control 필드부터 Source Address(SA) 필드까지의 8 비트 Cyclic Redundancy

Copyright (C) 2006 NuriMedia Co., Ltd.
www.dbpia.co.kr

Check(CRC) 기능을 수행하는 Header Check Sequence(HCS) 필드로 구성된다. CRC16은 이더넷 패킷의 16 비트 CRC 기능을 수행한다. PAD 필드는 프레임이 충돌 조각으로 오인되지 않도록, 프레임의 길이가 92.5 us 미만일 때 사용되고, 최소 유효 프레임 길이인 92.5 us를 보장한다. End of Frame(EOF) 필드는 프레임의 끝을 나타내고, 4 심볼 시퀀스 0xfc이다.

본 논문은 댁내 전화 선로를 사용하는 HomePNA 2.0 MAC 프로토콜의 성능 분석 결과를 기술하고, 성능 분석 결과 도출된 HomePNA 2.0 MAC Controller의 요구 사항을 기술하며, 요구 사항을 만족시킬 수 있도록 우리가 설계한 HomePNA 2.0 MAC Controller 회로의 구조를 제시하고, HomePNA 2.0 MAC Controller를 구성하는 각 블록의 모의 실험(Simulation) 결과를 제공하며, 우리가 구현한 HomePNA 2.0 MAC Controller 회로가 내장된 HomePNA 2.0 Transceiver 칩을 제시한다. 2장에서는 HomePNA 2.0 MAC 프로토콜의 성능 분석 결과를 기술하고, 3장에서 성능 분석 결과 도출된 HomePNA 2.0 MAC Controller의 요구 사항을 기술하며, 4장에서 요구 사항을 만족시키는 HomePNA 2.0 MAC Controller 회로의 구조를 제시하고, HomePNA 2.0 MAC Controller 회로를 구성하는 각 블록의 모의 실험 결과를 제공하며, 5장에서 우리가 구현한 HomePNA 2.0 Transceiver 칩을 제시하고, 마지막으로 6장에서 결론을 맺는다.

Ⅱ. HomePNA 2.0 MAC 프로토콜의 성능 분석

HomePNA 2.0 MAC 프로토콜은 기본적으로 IEEE 802.3 CSMA/CD 방식을 사용하고, 멀티미디어 서비스를 위하여 8 개의 우선 순위 슬롯을 갖는 QoS 알고리즘을 제공하며, 만약 우선 순위가 같은 송신 스테이션들 간에 충돌이 발생하면, 송신 패킷들의 지연 시간을 제한시키는 새로운 DFPQ 충돌 해결 알고리즘을 사용한다[6].

HomePNA 2.0 MAC 프로토콜의 성능 분석을 위하여 사용하는 HomePNA 2.0 MAC 및 Physical Layer(PHY) 변수는 표 2와 같다.

표 2의 변수들을 사용하여 HomePNA 2.0 MAC 프로토콜 성능의 중요 요소인 포화 처리율, 최대 패킷 지연 및 패킷 지터의 성능 분석 결과를 기술하면 다음과 같다[7].

표 2. HomePNA 2.0 MAC 및 PHY 변수

변수	의미	값
n	스테이션 수	0 - 25
Fh	헤더 필드 길이	34 Bytes
Fp	페이로드 필드 길이	52-1514 Bytes
Ft	트레일러 필드 길이	1 Byte
Rh_t	헤더 필드와 트레일러 필드 전송 속도	4 Mbps
Rp	페이로드 필드 전송 속도	4-32 Mbps
Difg	IFG 기간	29 usec
Dpri	우선 순위 슬롯 기간	21 usec
Dcd	충돌 검출 기간	70 usec
Dsig	백오프 신호 슬롯 기간	32 usec
Lpri	우선 순위 수준	0 - 7

2.1 포화 처리율

포화 처리율 Th_ns(n)은 n개의 스테이션에 대하여, 전체 프레임 전송 시간 동안 성공적으로 전송된 전체 페이로드 비트 수를 나타내고, 식 (1)과 같다.

$$Th(n) = \frac{8 \bullet Fp \bullet n}{Dpre_tx + Df_tx + Dcoll_resol}, n \geq 1 \quad (1)$$

$$Dpre_tx = Difg + (7 - Lpri) \bullet Dpri \quad (2)$$

$$Df_tx = \left\{ \frac{8 \bullet (Fh + Ft)}{Rh_t} + \frac{8 \bullet Fp}{Rp} \right\} \bullet n + \{Difg + (7 - Lpri) \bullet Dpri\} \bullet (n-1) \quad (3)$$

$$Dcoll_resol = C(n) \bullet \{Dcd + Difg + 3 \bullet Dsig + (7 - Lpri) \bullet Dpri\} \quad (4)$$

$$C(n) = 1 + \sum_{n0=0}^{n} \sum_{n1=0}^{n-n0} \left\{ \frac{n!}{n0! \bullet n1! \bullet n2!} \bullet p^n \bullet \sum_{j=0}^{2} C(n_j) \right\}, \text{for } n_0 + n_1 + n_2 = n \quad (5)$$

그림 2는 스테이션의 수를 1부터 25까지 변화하면서, 우선 순위 수준 7에서, 페이로드 필드 길이가 각각 52, 500, 1000 및 1514 바이트인 경우에 대하여, 32 Mbps의 페이로드 필드 전송 속도에 대한 포화 처리율의 모의 실험 결과를 나타낸다. 그림 2에서 32 Mbps의 포화 처리율은 스테이션의 수가 증가함에 따라서 감소하고, 일정한 값으로 수렴하며, 우선 순위 수준이 높을수록, 페이로드 필드 길이가 길수록 포화 처리율이 더 높다는 것을 알 수 있다.

Copyright (C) 2006 NuriMedia Co., Ltd.
www.dbpia.co.kr

또한 식 (1)에서 페이로드 필드 전송 속도가 높을수록 포화 처리율이 더 높다는 것을 알 수 있다.

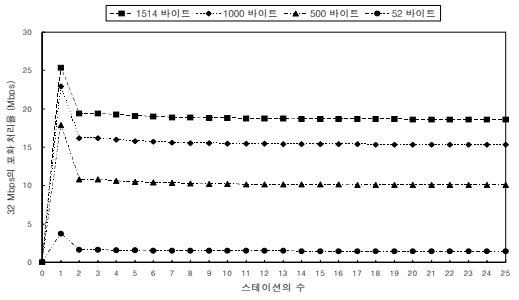

그림 2. 32 Mbps의 포화 처리율

2.2 최대 패킷 지연

최대 패킷 지연 Lmax(n)은 충돌 후 마지막 프레임으로 송신할 때 발생하고, 식 (6)과 같다.

$$L\max(n) = Dpre_tx + Dcoll_resol + Df_tx_\max, n \geq 1 \quad (6)$$

단,

$$Df_tx_\max = \left\{\frac{8 \bullet (Fh+Ft)}{Rh_t} + \frac{8 \bullet Fp}{Rp}\right\} \bullet (n-1) + \{Difg + (7-Lpri) \bullet Dpri\} \bullet (n-1) \quad (7)$$

그림 3은 스테이션의 수를 1부터 25까지 변화하면서, 페이로드 필드 길이가 최대 1514 바이트에서, 우선 순위 수준이 각각 7과 0이고, 페이로드 필드 전송 속도가 각각 32 Mbps와 4 Mbps인 경우에 대하여, 최대 패킷 지연의 모의 실험 결과를 나타낸다.

그림 3에서 최대 패킷 지연은 스테이션의 수가 증가함에 따라서 직선적으로 증가하고, 우선 순위 수준이 낮을수록, 페이로드 필드 전송 속도가 낮을수록, 페이로드 필드 길이가 길수록 증가한다는 것을 알 수 있다. 또한 어떤 조건에서도 최대 패킷 지연이 86.37 ms 이하이므로, 영상 트래픽의 패킷 지연 요구 사항인 100 ms 이하를 충분히 만족시킴을 알 수 있다[8].

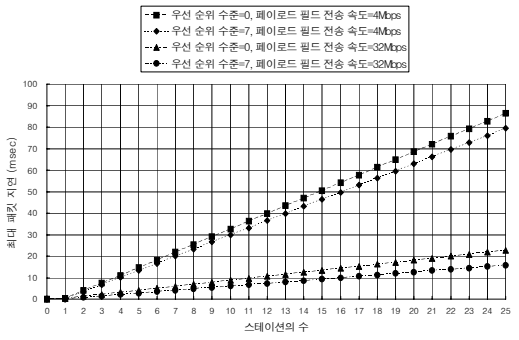

그림 3. 최대 패킷 지연

2.3 패킷 지터

패킷 지터는 패킷 지연의 변동으로서, 최대 패킷 지연과 최소 패킷 지연의 차이다. 그러므로 패킷 지터 Jp(n)은 식 (8)과 같고, 그림 4는 스테이션의 수를 1부터 25까지 변화하면서, 페이로드 필드 길이가 최대 1514 바이트에서, 우선 순위 수준이 각각 7과 0이고, 페이로드 필드 전송 속도가 각각 32 Mbps와 4 Mbps인 경우에 대하여, 패킷 지터의 모의 실험 결과를 나타낸다.

$$Jp(n) = \left\{\frac{8 \bullet (Fh+Ft)}{Rh_t} + \frac{8 \bullet Fp}{Rp}\right\} \bullet (n-1) + \{Difg + (7-Lpri) \bullet Dpri\} \bullet (n-1), n \geq 1 \quad (8)$$

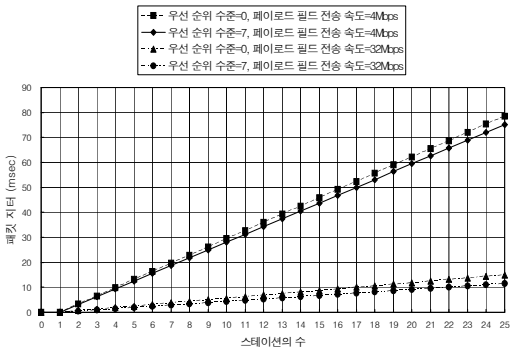

그림 4. 패킷 지터

그림 4에서 패킷 지터는 스테이션의 수가 증가함에 따라서 직선적으로 증가하고, 우선 순위 수준이 낮을수록, 페이로드 필드 전송 속도가 낮을수록, 페이로드 필드 길이가 길수록 증가한다는 것을 알 수 있다. 또한 어떤 조건에서도 패킷 지터가 78.58 ms 이하이므로, 영상 트래픽의 패킷 지터 요구 사항인 100 ms 이하를 충분히 만족시킴을 알 수 있다.

이와 같이 HomePNA 2.0 MAC 프로토콜은 DFPQ 충돌 해결 알고리즘을 사용함으로써, 스테이션이 포화된 망에서도 패킷 처리율이 일정한 값으로 수렴하고, 최대 패킷 지연과 패킷 지터가 엄격하게 제한됨으로써 이더넷의 Binary Exponential Backoff(BEB) 충돌 해결 알고리즘보다 매우 우수한 성능을 나타냄을 알 수 있다.

Copyright (C) 2006 NuriMedia Co., Ltd.
www.dbpia.co.kr

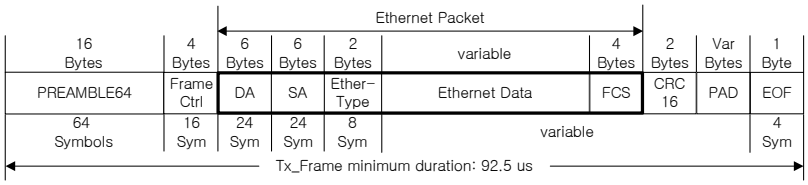

그림 5. 유효 CS 프레임

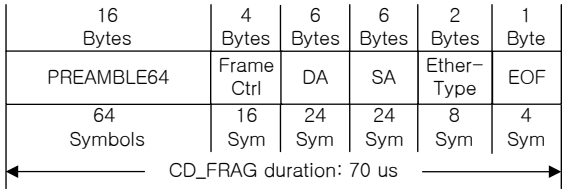

그림 6. 유효 충돌 조각

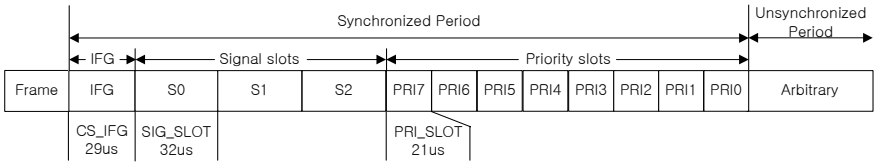

그림 7. HomePNA 2.0 MAC 시간 슬롯

Ⅲ. HomePNA 2.0 MAC Controller의 요구 사항

HomePNA 2.0 MAC Controller는 2장에서 기술한 HomePNA 2.0 MAC 프로토콜의 성능을 보증하고, 상호 운용성을 제공하며, 채널 공유의 호환성을 유지하기 위하여, 기본적인 기능 요구 사항으로서, 다음의 HomePNA 2.0 MAC 알고리즘을 수행하여야 한다.

3.1 CSMA/CD 매체 접근 방법

CSMA/CD 매체 접근 방법은 2개 이상의 스테이션들이 공통된 전송 채널을 공유하는 수단으로서, 송신을 위해 스테이션은 채널 상의 CS 신호를 감시하여, 자신의 우선 순위 슬롯 시작 전에 CS 신호를 감지하면 송신을 연기하고, 감지하지 않으면 그림 5와 같이 유효 CS 프레임을 송신한다. 만약 스테이션이 송신 중에 충돌을 검출하면 송신을 일찍 끝내고, 그림 6과 같이 유효 충돌 조각을 송신한다.

유효 CS 프레임이나 유효 충돌 조각 이후의 다음 송신 시간은 수신부가 설정하는 HomePNA 2.0 MAC 시간 슬롯을 기반으로 한다. HomePNA 2.0 MAC 시간 슬롯은 그림 7과 같고, 한 개의 Inter Frame Gap(IFG), 3개의 백오프 신호 슬롯(Backoff Signal Slot) 및 8개의 우선 순위 슬롯(Priority Slot)으로 구성되며, 3개의 백오프 신호 슬롯은 이전의 프레임이 충돌 조각인 경우에만 나타난다. 이 구간을 동기된 구간이라고 하고, 이 때의 HomePNA 2.0 MAC은 우선 순위 접근과 충돌 해결 알고리즘을 수행하면서, Frame Controller가 송신 준비가 되었을 때 정확한 우선 순위 슬롯에서 송신 프레임을 송신하도록 송신 시간을 알려준다. 그리고 우선 순위 슬롯 0 이후의 구간은 비동기된 구간으로서 MAC은 송신 전에 CS 신호를 감지하지 않으면 언제든지 송신할 수 있다. 수신부들은 오직 유효 CS 프레임, 유효 충돌 조각 및 백오프 신호만 정확하게 검출하면 된다.

3.2 우선 순위 접근 방법

HomePNA 2.0 MAC의 우선 순위 접근 방법은 그림 8과 같이 8개의 우선 순위 슬롯을 갖는다. 스테이션의 우선 순위는 트래픽의 우선 순위 필드에 의하여 결정이 되고, 우선 순위를 0부터 7까지 보유하며, 7이 가장 높다. 프레임 우선 순위를 기반으로 각각의 송신은 프레임을 분리하는 IFG 이후에, 해당되는 우선 순위 슬롯 안에서 일어난다. 그림 8과 같이 시간 간격들은 우선 순위가 감소하는 순서로 구성되므로, 높은 우선 순위의 트래픽은 낮은 우선

Copyright (C) 2006 NuriMedia Co., Ltd.
www.dbpia.co.kr

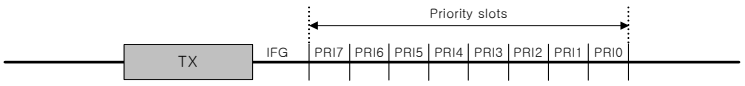

그림 8. HomePNA 2.0 우선 순위 슬롯 구조

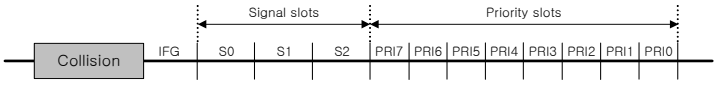

그림 9. HomePNA 2.0 백오프 신호 슬롯 구조

순위의 트래픽과 경쟁하지 않고 더 빨리 송신한다.

3.3 우선 순위 사상

HomePNA 2.0의 링크 계층은 트래픽의 사용자 우선 순위를 HomePNA 2.0 물리 계층의 우선 순위 필드로 사상하는 역할을 하고, 사상하는 방법은 구현 의존적이다.

3.4 충돌 검출

2개 이상의 스테이션은 IFG 이후에 같은 우선 순위 슬롯에서 송신을 시작할 수 있다. 모든 스테이션은 다른 스테이션의 프레임 충돌을 검출하기 위하여 채널을 감시한다. 프레임을 송신하는 능동 스테이션(Active Station)은 송신 중에 다른 스테이션으로부터의 송신 프레임과 충돌이 발생하는 경우를 검출하기 위하여, 송신 프레임의 일부(Frame Control 필드부터 Ether-Type 필드까지)를 버퍼에 저장하고, 수신 프레임의 해당 부분과 비교하여 값이 다르면 충돌을 인정하여 유효 충돌 조각을 송신한다. 프레임을 송신하지 않는 수동 스테이션(Passive Station)은 수신부의 복조기에서 CS 신호를 감지하여, CS 신호의 길이가 32-92 us이면 충돌로 검출한다.

3.5 충돌 해결 알고리즘

충돌은 2개 이상의 능동 스테이션이 동일한 우선 순위 수준에서 프레임을 송신할 때 발생한다. 만약 충돌이 발생하면, 모든 스테이션들은 DFPQ라고 불리는 분산 충돌 해결 알고리즘을 시작한다. 알고리즘이 시작되면, 충돌에 포함된 모든 스테이션들은 송신할 순서를 나타내는 Backoff Level(BL)로 순서가 정해진다. 원하는 결과는 오직 하나의 스테이션이 BL 0가 되어서 채널을 얻을 수 있도록 하는 것이다. 성공적인 송신 후에, 모든 다른 스테이션들은 자신의 BL을 감소시키고, BL 0에 있는 하나의 새로운 스테이션이 송신을 시도한다. 수동 스테이션을 포함하여 모든 스테이션들은 Maximum Backoff Level(MBL)을 추적하기 위하여 매체에서의 동작을 감시한다. MBL을 감시하여, 충돌된 모든 스테이션들이 하나의 프레임을 성공적으로 송신할 때까지, 충돌되지 않은 스테이션들이 매체 접근을 위하여 경쟁하는 것을 허용하지 않는다. 오직 하나의 예외는 하나의 스테이션이 충돌이 일어난 우선 순위 슬롯보다 더 높은 우선 순위를 갖는 프레임을 가지고 있을 때이다. 모든 스테이션들은 각각의 우선 순위에 대하여 한 개씩, 8개의 BL 카운터와 8개의 MBL 카운터를 가져야 한다.

충돌이 발생한 후에, 그림 9와 같이 우선 순위 슬롯 전에 3개의 특수한 백오프 신호 슬롯 S0, S1 및 S2가 나타난다. BL 카운터들과 MBL 카운터들은 이 백오프 신호 슬롯들을 통하여 결정된다. 이 백오프 신호 슬롯들의 기간은 각각 32 us이고, 오직 충돌 후에만 사용된다.

충돌 후에, 충돌 해결에 포함되는 활성 스테이션들은 한 개의 백오프 신호를 송신하기 위하여 3개의 백오프 신호 슬롯 중 한 개를 임의로 선택한다. 2개 이상의 스테이션들이 같은 백오프 신호 슬롯에 한 개의 백오프 신호를 송신할 수 있다. 스테이션이 처음 활성화될 때, MBL이 0이면 BL 카운터는 0으로 초기화시키고, MBL이 0이 아니면 BL 카운터는 MBL 값으로 초기화시킨다. 이것은 스테이션들이 대기 큐(Queue)에 다시 진입하기 전에 모든 현재의 활성 스테이션들이 하나의 프레임을 성공적으로 송신하도록 보장한다. 만약 활성 스테이션이 자신이 선택한 백오프 신호 슬롯 전에 있는 백오프 신호 슬롯에서 백오프 신호를 감지하면, 자신의 BL 카운터를 증가시킨다. 수동 스테이션들은 그들의 BL 카운터를 MBL 카운터와 같게 유지하여, 충돌 해결 주기가 끝날 때만 송신한다. MBL 카운터는 감지하는 각 백오프 신호마다 증가되고, 성공적인 송신이 일어날 때 감소된다. MBL은 충돌 해결 주기가 진행 중일 때는 0이 아니다. 충돌 후 송신 시도 횟수는 254회까지이고, 시도 횟수가 255 회이면 송신을 포기한다.

Copyright (C) 2006 NuriMedia Co., Ltd.
www.dbpia.co.kr

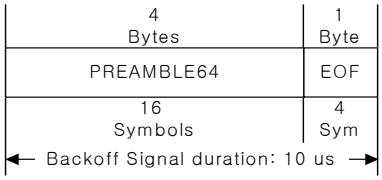

그림 10. 백오프 신호

백오프 신호는 그림 10과 같이 16 심볼의 Preamble64와 4 심볼의 EOF로 구성된다. 여러 개의 백오프 신호들이 같은 슬롯에 송신되어도 검출이 가능하여야 한다.

3.6 MAC용 의사 임의 숫자 생성

활성 스테이션들이 송신 중에 충돌이 발생하면, 활성 스테이션들은 한 개의 백오프 신호를 송신하기 위하여 3 개의 백오프 신호 슬롯 중 한 개를 임의로 선택한다. MAC용 의사 임의 숫자 생성은 한 개의 백오프 신호 슬롯을 선택하는 방법으로서 알고리즘은 그림 11과 같다. 그림 11에서 Linear Feedback Shift Register(LFSR)는 식 (9)의 생성 다항식을 사용한다.

$$G(x) = x^{47} + x^5 + 1 \qquad (9)$$

LFSR의 초기 값은 스테이션의 MAC SA 가운데 최상위 비트를 제외한 나머지 47 비트를 사용하고, 비트의 순서는 중요하지 않다. LFSR의 초기 값으로 SA를 사용하는 이유는 모든 스테이션의 SA는 유일하기 때문에 충돌 후 의사 임의 숫자가 요구될 때 가능한 서로 다른 값이 나오도록 하기 위함이다. LFSR의 클럭은 송신 속도보다 빠른 클럭을 사용하고, 의사 임의 숫자가 필요할 때, 2 개의 비트를 생성한다. 이 때 의사 임의 숫자의 값은 백오프 신호 슬롯이 S0, S1, S2이므로 0 또는 1 또는 2이어야 한다. 만약 의사 임의 숫자가 3의 값을 가지면 2 개의 비트를 더 생성한다. 만약 3의 값이 연속적으로 8번 나오면 0으로 선택한다.

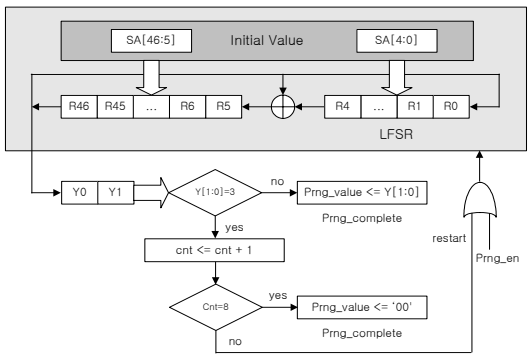

그림 11. MAC용 의사 임의 숫자 생성 알고리즘

Ⅳ. HomePNA 2.0 MAC Controller 회로의 설계 및 구현

HomePNA 2.0 MAC Controller의 요구 사항을 만족시키기 위하여, 우리가 설계한 HomePNA 2.0 MAC Controller의 블록 구성도는 그림 12와 같다. 그림 12에서 HomePNA 2.0 MAC Controller는 Rx MAC 블록, DFPQ 블록, Pseudo Random Number Generator(PRNG) 블록 및 Tx MAC 블록으로 구성된다. HomePNA 2.0 MAC Controller의 각 블록을 구현하기 위하여, 설계는 VHDL 코드를 사용하였고, 합성은 Synopsys 사의 Design Compiler를 사용하였으며, 모의 실험은 Mentor 사의 Modelsim을 사용하였다.

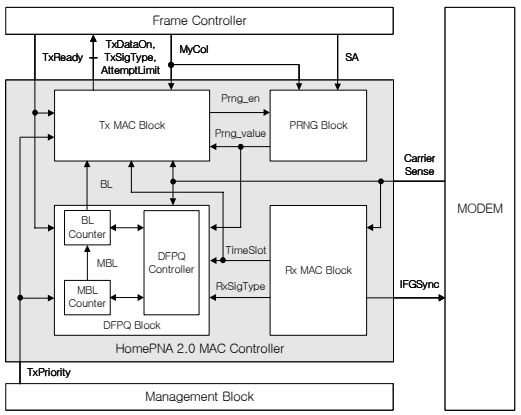

그림 12. HomePNA 2.0 MAC Controller의 블록 구성도

4.1 Rx MAC 블록

Rx MAC 블록의 세부 블록 구성도는 그림 13과 같다. 그림 13에서 Rx MAC 블록은 복조기로부터 CS 신호를 수신하여 수신 프레임이 유효 CS 프레임인지, 충돌 조각인지, 백오프 신호인지를 판단하여 시간 슬롯을 생성하고, 수신 프레임의 형태를 DFPQ 블록에 전달한다.

Rx MAC 블록의 모의 실험 결과는 그림 14와 같다. 그림 14에서 Rx MAC 블록은 HomePNA 2.0 MAC 시간 슬롯을 정확하게 생성하는 것을 알 수 있다.

Copyright (C) 2006 NuriMedia Co., Ltd.
www.dbpia.co.kr

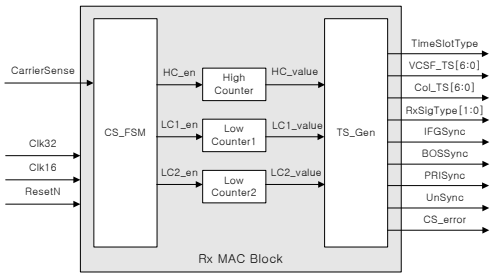

그림 13. Rx MAC 블록의 세부 블록 구성도

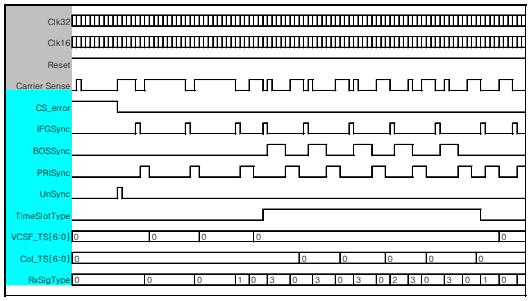

그림 14. Rx MAC 블록의 모의 실험 결과

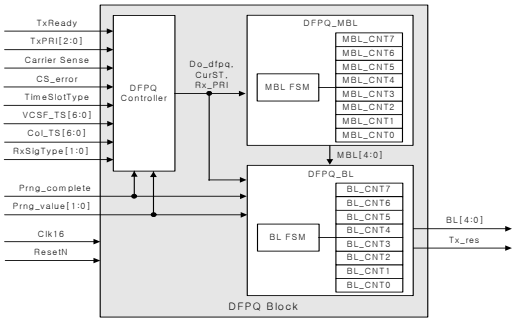

그림 15. DFPQ 블록의 세부 블록 구성도

4.2 DFPQ 블록

DFPQ 블록의 세부 블록 구성도는 그림 15와 같다. 그림 15에서 DFPQ 블록은 DFPQ Controller, DFPQ_MBL 블록 및 DFPQ_BL 블록으로 구성된다. DFPQ Controller는 CS 신호와 시간 슬롯 신호를 이용하여 DFPQ 알고리즘을 수행할 시간과 현재 상태를 추출하는 기능을 수행하고, DFPQ_MBL 블록은 MBL을 계산하며, DFPQ_BL 블록은 백오프 레벨을 계산한다.

DFPQ 블록의 우선 순위 7의 모의 실험 결과는 그림 16과 같다. 그림 16에서 우선 순위 7 슬롯에서 CS가 충돌인 경우에, DFPQ 알고리즘에 따라서 MBL 카운터 7과 BL 카운터 7의 값이 정확하게 변경되는 것을 알 수 있다.

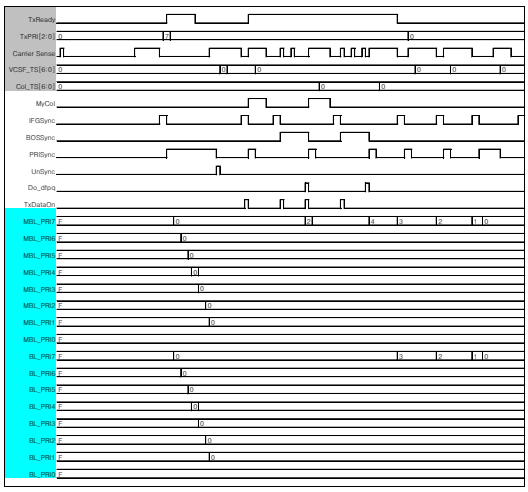

그림 16. DFPQ 블록의 우선 순위 7의 모의 실험 결과

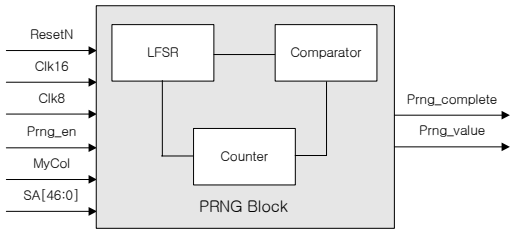

그림 17. PRNG 블록의 세부 블록 구성도

4.3 PRNG 블록

PRNG 블록의 세부 블록 구성도는 그림 17과 같다. 그림 17에서 Frame Controller 블록으로부터 수신된 MyCol 신호가 활성화되면 TxMAC 블록은 IFG 시간 동안 Prng_en 신호를 활성화시켜서 PRNG 블록으로 전달한다. PRNG 블록은 Prng_en 신호가 활성화되면 LFSR을 2 번 구동하여 2 개의 의사 임의 숫자를 구한다. 이 값이 3보다 작은지를 비교기를 이용하여 비교한다. 만약 3보다 작으면 Prng_complete 신호를 활성화시키고, Prng_value를 Tx MAC 블록과 DFPQ 블록에 전달하며, 만약 3이면 다시 LFSR을 2번 구동하여 2개의 의사 임의 숫자를 구한다. 만약 3의 값이 연속적으로 8번 나오면 0으로 선택한다.

PRNG 블록의 모의 실험 결과는 그림 18과 같다. 그림 18에서 PRNG 블록은 송신 프레임의 충돌이 발생하면, Tx MAC 블록으로부터 Prng_en 신호를 수신하여, 자신의 SA를 이용하여 의사 임의 숫자를 생성하고, 송신 Frame Controller에 의사 임의 숫자와 PRNG 완료 신호를 정확하게 전달하는 것을 알 수 있다.

Copyright (C) 2006 NuriMedia Co., Ltd.
www.dbpia.co.kr

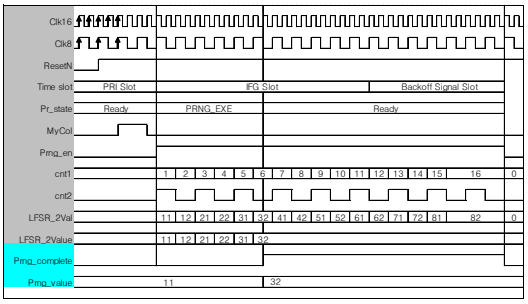

그림 18. PRNG 블록의 모의 실험 결과

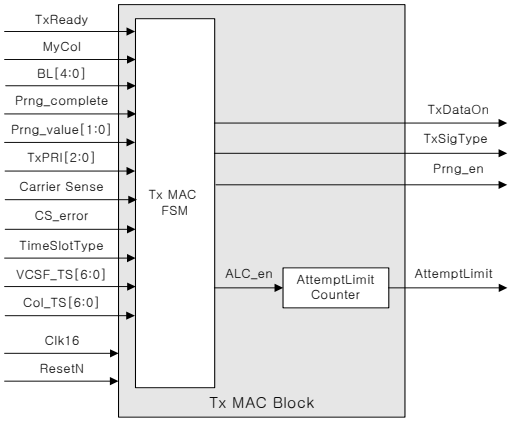

그림 19. Tx MAC 블록의 세부 블록 구성도

4.4 Tx MAC 블록

Tx MAC 블록의 세부 블록 구성도는 그림 19와 같다. 그림 19에서 Tx MAC 블록은 Frame Controller 블록으로부터 MyCol 신호가 수신되면 IFG 슬롯 동안 Prng_en 신호를 활성화시키고, IFG 슬롯 이후의 백오프 신호 슬롯 가운데 자신의 Prng_value 값과 일치하는 슬롯의 시작점에서 TxDataOn 신호를 활성화시키며, TxSigType 신호는 1로 둔다. 만약 백오프 레벨이 0이면 우선 순위 슬롯 가운데 자신의 TxPRI[2:0] 값과 일치하는 슬롯의 시작점에서 TxDataOn 신호를 활성화시키고, TxSigType 신호는 0으로 둔다. 그리고 TxReady 신호가 활성화된 상태에서 MyCol 신호가 1인 경우의 수를 AttemptLimit 카운터로 세어 그 값을 Frame Controller 블록에 전달한다. Frame Controller 블록은 만약 AttemptLimit 값이 254이하이면 송신을 시도하고, 만약 255이면 송신을 포기하며, TxReady 신호를 비 활성화시켜서 MAC Controller도 송신을 포기하도록 만든다.

Tx MAC 블록의 모의 실험 결과는 그림 20과 같다. 그림 20에서 Tx MAC 블록은 송신 Frame Controller에 송신 시간을 나타내는 TxDataOn 신호,

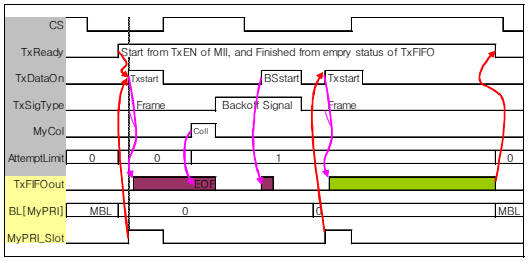

그림 20. Tx MAC 블록의 모의 실험 결과

송신 프레임이 유효 CS 프레임인지 충돌시 송신하는 백오프 신호인지를 구분하는 TxSigType 신호 및 MyCol 신호의 수를 나타내는 AttemptLimit 카운터 값을 정확하게 전달하는 것을 알 수 있다.

V. HomePNA 2.0 Transceiver 칩의 구현

HomePNA 2.0 규격을 구현하는 칩은 HomePNA 2.0 Transceiver 칩과 HomePNA 2.0 Analog Front End(AFE) 칩으로 구성된다. HomePNA 2.0 Transceiver 칩은 HomePNA 2.0 MAC 기능과 HomePNA 2.0 PHY 기능을 수행하고, HomePNA 2.0 AFE 칩은 댁내 전화 선로와 직접 연결되어 아날로그 종단 기능을 수행한다. HomePNA 2.0 규격을 구현하기 위하여 우리가 설계한 HomePNA 2.0 Transceiver 칩의 블록 구성도는 그림 21과 같다. 그림 21에서 HomePNA 2.0 Transceiver 칩은 Management 블록, Frame Controller 블록, HomePNA 2.0 MAC Controller 블록, 변조기 및 복조기로 구성된다.

그림 21의 블록 구성도를 기반으로 삼성 전자의 0.35um CMOS 공정으로 우리가 제작한 HomePNA 2.0 Transceiver 칩의 실물 사진은 그림 22와 같다.

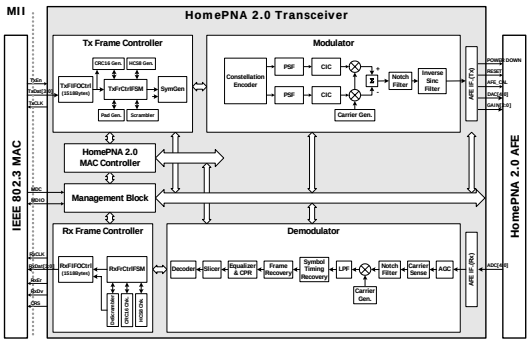

그림 21. HomePNA 2.0 Transceiver 칩의 블록 구성도

Copyright (C) 2006 NuriMedia Co., Ltd.
www.dbpia.co.kr

그림 22. HomePNA 2.0 Transceiver 칩의 실물 사진

그림 22의 HomePNA 2.0 Transceiver 칩은 Home PNA 2.0 MAC 기능과 HomePNA 2.0 PHY 기능을 수행하고, 3.3V 전원을 사용하며, 약 50만 Gate (Logic Cell 36만 Gate, Memory Cell 14만 Gate)로 구현하였고, 100 pin TQFP 패키지를 사용하였다.

Ⅵ. 결 론

본 논문은 HomePNA 2.0 MAC 프로토콜의 성능 분석 결과를 기술하고, 성능 분석 결과 도출된 HomePNA 2.0 MAC Controller의 요구 사항을 기술하며, 요구 사항을 만족시킬 수 있도록 우리가 설계한 HomePNA 2.0 MAC Controller 회로의 구조를 제시하고, HomePNA 2.0 MAC Controller를 구성하는 각 블록의 모의 실험 결과를 제공하며, 우리가 구현한 HomePNA 2.0 MAC Controller 회로가 내장된 HomePNA 2.0 Transceiver 칩을 제시하였다.

우리는 HomePNA 2.0 MAC Controller 회로를 Rx MAC 블록, DFPQ 블록, PRNG 블록 및 Tx MAC 블록으로 구성하였고, 각 블록의 세부 블록 구성도와 모의 실험 결과를 제시하였으며, 모의 실험 분석 결과 각 블록이 정확하게 동작하고, 높은 성능을 제공하는 것을 확인하였다. 또한 우리가 구현한 HomePNA 2.0 MAC Controller 회로가 내장된 HomePNA 2.0 Transceiver 칩은 HomePNA 2.0 MAC 기능과 HomePNA 2.0 PHY 기능을 수행하고, 3.3V 전원을 사용하며, 약 50 만 Gate로 구현하였고, 100 pin TQFP 패키지를 사용하였다.

본 논문에서 제시된 HomePNA 2.0 MAC Controller 회로와 HomePNA 2.0 Transceiver 칩은 전화선을 사용하는 댁내 망의 구축에 적용될 수 있다. 향후 연구 과제로는 HomePNA 2.0 AFE 칩의 설계와 제작에 대한 연구가 필요하다.

참 고 문 헌

[1] 김종원, 양재우, 김대영, "HomePNA 기술," *한국통신학회지*, Vol.17, No.11, pp.33-44, Nov. 2000.

[2] Walter Y. Chen, *Home Networking Basis*, Prentice Hall, 2004.

[3] http://www.homepna.org

[4] HomePNA, "Interface Specification for Home PNA 2.0 10M8 Technology," Dec. 1999.

[5] HomePNA, "Interface Specification for HomePNA 2.0 10M8 Technology Link Layer Protocols," Dec. 1999.

[6] E. H. Frank and J. Holloway, "Connecting the Home with a Phone Line Network Chip Set," *IEEE Micro*, pp.27-38, Apr. 2000.

[7] 김종원, 김대영, "HomePNA 2.0 MAC 프로토콜의 성능 분석," *한국통신학회논문지*, Vol. 30, No.10A, pp.877-885, 2005.

[8] L. Loh and Y. Ozturk, "Quality of Support and Priority Management in HomePNA 2.0 Link Layer," *Proceedings of the Eighth IEEE Symposium on Computers and Communications ISCC2003*, Vol.2, pp.861-866, 2003.

김 종 원(Jong Won Kim) 정회원

1980년 2월 한국항공대학교 항공전자공학과 학사
1998년 8월 충남대학교 전자공학과 석사
2003년 2월 충남대학교 전자공학과 박사 수료
1992년~현재 한국전자통신 연구원 책임연구원
<관심분야> 홈 네트워크, 액세스 네트워크, 유무선 MAC 프로토콜

김 대 영(Dae Young Kim) 종신회원

1975년 서울대학교 전자공학과 학사
1977년 한국과학기술원 전기전자공학과 석사
1983년 한국과학기술원 전기전자공학과 박사
1983년~현재 충남대학교 정보통신공학과 교수
2005년 현재 충남대학교 공과대학장
2003년~현재 ANF(Advanced Network Forum) 의장
2002년~현재 APAN-KR 의장
2002년~현재 KIEF 의장
<관심분야> Advanced Communication Protocol, Advanced Internet Protocol, 무선 인터넷

Copyright (C) 2006 NuriMedia Co., Ltd.
www.dbpia.co.kr