

위성 탑재체용 26.4 GHz 국부발진기의 설계 및 제작

정회원 신동환*, 류근관**, 장동필*, 이문규***, 염인복*, 오승엽****

Design and Fabrication of 26.4 GHz Local Oscillator for Satellite Payload

Dong-hwan Shin*, Keun-kwan Ryu**, Dong-pil Chang*,
Moon-que Lee***, In-bok Yom*, Seung-hyeub Oh**** *Regular Members*

요약

본 논문에서는 위성 탑재체용 26.4 GHz 국부 발진기를 설계 제작하였다. 제작된 발진기는 고안정도와 고신뢰도를 갖는 기본 주파수 발생부와 기본 주파수 발생부로부터 생성된 8.8 GHz의 신호를 3배배하여 26.4 GHz의 최종 발진 주파수를 만들어내는 주파수 체배부로 구성되어 있다. 기본 주파수 발생부는 샘플링 위상비교기(Sampling Phase Detector)를 이용한 위상 고정 방식의 발진기로 구성하였으며 고안정도를 갖는 OCXO를 기준 주파수원으로 사용하였다. 주파수 체배부는 자체 설계한 MMIC 3배배기와 증폭기를 이용하여 크기와 무게를 줄일 수 있었다. 개발된 국부 발진기는 +11 dBm 이상의 출력 전력과 10 kHz와 100 kHz의 오프셋 주파수에서 각각 -96 dBc/Hz와 -105 dBc/Hz의 위상 잡음 특성을 나타내며, 설계 요구규격을 모두 만족한다.

Key Words : Phase Locked Oscillator, Satellite Communication, SPD, MMIC, Frequency Tripler

ABSTRACT

A 26.4 GHz phase locked oscillator(PLO) for communication satellite transponder is developed. The PLO consists of fundamental frequency generation module(FFGM) and frequency multiplication part(FMP). The signal of 26.4 GHz is generated through frequency tripling process of 8.8 GHz fundamental frequency. Phase locking technique using sampling phase detector(SPD) is adopted to design the FFGM. The MMIC tripler and amplifier are also designed for the reduction of the size and mass of FMP. The phase noise characteristics are exhibited as -96 dBc/Hz at 10 kHz offset frequency and -105 dBc/Hz at 100 kHz offset frequency, respectively, with the output power over 11 dBm. All performance parameters are complied with the design requirements.

I. 서론

최근의 위성 통신 시스템은 현재 사용하고 있는 주파수 대역의 포화와 광대역 멀티미디어 서비스 제공 등을 위해 보다 높은 주파수 대역에서 동작하도록 설계되고 있으며, 이러한 경향으로 인해 준 밀리미터파 혹은 그 이상의 발진 주파수를 갖는 국부

발진기가 요구되고 있다. 특히 통신위성에 탑재되는 국부 발진기는 위성의 운용 기간(Life Time)동안 고장 없이 저 위상잡음의 안정적인 발진 주파수를 생성하여야 한다.

이러한 고 신뢰성, 고 안정성 그리고 저 위상잡음을 갖는 위성 탑재용 발진기는 기본 주파수 발생기인 수정 발진기와 다수의 체배기를 이용하는 기

* 한국전자통신연구원 광역무선기술연구그룹 (dh-shin@etri.re.kr),
*** 서울시립대학교 전자전기컴퓨터공학부 (mqlee@uos.ac.kr),
논문번호 : KICS2005-07-295, 접수일자 : 2005년 7월 19일

** 한밭대학교 전기전자제어공학부 (kkryu@hanbat.ac.kr)
**** 충남대학교 전자공학과 (ohseung@cnu.ac.kr)

본 주파수 체배 방식(Multiplier Chain Oscillator)과 유전체 공진기 발진기와 위상 고정 루프를 이용한 방식(Phase Locked Dielectric Resonator Oscillator; PLDRO) 등 여러 방식으로 설계되어 왔다^[1]. 기본 주파수 체배 방식의 발진기는 다수의 체배기와 체배기를 구동하기 위한 증폭기를 체배기 앞 단에 배치하여야 하며 또한 불요파 발생을 억제하기 위한 다수의 여파기를 필요로 한다. 이 방식의 발진기는 주파수 안정도와 위상잡음에서 우수한 성능을 나타낸다. 그러나 요구되는 발진 주파수가 높아질수록 제작에 소요되는 체배기, 증폭기, 여파기 등의 개별 부품의 수 또한 증가되므로 발진기의 크기, 무게, 제작비용 증가와 신뢰도의 저하를 가져올 수 있다.

반면, PLDRO 방식의 발진기는 상기 열거한 기본 주파수 체배 방식의 발진기의 단점을 극복할 수 있는 발진 방식으로 현재 여러 위성에 탑재되어 운용 중에 있다. PLDRO는 유전체 공진기를 이용한 전압 제어 발진기를 샘플링 위상비교기(Sampling Phase Detector; SPD) 등을 이용하여 위상 고정하는 방식의 발진기로 우수한 위상잡음 특성과 주파수 안정도를 갖는다. 그러나 이 또한 20 GHz 이상의 높은 발진 주파수를 요구하는 시스템에서는 샘플링 위상비교기 등의 성능 문제로 인해 직접 적용하기는 어렵다. 따라서 20 GHz 이상의 발진 주파수를 갖는 위상 고정 발진기는 최종 출력 신호를 주파수 분주기를 통해 분주비 만큼 떨어뜨린 후 그 신호를 위상비교기 신호와 비교하는 방식이나 20 GHz 이하에서 PLDRO를 구현한 후 주파수 체배기를 통과시켜 원하는 최종 주파수를 만들어 내는 방식 등을 이용하여 설계한다^[2].

본 논문에서는 기본 주파수 발생부로 PLDRO 방식으로 설계된 8.8 GHz 발진기와 MMIC 주파수 3 체배기와 증폭기로 구성된 주파수 체배부로 이루어진 통신위성 탑재체용 26.4 GHz 국부 발진기를 설계 제작하였다.

II. 기본 주파수 발생부의 설계 및 제작

기본 주파수 발생부는 시스템에서 요구하는 높은 주파수 안정도와 위상잡음 특성을 갖도록 설계된 8.8 GHz PLDRO이며 그 구성을 그림 1의 블록 다이어그램에 나타냈다. 기본 주파수 발생부는 전압 제어 유전체 공진기 발진기(Voltage Controlled Dielectric Resonator Oscillator; VCDRO), 저역 통과 여파기(Low Pass Filter; LPF), 완충 증폭기

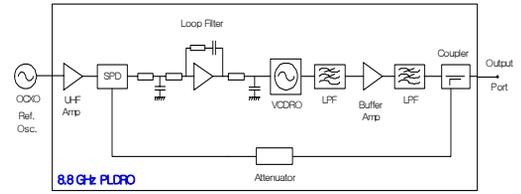


그림 1. 8.8 GHz 기본 주파수 발생부의 구성도
Figure 1. Block diagram of 8.8 GHz Fundamental Frequency Generation Module

(Buffer Amplifier), 방향성 결합기(Directional Coupler) 등으로 이루어진 RF 부분과 UHF 대역 증폭기, SPD, 루프 필터, 바이어스 회로 등으로 구성된 위상 고정 회로 부분으로 구성되어 있으며, 위성 탑재용으로 기 개발된 국부 발진기의 회로 구조를 채택함으로써 부품의 신뢰도를 확보하였다^[3, 4].

VCDRO는 이미 상업용 및 위성용으로 널리 사용되어 그 구조가 검증된 회로인 직렬 케환형 발진기를 채택하였다. 이는 부하에 따른 발진 주파수의 변동이 적으며, 회로가 간단하여 구현하기에 적당한 장점을 가지고 있다. 8.8 GHz 대역의 발진기를 구현하기 위한 능동 소자로는 Fujitsu사의 FHX35X HEMT를 사용하였으며 유전체 공진기는 Murata사의 DRD0710314V00B00T를 모델링하여 공진 회로로 이용하였다. 발진기는 유전체 공진기와 결합하는 마이크로스트립라인의 특성 임피던스를 일반적으로 사용되는 50 Ω보다 큰 80 Ω으로 설계하여 우수한 위상잡음 성능을 갖도록 하였다^[5].

완충 증폭기는 VCDRO의 출력 전력 증폭과 폴링 특성 향상을 위해 사용된다. 완충 증폭기의 능동 소자로 역시 Fujitsu사의 FHX35X HEMT를 이용하였고 평형 증폭기로 구성하여 단일 증폭기에 비해 P1dB를 3 dB 높였으며 입출력 반사계수 특성을 향상시켰다. 제작된 완충 증폭기는 발진 주파수 대역에서 10 dB의 이득 특성을 나타낸다.

두 개의 LPF는 VCDRO와 완충 증폭기의 뒤 단에 장착되며 고조파를 억제하는 역할을 한다. 마이크로스트립라인을 이용한 LPF는 저지 대역에서 주기적으로 나타나는 불요 특성으로 인해 3차 및 5차 고조파가 나타나게 되는데 이를 제거하기 위해 3차 및 5차에 해당하는 $\lambda/4$ 의 trap 회로를 LPF의 양단에 삽입함으로써 기본 주파수 발진부의 고조파 성분을 억압하도록 하였다.

방향성 결합기는 기본 주파수 발생부의 출력 이외에 출력의 일부를 추출하여 SPD 단자에 제공하는 역할을 수행한다. 방향성 결합기 결합 단자의 전

력은 박막 저항과 본딩 와이어를 이용하여 출력 전력에 대해 -8~-12 dB까지 총 4 dB의 가변 범위를 갖도록 설계되었다.

위상 고정을 위한 기준 주파수는 CTI에서 제공하는 100 MHz의 OCXO를 이용하여 외부에서 인가하도록 하였으며 이를 UHF대역 증폭기에서 증폭하여 SPD의 기준 주파수 입력 요구 조건인 17 dBm 이상이 되도록 하였다. SPD는 두 개의 쇼트키 다이오드, 한 개의 SRD(Step Recovery Diode) 및 두 개의 커패시터로 구성되어 있다. 기준 주파수는 SPD 내의 SRD 및 두 개의 커패시터를 통해 수많은 고조파를 발생하게 된다. 그 중 88번째의 고조파 성분이 VCDRO의 주파수 성분과 쇼트키 다이오드에서 위상 비교되게 된다. 루프 필터는 능동 저역 통과 필터로 여러 전압을 여과 및 증폭하여 VCDRO의 제어 전압으로 사용하게 되고 이러한 기능을 계속 반복하여 VCDRO의 주파수가 고 안정의 OCXO 주파수에 위상 고정된다.

위성 탑재용 부품의 경우 위성의 운용 기간 중에 발생할 수 있는 고장에 대비하여 주기(Primary Equipment)와 예비기(Redundant Equipment)를 탑재하여 운용된다. 특히 능동 부품의 경우 다수의 소자들로 구성되어 있으며 전력을 소모하는 소자들과 같이 고장률이 높은 소자들로 구성되어 있어 시스템 전체의 신뢰도를 떨어뜨리는 주원인이 되고 있다. 따라서 특히 고장률이 높은 능동 부품에 한해서는 주기 대 예비기의 비율이 1:1이 되도록 시스템 설계를 하고 있으며 국부 발진기 역시 그러한 부품중의 하나이다. 설계된 기본 주파수 발생부는 이러한 시스템 요구사항을 고려하여 주기와 예비기를 하나의 하우징에 일렬로 배치하여 각각의 발진기가 장착될 경우에 비해 크기와 무게가 절반 정도가 되도록 설계하였다.

기본 주파수 발생부의 크기를 줄이기 위해서는 하우징의 뒷면에 장착되는 위상 고정 회로부의 크기 역시 축소되어야 하며 이를 위해 4층의 PCB 기판을 이용하여 회로의 크기를 줄였다. 위상 고정 회로부는 위성 탑재체의 DC/DC 변환기로부터 전원을 공급받아 기본 주파수 발생부의 각 부에 전원을 공급하는 전원공급회로, SPD 칩, 기준 주파수 증폭 회로, 능동 필터부 및 위상 잠금 알람 신호부 등으로 구성되어 있다. 위상 고정 회로부의 부품 배치(Layout)시 EMC 문제 및 불요파 발생 문제를 줄일 수 있도록 상기한 회로들이 서로 최소한의 영향을 미치도록 설계하였다.

제작된 기본 주파수 발생부의 RF부와 위상 고정 회로부의 사진을 그림 2와 그림 3에 각각 나타냈다. 8.8 GHz 기본 주파수 발생부 모듈의 크기는 115×69×39 mm이고 무게는 310g 이하이다. DC 전원은 +15, +8, -8 V를 필요로 하며 OCXO를 제외한 PLDRO의 전력 소모는 1.2 W이다.



그림 2. 기본 주파수 발생부의 RF부
Figure 2. RF part of Fundamental Frequency Generation Module



그림 3. 기본 주파수 발생부의 위상 고정 회로부
Figure 3. Phase locking part of Fundamental Frequency Generation Module

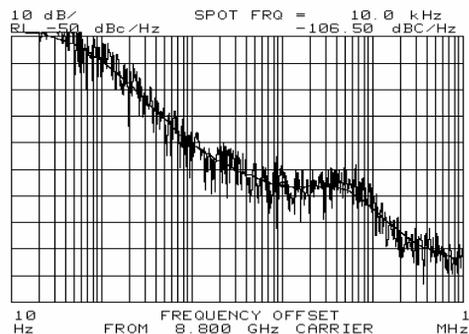


그림 4. 기본 주파수 발생부의 위상잡음 특성
Figure 4. Phase noise of Fundamental Frequency Generation Module

제작된 8.8 GHz 기본 주파수 발생부의 출력 전력 및 위상잡음 특성은 HP 8564E 스펙트럼 분석기를 이용하여 -20°C~70°C의 온도 범위에서 측정하였다. 그림 4는 측정된 위상잡음 특성으로 1 kHz, 10 kHz, 그리고 100 kHz 오프셋 주파수에서 각각 -90.67 dBc/Hz, -106.5 dBc/Hz, -114.83 dBc/Hz의 위상잡음 특성을 가지고 있으며, 출력 전력은 13.8 ± 0.2 dBm 이다.

III. 주파수 체배부 설계 및 제작

주파수 체배부는 기본 주파수 발생부에서 생성된 8.8 GHz 발진 출력을 입력으로 받아 3체배하여 26.4 GHz의 국부 발진 신호를 생성하는 역할을 한다. 주파수 체배부는 고주파수 대역에서의 손실 및 부정합의 영향 등을 고려하여 하향 주파수 변환기(downconverter) 모듈 내부에 장착된다. 주파수 체배부는 그림 5에 나타난 구성도와 같이 감쇄기, 주파수 3체배기, 저역 및 대역 통과 여파기, 구동 증폭기 그리고 테스트를 위한 방향성 결합기 등으로 구성된다. 주파수 체배부는 소형화를 위하여 주파수 3체배기와 구동 증폭기를 MMIC로 설계 및 제작하여 장착하였다.

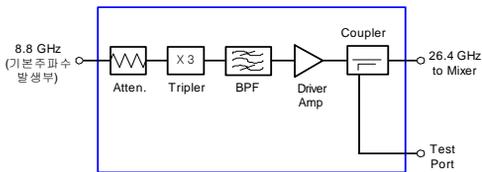


그림 5. 주파수 체배부의 구성도
Figure 5. Block Diagram of Frequency Multiplication Part

MMIC 주파수 3체배기는 넓은 주파수 대역에서 우수한 고조파 억압 특성을 얻을 수 있도록 Anti parallel diode(APD) pair를 이용하여 구현하였다¹⁾. APD 주파수 3체배기는 구조적으로 짝수차 하모닉 성분을 제거하기 때문에 일반적인 주파수 3체배기에서 요구되는 2f₀ 고조파 성분과 4f₀ 고조파 성분을 제거하기 위한 회로를 요구하지 않는 장점이 있다. 그러나 다이오드 주파수 체배기의 변환 손실이 10 dB 이상이므로 APD 주파수 3체배기의 뒷단에 증폭기를 배치하여 변환 손실을 줄일 수 있도록 설계하였다. 그림 6에 APD를 이용한 주파수 3체배기의 구성도를 도시하였다. APD를 구성하는 다이오드는 4f × 80 um 인 pHEMT의 드레인과 소스를 연

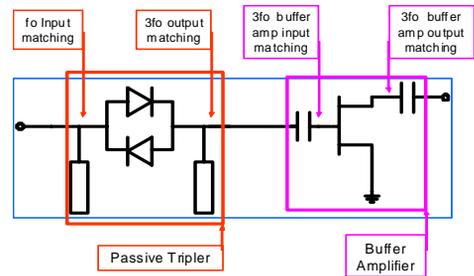


그림 6. APD 주파수 3체배기의 구조
Figure 6. Frequency tripler with anti-parallel diode(APD)

결하여 구현하였으며 완충 증폭기는 4f × 200 um 소자를 이용하여 구현하였다.

MMIC 주파수 3체배기는 Northrop Grumman Space Technology(NGST)사의 0.15 um GaAs pHEMT 공정을 이용하여 설계, 제작되었다. 그림 7은 제작된 MMIC 3체배기의 사진이다. MMIC 3체배기는 1.95mm×1.3mm의 크기로 제작되었으며, 칩 상태에서의 성능시험 결과 제작된 MMIC 3체배기는 입력 주파수 7.2~9.0 GHz, 출력 주파수 21.6~27 GHz의 넓은 주파수 영역에서 3 dB 변환손실 대역폭을 갖는다. 10 dBm의 신호 크기를 갖는 8.8 GHz 신호가 3체배기로 입력될 경우 변환 손실은 약 5 dB이며, 2차 고조파 억압 특성은 27 dBc 이상, 4차 고조파 억압 특성은 39 dBc 이상을 갖는 것으로 나타났다.

구동 증폭기는 주파수 3체를 통과한 26.4 GHz의 신호가 상향 주파수 변환기의 믹서를 충분히 구동할 수 있도록 전력을 증폭해 주는 역할을 한다. MMIC 구동 증폭기는 평형 증폭기 구조를 채택하였으며 Ka 대역에서 고이득을 실현하기 위하여 Inter-stage Matching 기법을 이용하여 설계하였다. 또한 효율을 높이기 위하여 출력단 pHEMT에 대하여 전력 정합회로를 구현하였다. 그리고 MMIC Bias의 단순화를 위하여 4개의 pHEMT에 동일한

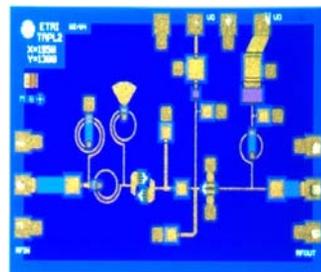


그림 7. MMIC 주파수 3체배기(1.95mm×1.3mm)
Figure 7. MMIC Frequency Tripler(1.95mm×1.3mm)

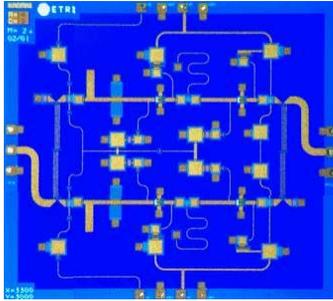


그림 8. MMIC 구동 증폭기(3.3mm×3.0mm)
Figure 8. MMIC Drive Amplifier(3.3mm×3.0mm)

Bias 전압이 동시에 가해지도록 설계하였다. 그림 8에 제작된 MMIC 구동 증폭기의 사진을 나타냈다. 제작된 구동 증폭기는 3.3mm×3.0mm 크기이며, 18GHz~30GHz 대역에서 15dB 정도의 이득과 21 dBm의 P1dB 특성이 측정되었다.

대역 통과 필터는 주파수 3체배기의 뒷단에 연결되며, 저역 통과 필터와 대역 통과 필터가 결합된 형태로 제작하여 주파수 3체배기를 통과한 신호에서 나타나는 불요파 성분과 고조파를 제거하도록 하였다.

방향성 결합기는 26.4 GHz의 국부 발진기 신호를 테스트하기 위해 사용된다. 방향성 결합기의 주 신호는 상향 주파수 변환기의 믹서로 입력되며 -13 dB의 결합도를 갖는 결합 단자를 통해 추출된 신호는 국부 발진기의 성능 시험을 위해 사용된다. 그림 9는 제작된 주파수 체배부의 사진이다.

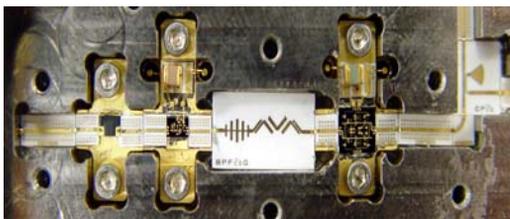


그림 9. 제작된 주파수 체배부
Figure 9. Fabricated Frequency Multiplication Part

IV. 시험 결과

제작된 26.4 GHz 국부 발진기는 독립된 기본 주파수 발생부와 하향 주파수 변환기 모듈 내에 배치된 주파수 체배부로 구성되어 있다. 26.4 GHz 국부 발진 신호는 하향 주파수 변환기의 발진기 시험 단자를 통해 출력되며 HP 8564E 스펙트럼 분석기 및 파워 미터 등을 시험 단자에 연결하여 발진기 출력

신호를 측정하였다.

그림 10은 26.4 GHz 발진기의 출력 전력 스펙트럼을 보여준다. 발진기의 시험 단자에서의 출력 전력은 -3.33 dBm으로 방향성 결합기의 -13 dB 결합 계수와 결합기와 시험 단자 사이를 연결하는 마이크로스트립라인의 삽입 손실을 고려하면 하향 주파수 변환기의 믹서에 인가되는 국부 발진 신호는 11 dBm 이상이 된다.

발진기의 위상 잡음 특성은 그림 11의 그래프에 나타나 있다. 26.4 GHz 발진기의 측정된 위상잡음 특성은 1 kHz, 10 kHz, 그리고 100 kHz 오프셋 주파수에서 각각 -80.83 dBc/Hz, -96.0 dBc/Hz, -105.33 dBc/Hz이다. N 체배기를 이용한 발진기에서 체배된 신호의 위상 잡음 특성은 원 신호의 위상 잡음 특성에 비해 이론적으로 20logN dB만큼 저하되게 된다. 본 논문의 발진기에서는 3 체배기를 이용하였으므로 이론적인 위상 잡음의 열화량은 20log3 = 9.54 dB이다. 그림 11의 위상 잡음 그래프와 그림 4의 기본 주파수 발생부의 위상 잡음 그래프를 비교해 보면 위상 잡음 특성의 차이가 약 10 dB로

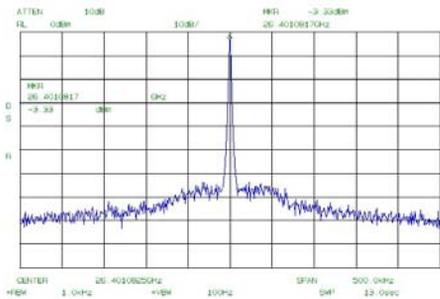


그림 10. 26.4 GHz 발진기의 출력 전력 스펙트럼
Figure 10. Output Spectrum of 26.4 GHz Oscillator

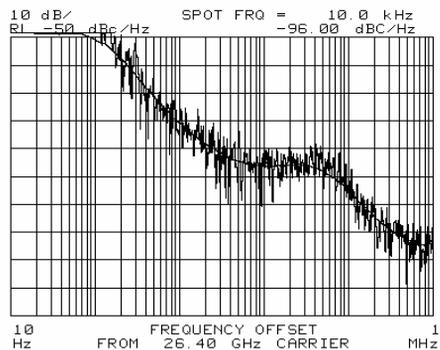


그림 11. 26.4 GHz 발진기의 위상잡음
Figure 11. Phase Noise of 26.4 GHz Oscillator

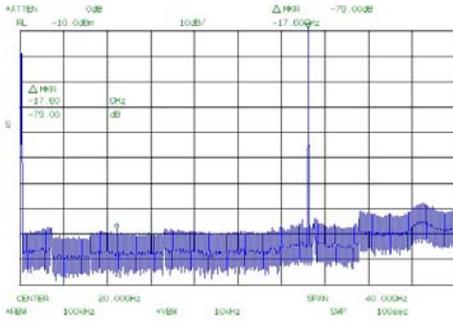


그림 12. 26.4 GHz 발진기의 고조파 출력 특성
Figure 12. Harmonic Outputs of 26.4 GHz Oscillator

이론적인 예측값과 약 0.5 dB의 차이를 보이고 있으나 이는 계측기의 측정 오차와 구동 증폭기 등에서 추가적으로 위상 잡음 특성에 영향을 미친 것이라 사료되며 이러한 점을 고려할 때 이론적인 예측값과 대체로 일치함을 알 수 있다.

26.4 GHz 발진기의 고조파 특성을 그림 12에 나타냈다. 발진기의 고조파들은 기본 주파수인 8.8 GHz의 체배된 주파수에서 발생한다. 이러한 고조파들을 억압하기 위해 주파수 체배부 안에 필터를 삽입하였으며, 또한 짝수차 고조파에 대해 우수한 억압 특성을 갖는 APD 주파수 체배기를 사용하여 기본 주파수 성분을 제외한 나머지 고조파들을 효과적으로 억압하였다. 발진기 신호와 8.8 GHz 기본 주파수와의 신호 크기의 차이는 그림 12에서와 같이 79 dBc임을 알 수 있다.

26.4 GHz 발진기의 불요파 출력 성분은 기준 주파수 성분인 100 MHz OCXO로부터 발생하는 것이 대부분이다. OCXO에 기인한 불요파는 발진 주파수를 중심으로 100 MHz 간격을 두고 발생하며 위성통신시스템과 같이 넓은 주파수 대역을 사용하

는 시스템에서는 대역 내에 발생할 수 있어 크기가 엄격히 제한된다. OCXO 불요파 성분의 크기는 26.4 GHz ± 1 GHz의 범위에서 최대 82 dBc의 성능을 나타낸다. 표 1에 26.4 GHz 발진기의 설계 요구규격과 측정 결과를 기술하였다.

V. 결론

본 논문에서는 위성통신 중계기용 26.4 GHz 국부발진기를 기본 주파수 발생부와 주파수 체배부로 구성하여 제작하였다. 기본 주파수 발생부는 VCDRO와 SPD를 이용한 8.8 GHz 위상 고정 발진기로 제작되었으며 주파수 체배부는 MMIC 주파수 3체배기와 구동 증폭기 등으로 구성되었다. 제작된 발진기의 크기를 줄이기 위하여 기본 주파수 발생부는 주기와 예비기를 한 하우징 내에 배치하였으며, 주파수 체배부는 하향주파수변환기 내에 배치하여 위성용 부품으로 요구되는 무게 규격을 만족시킬 수 있었다. MMIC 주파수 3체배기는 APD를 이용하여 넓은 주파수 대역에서 안정적으로 동작하면서 2차와 4차 고조파 성분을 효과적으로 억압할 수 있었다. 전체적인 26.4 GHz 국부 발진기는 위성 중계기용 국부발진기의 요구 규격을 모두 만족시켰다. 본 논문에서 개발한 국부 발진기 및 MMIC 소자들은 위성 중계기뿐만 아니라, 무선 LAN이나 LMDS(Local Multipoint Distribution Service) 와 같이 고안정, 고신뢰도를 요구하는 통신 시스템의 국부 발진기 설계에 응용할 수 있겠다.

참 고 문 헌

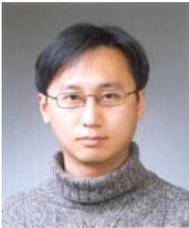
- [1] Ben Hitch and Tom Holden, "Phase Locked DRO/CRD for Space Use", *Proceeding of the 1997 IEEE International Frequency Control Symposium*, pp. 1015-1023, 1997.
- [2] J. Perez, P. Dorta, and F. Sierra, "A Comparison of the Performance of Three Different Phase Locked Oscillators Fabricated at 21 GHz", *1992 IEEE MTT-S Digest*, pp. 305-308, 1992.
- [3] K.K.Ryu, M.Q.Lee, I.B.Yom and S.P.Lee, "Development of EQM(Engineering Qualified Model) Local Oscillator for Ka-band Satellite Transponder", *Microwave and Optical Technology Letters*, vol. 40, no. 3, pp. 198-200, February 2004.

표 1. 26.4 GHz 발진기의 전기적 성능
Table 1. Electrical Performance of 26.4 GHz Oscillator

Parameter	Requirement	Measurement
Frequency [GHz]	26.4	26.4
Output Power [dBm]	10	11
Phase Noise [dBc/Hz]		
@ 1 kHz offset	-80	-80.8
@ 10 kHz offset	-91	-96.0
@ 100 kHz offset	-101	-105.3
@ 1 MHz offset	-118	-125.0
Harmonics [dBc]	30	79
Spurious [dBc]	70	82
Temperature [°C]	-15 ~ 65	-20 ~ 70

- [4] 류근관, 이문규, 염인복, 이성팔, “Ka-band 위성 중계기용 국부발진기의 우주인증모델(EQM) 개발”, *한국전자과학회논문지*, vol. 15, no. 4, pp. 335-344, 2004년 4월.
- [5] M.Q.Lee, K.K.Ryu, and I.B.Yom, “Phase Noise Reduction of Microwave HEMT Oscillators Using a Dielectric Resonator Coupled by High Impedance Inverter,” *ETRI Journal*, vol. 23, no. 4, pp. 199-201, 2001.
- [6] 문성모, 이문규, “Anti-parallel diode pair를 이용한 K-band MMIC 주파수 3체배기 설계”, *2004국 추계 마이크로파 및 전파전파 학술대회*, vol.27, no. 2, pp. 339-342, 2004년 9월.

신 동 환 (Dong-hwan Shin) 정회원



1996년 8월 충남대학교 전자공학과 졸업
 1999년 2월 충남대학교 전자공학과 석사
 1999년 4월~현재 한국전자통신연구원 위성통신RF 연구팀
 <관심분야> 초고주파 능동회로, 위성통신 시스템

류 근 관 (Keun-kwan Ryu) 정회원



1992년 2월 광운대학교 전자통신공학과 졸업
 1994년 2월 광운대학교 전자통신공학과 석사
 2000년 2월 광운대학교 전자통신공학과 박사
 2000년 3월~2003년 1월 한국전자통신연구원 통신위성개발센터

터 선임연구원
 2003년 2월~현재 한밭대학교 전기전자제어공학부 조교수
 <관심분야> 초고주파 회로(MMIC, Hybrid) 설계, 안테나 설계

장 동 필 (Dong-pil Chang) 정회원



1992년 2월 충남대학교 전자공학과 졸업
 1994년 2월 충남대학교 전자공학과 석사
 1994년 2월~현재 한국전자통신연구원 선임연구원
 <관심분야> 무선통신, 마이크로

웨이브 부품, 위성통신

이 문 규 (Moon-que Lee) 정회원



1992년 2월 한국과학기술원 전기 및 전자공학과 졸업
 1994년 2월 서울대학교 전자공학과 석사
 1999년 2월 서울대학교 전기공학부 박사

1999년 3월~2002년 2월 한국전자통신연구원 통신위성개발센터 선임연구원
 2002년 3월~현재 서울시립대학교 전기전자컴퓨터공학부 조교수
 <관심분야> 마이크로파/밀리미터파 능동(MMIC, Hybrid) 및 수동 부품회로 설계

염 인 복 (In-bok Yom) 정회원



1990년 2월 한양대학교 전자공학과 졸업
 2004년 2월 충남대학교 전자공학과 석사
 2004년 3월~현재 충남대학교 전자공학과 박사과정

1990년 2월~현재 한국전자통신연구원 위성통신RF기술팀
 <관심분야> 마이크로파 수동 및 능동 회로, MMIC 회로 설계, 위성통신시스템

오 승 엽 (Seung-hyeub Oh) 정회원



1971년 2월 연세대학교 전기공학과 졸업
 1973년 2월 연세대학교 전기공학과 석사
 1982년 2월 연세대학교 전기공학과 박사

1980년 8월~1981년 8월 일본 동북대 전기통신연구소 객원연구원
 1985년 5월~1986년 5월 미국 펜실바니아주립대학 객원연구원
 1977년~현재 충남대학교 전자공학과 교수
 <관심분야> 초고주파 부품 및 안테나, 이동통신, 마이크로파대역 시스템