

PHEMT 크기 최적화를 이용한 무선랜용 5 GHz 대역 MMIC 전력증폭기 설계 및 제작

준희원 박 훈*, 정희원 황 인 갑**, 윤 경 식*°

Design and Fabrication of 5 GHz Band MMIC Power Amplifier for Wireless LAN Applications Using Size Optimization of PHEMTs

Hun Park* Associate Member, In-Gab Hwang**, Kyung-Sik Yoon*° Regular Members

요 약

본 논문에서는 게이트 길이 $0.5\mu\text{m}$ 의 GaAs PHEMT를 이용하여 5 GHz 대역 무선랜에 사용 가능한 MMIC 2단 전력증폭기를 설계 제작하였다. PHEMT 게이트 폭을 MMIC 전력증폭기에 요구되는 선형성과 PAE(전력부가 효율)을 동시에 충족시키기 위하여 최적화 하였다. 입력 P1dB로부터 3dB back-off 전력에서 25dBc이상의 IMD와 공급전압 3.3V에서 22dBm 이상의 출력을 얻기 위하여 $0.5\mu\text{m} \times 600\mu\text{m}$ 크기의 구동단 PHEMT와 $0.5\mu\text{m} \times 3000\mu\text{m}$ 크기의 증폭단 PHEMT를 사용하였다. 2단 MMIC 전력증폭기는 광대역 특성으로 HIPERLAN/2와 IEEE802.11a에서 사용할 수 있도록 설계하였다. 제작된 PHEMT MMIC 전력증폭기는 3.3V에서 동작할 때 최대 20.1dB의 선형 이득과 22dBm의 최대 출력전력, 24%의 PAE를 보여주며, 입력과 출력 정합회로를 온 칩으로 설계한 전력증폭기의 칩 크기는 $1400 \times 1200\mu\text{m}^2$ 이다.

Key Words : PHEMT, Power Amplifier, Size Optimization, WLAN, MMIC

ABSTRACT

In this paper an MMIC 2-stage power amplifier is designed and fabricated for 5GHz wireless LAN applications using $0.5\mu\text{m}$ gate length PHEMT transistors. The PHEMT gate width is optimized in order to meet the linearity and efficiency of the MMIC power amplifier. The $0.5\mu\text{m} \times 600\mu\text{m}$ PHEMT for the drive stage and $0.5\mu\text{m} \times 3000\mu\text{m}$ PHEMT for the amplification stage are the optimized sizes to achieve more than 25dBc of third order IMD at the power level of 3dB back-off from the input P1dB and more than 22dBm output power under a supply voltage of 3.3V. The two-stage MMIC power amplifier is designed to be used for the both of HIPERLAN/2 and IEEE 802.11a because of its broadband characteristics. The fabricated PHEMT MMIC power amplifier exhibits a 20.1dB linear power gain, a maximum 22dBm output power, a 24% power added efficiency under 3.3V supply voltage. The input and output on-chip matching circuits are included on a chip of $1400 \times 1200\mu\text{m}^2$.

※ 본 연구는 과학기술부와 KISTEP의 재정지원에 의하여 수행 되었으며, IDEC의 설계도구 지원에 의하여 연구 되었음.

* 고려대학교 전자 및 정보공학부 (ksyoon@korea.ac.kr), (° : 교신저자)

** 전주대학교 전기전자정보통신공학부

논문번호: KICS2006-05-192, 접수일자: 2006년 5월 1일, 최종논문접수일자: 2006년 6월 16일

I. 서론

초고속 무선 접속 기술은 ‘언제’, ‘어디서나’ 사용자에게 서비스를 제공할 수 있는 미래 지향적 서비스 기술로 많은 관심의 대상이 되고 있다. 최근 노트북 PC와 PDA 등과 같은 휴대용 단말기의 보급이 확산됨에 따라 이들을 장소에 관계없이 네트워크에 연결시키는 수단으로 무선랜의 사용이 증가하고 있다.

1997년 IEEE는 첫번째 무선 랜 규격인 IEEE Std. 802. 11-1997를 채택함으로써 국부적 무선망으로 연결된 장비들이 서로 통신할 수 있도록 하였다. 현재 무선랜은 2.4GHz를 사용하는 최대 11Mbps 전송속도의 802.11b가 가장 많이 사용되고 있으나 보다 빠른 전송속도를 위하여 최대 전송속도 54Mbps를 지원하며 2.4GHz를 사용하는 802.11g와 5GHz 대역을 사용하는 802.11a와 유럽의 HIPERLAN/2도 연구되고 있다^{[1]~[4]}.

5GHz 대역 무선랜은 2.4GHz 무선랜에 비하여 속도가 빠르고 주파수 대역폭도 넓어 동시 가입자수를 늘릴 수 있는 장점이 있어 앞으로 많이 사용될 것으로 생각된다. 무선랜용 전력증폭기는 주로 이동이 가능한 노트북 컴퓨터와 같은 장비에 사용되기 때문에 소형화와 함께 저전력 소모가 요구되며, 이를 위하여 사용 주파수 및 출력 그리고 이득과 같은 설계규격을 만족시키는 범위에서 전력부가 효율(Power Added Efficiency, PAE)이 높은 특성을 지녀야 한다.

전력증폭기는 소신호 증폭기와는 달리 비선형 동작특성을 보이므로 정확한 출력전력을 예측하기 위하여 사용되는 소자의 정확한 대신호 모델이 필요하다. 그러나, 전력증폭기에 사용하고자 하는 PHEMT의 정확한 경험적 대신호 모델은 얻기가 어려워, 측정기반의 대신호 모델을 많이 사용한다. 따라서, 본 논문에서는, 무선랜용 전력증폭기 규격의 선형성과 효율을 동시에 충족시키기 위하여 게이트 길이 0.5 μm GaAs PHEMT의 측정기반 대신호 모델인 ROOT 모델을 이용하여 PHEMT의 게이트 폭 크기를 최적화하여 MMIC 전력증폭기를 설계하였다.

II. 전력 증폭기 설계

2.1 트랜지스터 크기의 최적화

본 논문에서는 IEEE 802.11a와 유럽형 무선랜의 표준인 HIPERLAN/2에서 활용할 수 있는 5.1~

5.8GHz 대역 특성을 갖는 전력증폭기를 설계 제작하였다. 표 1에 보이는 바와 같이 설계하고자 하는 전력 증폭기의 규격은 이득 20dB이상, 출력전력 22dBm이상, 효율25%이상 그리고 P1dB에서 3dB back-off 한 지점에서 IMD3는 25dBc이상, 임출력 반사손실은 각각 10dB 이상이다.

전력증폭기는 큰 전력의 출력을 공급하는 증폭기로 요구되는 중요한 규격은 소신호 증폭기와는 달리 PAE(전력부가효율), 선형성, 그리고 IMD3(상호변조)이다. 따라서 증폭기의 설계방법도 소신호증폭기 설계 방법과는 달리, 일반적으로 비선형성을 상세시켜주는 회로를 부가하여 선형성을 높이거나 로드 풀과 같은 실험적 방법을 도입하여 대신호에 대한 정확한 정합회로를 결정한다. 그러나 CAD 기술의 발전과 트랜지스터 모델이 정확해짐에 따라 대신호 모델을 이용한 설계 결과도 정확성이 높아지고 있으며 로드 풀과 같은 설계방법도 시뮬레이션으로 가능하게 되었다. 본 논문에서는 5GHz 대역 무선랜용 전력증폭기에 요구되는 높은 선형성과 효율을 동시에 얻기 위하여 부가적인 회로를 사용하는 대신에 PHEMT의 ROOT 모델을 이용하여 PHEMT 게이트 폭의 크기에 따른 PAE와 IMD3를 시뮬레이션하여 같은 전력 소모의 조건에서 높은 PAE와 작은 IMD3를 갖는 최적의 PHEMT 크기를 결정하여 전력증폭기를 설계하였다.

설계에 사용한 PHEMT는 ETRI에서 제공한 게이트 길이 0.5 μm GaAs PHEMT이며, 5GHz 대역에서 $I_d=160\text{mA}$, $V_{ds}=3.3\text{V}$ 일 때 게이트 폭 3000 μm PHEMT의 G_{max} 은 15.44dB로 20 dB의 이득을 얻기 위하여서는 2단의 증폭기가 필요하다. 그러므로 이득 20dB에서 출력전력 22dBm과 전체 증폭기의 효율 25%를 만족하도록 첫번째 단 구동증폭기의 이득을 11dB 소모전류를 40mA, 둘째단 전력증폭기는 이득이 9dB 소모전류를 160mA로 설정하였다.

각 단에 필요한 이득과 소모전류를 결정한 후에 최적의 PHEMT 게이트 크기를 구하기 위하여 구동단에 사용 가능한 PHEMT의 게이트 크기를 300~600 μm 의 범위에서 100 μm 간격으로 변화시켰고, 증폭단은 1200~3600 μm 의 범위에서 600 μm 간격으로 변화시켜 전력증폭기의 PAE와 IMD3 특성을 시뮬레이션 하였다.

그림 1에 보이는 바와 같이 증폭단 PHEMT 게이트 크기를 고정하고 구동단 PHEMT의 크기를 변화시키면 크기가 증가함에 따라 IMD3는 나빠지고 PAE는 증가한다. 또한, 구동단 PHEMT의 크기를

고정하고 증폭단 PHEMT의 크기를 증가시키면 증폭단 PHEMT의 크기가 2400 μm 를 기준으로 크기가 2400 μm 보다 작을 때는 크기가 증가함에 따라 IMD3는 나빠지고 PAE는 증가하나 2400 μm 보다 클 때는 크기가 증가함에 따라 IMD3는 좋아지나 PAE는 감소한다. PHEMT 게이트 크기가 2400 μm 일 때 I_{dss} 는 490mA로 소모전류 160mA는 I_{dss} 값의 32.6%이다. 즉, 동작점의 전류가 I_{dss} 의 32.6%보다 작으면 IMD3는 좋아지나 PAE는 감소하였으며 32.6%보다 크면 IMD3는 나빠지고 PAE는 증가한다. 이 결과는 그림1에 보이는 바와 같이 IMD3와 PAE간에 선택할 수 있는 최적의 PHEMT 크기가 있음을 보여준다. 따라서, IMD3를 만족하면서 PAE가 높은 PHEMT 게이트 크기의 조합을 결정하였다. IMD3가 25dBc이상이고, PAE가 3.3V에서 약 25%인 PHEMT 게이트 크기는 그림 1에서 X 표시한 지점으로 구동단 PHEMT의 크기는 0.5 μm x 600 μm (4 finger x 150 μm)이고, 증폭단 PHEMT 크기는 0.5 μm x 3000 μm (20 finger x 150 μm)이다.

2.2 2단 MMIC 전력증폭기의 설계

선택한 증폭단 트랜지스터의 소신호 주파수특성은 그림 2에 보이는 바와 같이 5.5GHz에서 G_{max} 는 15.44dB이고 K(Rollett Stability Factor)는 5.72GHz이하에서는 1보다 작아져서 B(Stability Measure)가 전 주파수대역에서 0보다 크지만 전 주파수대역에서 무조건 안정적이지 못하다. C밴드 전체에서 무조건적 안정 조건을 만족시키고, 광대역 특성과 이득 평탄도를 얻기 위하여 드레인 단자에서 게이트 단자로 R-C 부성 귀환 회로를 각 단의 증폭기에 사용하였다^{15, 6)}.

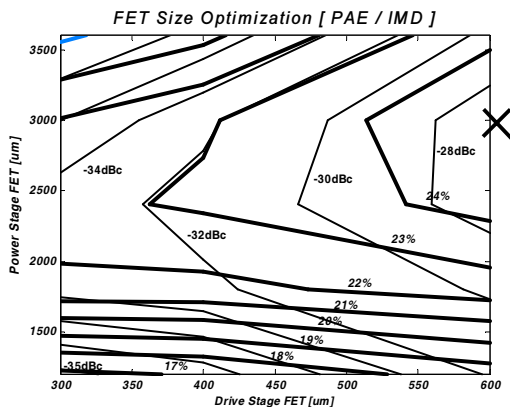


그림 1. 각 단의 능동소자 크기에 대한 PAE(-), IMD(-) 윤곽선도

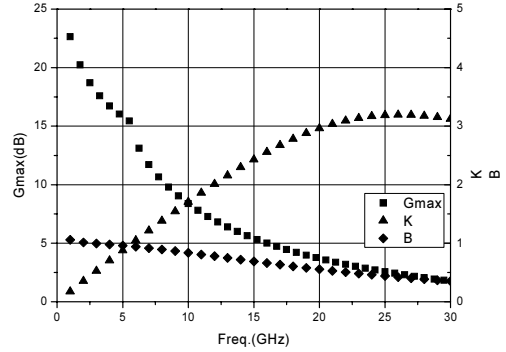


그림 2. 0.5 μm x 3000 μm PHEMT의 소신호 주파수 특성

저항값이 2k Ω 이고 커패시터 값이 4.86pF일 때 트랜지스터는 무조건 안정조건을 만족하였으며 이때의 G_{max} 값은 14.58dB로 2단 증폭기로 설계할 경우 증폭기의 전체 이득인 20dB를 만족할 만큼의 이득 값이다.

그림 3은 설계된 전력증폭기의 회로도이며, layout 후 각 회로소자의 연결부분을 마이크로스트립 라인으로 모델링하여 다시 시뮬레이션 하였다. 바이어스단, 입출력 정합회로 그리고 각 단을 연결하는 중간 정합회로를 모두 칩 내부에 포함시켜 패키징시에 별도의 오프칩 정합이 필요없도록 설계하였다. 입출력 정합회로는 높은 이득과 저주파 안정도를 향상시키기 위하여 고역통과 특성을 갖도록 하였으며 로드풀 시뮬레이션으로 최대 출력점의 정합 회로로 결정하였다. 이 입출력 정합회로는 ETRI PHEMT 라이브러리 공정에서 제공하는 MIM 커패시터와 rectangular spiral 인덕터로 구현하였다⁷⁾.

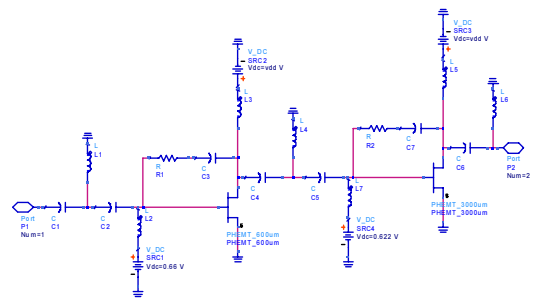


그림 3. 2단 전력증폭기의 회로도

그림 4는 무선랜 주파수대역에서 설계한 전력증폭기의 소신호 특성으로 5.1~5.8GHz대역에서 이득 20dB 이상의 광대역 특성, 10dB 이상의 입출력 반사손실을 보여 주고 있다.

전력증폭기의 대신호 특성과 선형성을 알아보기

위하여 1-tone, 2-tone 시뮬레이션을 수행하였다. 1-tone 시뮬레이션 결과인 입력전력에 따른 출력전력, 전력이득과 PAE가 그림 5(a)에 보인다. 공급전압이 3.3V일 때 소모전류는 200mA이고 주파수 5.25GHz에서 20.9dB의 선형전력이득과 23.9dBm의 P1dB 출력전력을 가지며, 이때 PAE는 32.5%이다. 신호의 왜곡 및 선형성 특성을 보여주는 2-tone 시뮬레이션을 하여 IMD3 특성을 확인하였다 기본 주파수 5.25GHz와 1MHz tone 폭의 조건에서 시뮬레이션 한 결과 그림 5(b)에서와 같이 약 34.83dBc의 IMD3를 얻었다.

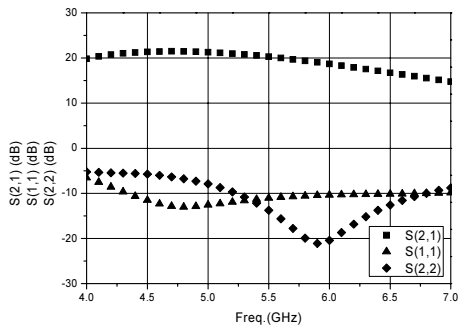
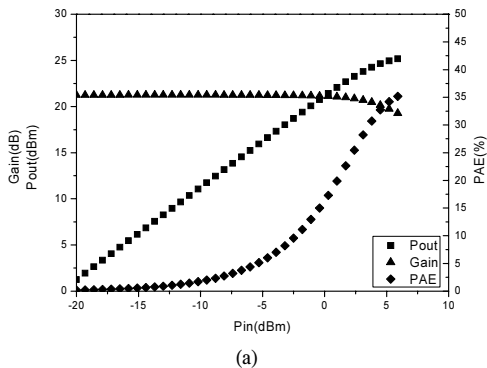
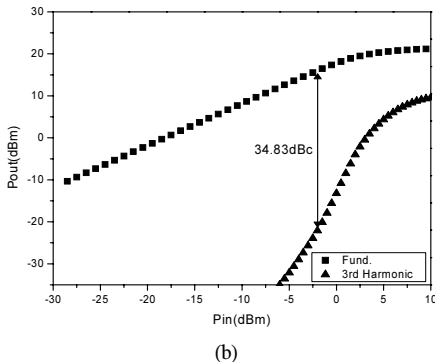


그림 4. 전력 증폭기의 소신호 주파수 특성, S21, S11, S22



(a)



(b)

그림 5. (a) 전력 증폭기의 입력전력에 따른 출력전력, 전력 이득과 PAE, (b) 2-tone 시뮬레이션을 통한 IMD3 결과

III. 2단 MMIC 전력증폭기 제작 및 측정 결과

본 논문에서 설계된 전력증폭기는 ETRI PHEMT 라이브리리 공정으로 제작되었으며, 그 특성을 측정 하였다. 그림 6은 소신호 측정 결과를 보여준다. 이득은 5.25GHz에서 20.1dB, 5.8GHz 에서 16.7dB로 주파수가 높아짐에 따라 감소하였다. S11은 5.25GHz에서 -6.9dB, 5.8GHz에서 -4.6dB이고 S22는 5.25GHz에서 -8.0dB, 5.8GHz에서 -6.8dB로 S11과 S22 역시 주파수가 높아짐에 따라 특성이 설계 값에 미치지 못하였다.

그런데, 그림4에서 보는 바와 같이 전력증폭기의 광대역 특성을 위하여 S11의 경우 4.8GHz, S22의 경우 5.9GHz에서 최소 값을 갖도록 설계하였다. 그러나, 측정된 S11과 S22 모두 낮은 주파수 쪽으로 이동하여 S11은 4GHz 이하에서, S22는 5GHz에서 최소 값을 가져 입출력 정합 값이 설계 값과 많이 벗어나 있음을 알 수 있으며, S11과 S22의 부정합이 이득 특성 저하에도 영향을 미친 것으로 생각된다.

그림 7(a), (b), (c)는 각각 제작된 전력증폭기의 1-tone 측정 결과와 2-tone 측정 결과를 보여준다. Vdd=3.3V이고 Id=200mA일 때 5.25GHz에서 이득은 그림 7(a)에 보이는 바와 같이 약 20.1dB, 출력 P1dB는 22dBm이며, P1dB에서 3dB back-off 한 -3dBm의 입력 전력에서 IMD3는 그림 7(b)에 보이는 바와 같이 35.3dBc로 설계 규격을 만족하였다. 그러나, 5.8GHz에서 이득은 그림 7(a)에 보이는 바와 같이 16.7dB, 출력 P1dB가 19dBm이고, P1dB에서 3dB back-off 한 지점에서 IMD3는 그림 7(c)에 보이는 바와 같이 35.8dBc로 일부 항목이 설계 규격에는 약간 못 미쳤다. 증폭기의 측정된 결과는 설계 결과와 함께 표 1에 요약되어 있다. 그림 8은 제작된 전력증폭기의 칩 사진으로 크기는 1400×1200 μm^2 이다. 신호의 입력은 왼쪽, 출력은 오른쪽으로 layout

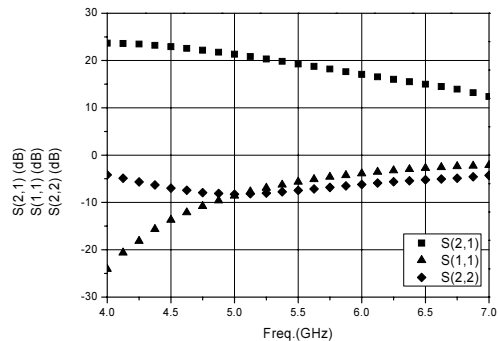


그림 6. 제작된 증폭기의 소신호 측정 결과

하여 신호가 한 방향으로 진행하여 layout에 의한 신호의 귀환으로 증폭기가 오동작 하는 것을 방지하였으며, PHEMT의 드레인 바이어스는 상단에 게이트 바이어스는 하단에 위치시켜 두 개의 바이어스 라인이 서로 교차하지 않도록 하였으며 신호의 입력력 측정 패드와 바이어스 패드를 좌우 상하로 배치하여 on-wafer 측정이 가능하도록 layout 하였다.

IV. 결론

본 논문에서는 게이트 길이 0.5 μm 의 GaAs PHEMT를 이용하여 5GHz대역 무선랜에 사용 가능한 MMIC 2단 전력증폭기를 설계 제작하였다.

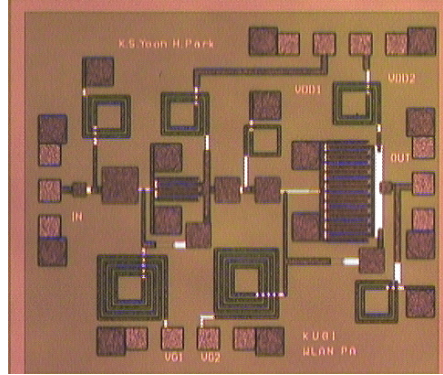


그림 8. 제작된 전력증폭기의 사진(1400x1200 μm^2)

입력과 출력 정합회로를 칩 내부에 내장한 전력 증폭기 칩의 크기는 1400 \times 1200 μm^2 이다. PHEMT 게이트 폭은 MMIC 전력증폭기의 선형성과 PAE를 동시에 얻기 위하여 게이트 폭 크기를 최적화하였다. 최적화 된 게이트 폭의 크기는 같은 전력 소모 시 게이트 폭 크기 대 PAE와 IMD3의 윤탁선도를 그린 후 높은 PAE와 작은 IMD3를 갖는 구동단과 증폭단 PHEMT의 크기로 결정하였다. 공급전압 3.3V 소모전류 200mA에서 입력 P1dB로부터 3dB back-off 전력에서 25dBc이상의 IMD3와 25%이상의 PAE를 얻기 위하여 0.5 μm \times 600 μm (4 finger \times 150 μm) 크기의 구동단 PHEMT와 0.5 μm \times 3000 μm (20 finger \times 150 μm) 크기의 증폭단 PHEMT를 사용하였다.

제작된 2단 MMIC 전력증폭기는 최대 20.1dB의 선형이득과 22 dBm의 출력전력과 24%의 PAE, P1 dB에서 3dB back-off 한 지점에서 IMD3는 35.3dBc이고 S11, S22 등 일부 항목이 설계규격에는 못 미치나 광대역 특성으로 HIPERLAN/2와 IEE802.11a에서 사용 가능할 것으로 생각된다.

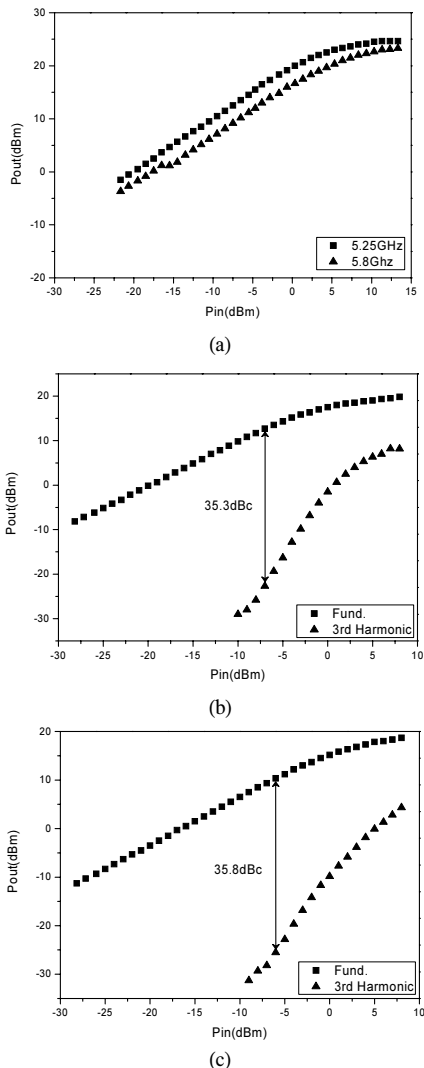


그림 7. 제작된 전력증폭기의 (a) 1-tone 측정, (b) 2-tone 측정을 통한 IMD3 (5.25GHz), (c) 2-tone 측정을 통한 IMD3 (5.8GHz)

표 1. 전력증폭기의 설계규격 및 설계결과와 측정결과

항 목	설계규격	설계결과 (5.25GHz)	측정결과 (5.25/5.8GHz)
주파수(GHz)	5.1-5.8	5.1-5.8	5.1-5.8
이득(dB)	20 이상	20.9	20.1/16.7
P1 dB (dBm)	22 이상	23.9	22/19
입력반사손실 (dB)	10 이상	12.26-10.54	6.9/4.6
출력반사손실 (dB)	10 이상	8.72-19.91	8.0/6.8
PAE(%)	25 이상	32.5	24/12
IMD3(dBc) (3 dB back-off from P1 dB)	25 이상	34.83	35.3/34.4
소모전류(mA)	200	200	200
공급전압 (V)	3.3	3.3	3.3

참 고 문 헌

[1] U. Lott, "Low DC Power Monolithic Low Noise Amplifier for Wireless Applications at 5 GHz," *Microwave and Millimeter-Wave Monolithic Circuits Symposium*, Digest of Papers., pp. 81-84, June 1996.

[2] K.W. Kobayashi, A.K Oki, L.T Tran. and D.C. Streit, "Ultra-Low DC Power GaAs HBT S- and C-band Low Noise Amplifiers for Portable Wireless Applications," *Microwave Theory and Techniques, IEEE Trans.* Vol. 43, pp. 3055, Dec. 1995.

[3] M. Soyuer, J.-O. Plouchart, H Ainspan and J. Burghartz, "A 5.8-GHz 1-V Low-Noise Amplifier in SiGe Bipolar Technology," *Radio Frequency Integrated Circuits (RFIC) Symposium*, 1997, IEEE 8-11 pp. 19-22, June 1997.

[4] S.P. Voinigescuand M.C. Maliepaard, "5.8 GHz and 12.6 GHz Si Bipolar MMICs," *Solid-State Circuits Conference*, 1997, Digest of Technical Papers 44th ISSCC, 1997 IEEE International, pp. 372-373, Feb. 1997.

[5] S. Chakraborty, C.-H. Lee, S. Yoo, D. Heo and A. Raghavan, "A GaAs Based High Performance Transceiver Front-End Chipset For 5-6 GHz Wireless Applications," *Radio and Wireless Conference*, RAWCON 2001, pp.25-28, Aug. 2001.

[6] A. Thomas and U. Lott, "A Monolithic Integrated, On Chip Matched GaAs Power Amplifier for HIPERLAN with a single 3.3V Supply," *26th European Microwave Conference*, pp. 194-194, 1996.

[7] ETRI GaAs MMIC Design Version 3.1, 한국전자통신연구원 2003.

박 훈 (Hun Park)

준회원



2002년 고려대학교 정보 공학과 학사
 2004년 고려대학교 전자정보공학과 석사
 2005년 LG Philips LCD P-Si 개발팀
 2006년 7월~현재 LS 산전 중앙 연구소 RFID/USN 연구팀

<관심분야> RFID Reader 및 안테나 설계

황 인 갑 (In-Gab Hwang)

정회원



1981년 2월 연세대학교 전기공학과 졸업
 1983년 2월 연세대학교 전기 공학과 석사
 1992년12월 아리조나 주립대학교 전기공학과 박사
 1995년 9월~현재 전주대학교 부

교수

<관심분야> RFIC설계, Device Physics

윤 경 식 (Kyung-Sik Yoon)

정회원



1971년 서울대학교 공과대학 전자공학사
 1977년 Univ. Louis Pasteur de Strasbourg D.E.A
 1988년 Univ. of Utah 전자공학 박사
 1978년~1982년 한국해양연구소

해양기기실 실장

1988년 9월~현재 고려대학교 전자 및 정보공학부 정교수

<관심분야> 초고주파소자 모델링, 초고주파회로, CMOS tunable active inductor 설계