

EIA-709.2-A PL에 근거한 단일 캐리어 BPSK 전력선 모뎀 구현

종신회원 우 대 호*, 정회원 유 영 규**, 종신회원 변 윤 식***

Implementation of Single-Carrier BPSK Powerline Modem based on EIA-709.2-A PL

Dae-Ho Woo* *Lifelong Member*, Young-Gyu Yoo** *Regular Member*,
Youn-Shik Byun*** *Lifelong Member*

요 약

본 논문에서는 홈 제어 네트워크에서 중요한 기술로서 인식되고 있는 전력선 통신 기술 중 하나인 EIA-709.2-A PL 규격을 만족하는 모뎀을 VHDL로 구현하였다. 송신기는 전력선 채널에 존재하는 잡음으로부터 강인한 특성을 지니기 위해서 8개의 심볼을 사용하여 데이터를 전송하였고, 수신기는 수신된 신호로부터 올바른 데이터를 검출하기 위해서 정합필터, 평균기, 판별과 검출 영역 등으로 구성되어 있다. PLC 트랜시버는 Altera사의 EP1S25C672 FPGA에 인식하여 동작을 검증하였다.

Key Words : PLC, EIA-709.2-A, BPSK, Powerline Channel, VHDL

ABSTRACT

In this paper, the modem based on EIA-709.2-A PL of powerline communication techniques which are considered to be important technologies for in-home control network systems was implemented via VHDL. In order to have the robust properties against existing noises over powerline channels, the information data using eight symbols was transmitted by transmitter and the receiver is composed of matched filter, averager, decision and detection parts in order to detect the right data from the received signals. The implemented PLC transceiver was downloaded into Altera's EP1S25C672 FPGA and the operation was verified successfully.

I. 서 론

최근 홈 네트워킹 기술과 연동된 가전제어 및 정보 활용 서비스에 대한 소비자의 욕구가 급속히 증가하고 있으며, 그 결과 정보화된 가전기기의 개발이라는 환경적 요소에 힘입어 국내외적으로 많은 홈 네트워킹 관련 제품군들이 생산되고 있다. 다가오는 근래에 유무선 통신 구분 없이 다양한 기기를 네트워크에 접속하여 효율적이고 신뢰성을 보장할

수 있는 홈 네트워크를 구성하고, 자가 진단 및 치유 기능을 가지는 진정한 디지털 컨버전스 기술이 구축되어야 그 실용성이 더 할 것이다. 디지털 컨버전스를 추구하는 가전업체들은 개별적으로 개발된 디지털 가전기기들의 네트워크화를 위한 최상의 솔루션을 선정하고 있으며 유선 기술로는 전력선 통신, Home PNA, 이더넷 등, 무선 기술로는 WLAN, WPAN, IrDA, Bluetooth, Zigbee, UWB 등이 존재하고 있다¹⁾. 전력선 통신은 전력선을 매체로 하기 때문

* SKtelesys 연구소 (dhwoo@sktelesys.com), ** 전북대학교 전기공학과, *** 인천대학교 전자공학과 (byun@incheon.ac.kr)
논문번호 : KICS2006-07-304, 접수일자 : 2006년 7월 11일, 최종논문접수일자 : 2007년 3월 21일

에 신규 신호의 포설 없이 가전기기 및 정보화 서비스 모듈들의 네트워크화에 용이할 뿐만 아니라 커버리지 확장에도 뛰어나다. 그리고 추가 배선의 불필요로 인한 가격 경쟁력을 바탕으로 홈 네트워크에 있어 적합한 솔루션으로 평가를 받고 있으며, 특히 기축 건물에 대한 홈 네트워크 시설 구축이 신속하고 설치가 빠르다. 이러한 기술적 장점과 더불어 전력선 매체 환경에 대한 오랜 기술 분석 및 전력선 통신 서비스 산업 분석을 통해 현재는 국내 외적으로 전력선 통신 기술은 홈 네트워크의 중심에 자리 잡고 있다²⁾.

본 논문에서는 제어용 전력선 통신 기술로 한정하고자 하며 대표적으로 상용화된 전력선 통신 기술로는 듀얼 캐리어 BPSK(binary shift keying) 방식과 CSK(code shift keying) 방식이 존재한다. CSK 방식은 대역 확산 통신 기술 중 하나이며 비표준화 전력선 모뎀 기술이다. 이 방식은 전력선 채널과 같은 아주 열악한 통신 환경을 극복하기 위해서 개발된 통신 기술이고 정보 데이터를 심볼 데이터의 초기 시작점을 달리하여 정보를 송신하는 방식이다³⁾. 듀얼 캐리어 BPSK 방식에서 반송파 주파수로 사용하는 115kHz와 132kHz는 전력선 채널에서 발생하는 잡음을 효율적으로 회피하기 위해서 결정된 반송파 주파수이다⁴⁾. 그리고 듀얼 캐리어 BPSK 방식 중 132kHz 반송파 주파수를 사용하는 모뎀 규격은 EIA-709에 표준화한 것을 VHDL(very high-speed integrated circuits hardware description language)로 구현하였다⁴⁾⁵⁾. 그런 후 구현된 모뎀을 FPGA에 다운로드하여 동작을 검증하였다. 또한 다음 장에서 EIA-709.2-A PL 규격에 대하여 설명하고자 한다.

II. EIA-709.2-A PL 규격

EIA-709.2-A는 물리 계층에 대한 규격으로서, MAC 계층과의 인터페이스 패킷 구조 등을 포함하고 있다. 이 규격에서 사용하는 전력선 패킷 형식은 다음 그림 1과 같다⁴⁾⁵⁾.

패킷 구조는 크게 수신부에서 동기를 위한 프리엠블 영역과 데이터 영역 그리고 EOF(end-of-frame)으로 구성 되어 있다. BIT SYNC는 “10”의 24비트로

BIT SYNC	WORD SYNC	L2HDR+NPDU+CRC	EOP	EOP
----------	-----------	----------------	-----	-----

그림 1. 전력선 패킷 형식
Fig. 1 Powerline Packet Structure

MSB	8bit Word for MAC Layer	LSB	P	0	1
-----	-------------------------	-----	---	---	---

그림 2. 워드 인코딩
Fig. 2 Word Encoding

구성되어 있으며, 이 부분은 채널 상에서 1차 캐리어를 검출을 위한 데이터로 사용된다. 그 다음의 WORD SYNC는 “11001111011”의 비트 수열을 사용한다. 이 수열은 수신부에서 데이터 영역 부분 검출의 시작 여부를 결정하는 역할을 한다. 그 이후 MAC으로부터 전달된 데이터 수열은 “L2HDR+NPDU+CRC” 바이트이다. 또한 이 데이터 비트는 WORD ENCODING에 의해 패리티 비트와 “01”이 추가된다. 즉, 다음과 같은 형식에 의해서 11비트로 인코딩된다.

이 패킷 데이터는 파형 생성기를 거친후 반송파를 거쳐 전력선 채널 상으로 전송된다. EIA-709.2-A에 대한 패킷을 정리하면 다음 표 1과 같다.

표 1. EIA-709.2-A 패킷
Table 1 EIA-709.2-A Packet

Item	Parameter	Remark
Carrier frequency	131.579	kHz
Encoded bit rate	5.4	kbps
Message data payload	40	bytes
Bit Encoding rate	8/11	bits
	0.727	
L2HDR	8	bits
NPDU	320	bits
CRC	16	bits
Packet data payload	473	total bits
Bit sync	24	(101010101010101010101010)
Word sync	11	(11001111011)
Data payload	473	
EOP	11	(11100110011)
EOP	11	(11100110011)
MAC layer packet	530	bits

III. 전력선 모뎀 사양

본 논문에서 설계하고자 하는 모뎀의 구조는 크게 디지털 변복조부, 아날로그 프론트 엔드부, 커플링부로 구성되어 있다.

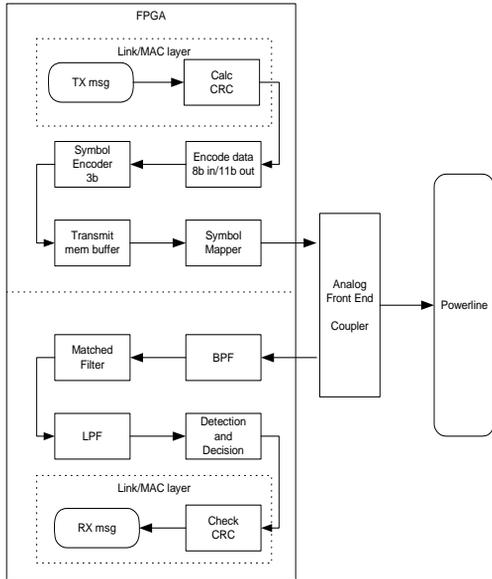


그림 3. EIA-709.2-A PHY 블록 다이어그램
Fig. 3 EIA-709.2-A PHY Block Diagram

3.1 송신부

송신부는 심볼 인코더와 심볼 매핑기로 구성되어 있다. 전력선 채널로 전송하기 위한 전체 패킷에 대한 1비트 정보 데이터가 3비트 슬라이딩 윈도우로 구성된 심볼 인코더를 통과하게 된다. 이때, 사용된 정보 비트 수열은 $b_i = \pm 1$ 의 값을 가진다.

$$s_i(n) = [b_{i-1} \ b_i \ b_{i+1}] \quad i=0, \dots, 7 \quad (1)$$

여기서 $i=0$ 인 경우 $s_0 = [b_{-1} \ b_0 \ b_1]$ 을 가지며, b_{-1} 의 값은 b_0 의 반전 값으로 초기치를 설정한다. 또한, 제일 마지막에 3비트가 부족할 경우도 동일하게 제일 마지막에 존재하는 비트의 반전된 값을 사용한다.

예를 들어, 다음과 같은 비트 수열 신호 입력으로 들어오면 [1 0 1 0], 3비트 심볼 인코더의 출력은 $s_0 = [0 1 0]$, $s_1 = [1 0 1]$, $s_2 = [0 1 0]$, $s_3 = [1 0 1]$ 이 된다. 따라서 인코더의 출력 신호는 심볼 매핑이 된다. 전력선에 효율적인 통신을 위해서 일반적인 정현파 신호를 사용하는 것이 아니라 변형된 심볼 파형을 사용한다. 이때 사용된 심볼 파형 패턴은 다음 표에 생성된다. 일반적인 roll-off factor가 0.3인 raised cosine filter를 윈도우 함수로 사용하였으며, 이때 반송파 주파수와 곱하여 심볼 패턴을 형성하였다. 이때 사용된 심볼 패턴은 다음과 같다.

표 2. 심볼 패턴
Table 2 Symbols Pattern

심볼	심볼 파형	
000		-S2
001		-S3
010		S0
011		S1
100		-S1
101		-S0
110		S3
111		S2

위에서 사용된 심볼들은 기본적으로 심볼 1에 해당하는 값은 S0, S1, S2, S3 이다. 이 심볼들은 8비트로 양자화 하였고, Quartus에서 제공하고 Megawizard 함수를 사용하여 기본적인 ROM 데이터를 생성하였다. 심볼 0에 대해서는 동일한 ROM을 사용하여 반전된 데이터를 생성하였다. 최종적으로 출력되는 데이터는 위와 같은 표에 의해서 매핑된 값이 출력된다.

3.2 수신부

전력선 채널로부터 수신된 신호 $r(t)$ 는 ADC를 거치게 된다. ADC의 출력 신호는 $r[n]$ 이며, 이 신호는 템플릿 데이터와 내적을 구한다. 이때 출력 신호 y 는 다음과 같다.

$$x = \langle r[n], S_0 \rangle \quad (2)$$

또한 x 의 성분은 DC항과 하모닉 성분으로 구성되어 있다. 이 성분을 제거하기 위해서 LPF를 사용하였으며, 이때 출력 신호는 다음과 같이 정의한다.

$$y = LPF\{x\} \quad (3)$$

필터의 출력 신호로부터 검출하고자 하는 신호의 에너지를 구하기 위해서 한주기 동안에 존재하는 값을 모두 더한 값을 구하면 다음과 같다.

$$z_i = \sum_{n=0}^{N-1} y_n \quad (4)$$

여기서 N 은 1824의 값을 가진다. 지금까지 신호 검출에 대한 부분이며, 이후에 이 신호를 검출하기 위해서 다음과 같은 평균값 블록과 결정의 단계를 거치게 된다.

$$w_i = \frac{z_i}{N} \quad (5)$$

여기서 구한값은 신호 판별기로 들어간다. 입력 신호는 다음과 같은 기준에 의해서 0과 1의 값으로 판별된다.

$$b_i = \begin{cases} 0 & w_i < -v_T \\ 1 & w_i > +v_T \end{cases} \quad (6)$$

여기서 v_T 는 기준치이다. 이런 과정을 통하여 전체 패킷에 대한 검출이 가능하다. 이후 검출된 비트 수열의 데이터가 MAC으로 전달되어지며, 상위단에서 일차 프리앰블과 상관 여부에 따라 신호 여부를 결정한다. 신호 여부가 결정되면, 이차 프리앰블에서 인에이블 신호를 발생하여 그 상위단으로 데이터를 전달여부를 결정한다.

IV. 하드웨어 구현 및 검증

위에서 설명한 EIA-709에 근거한 모델을 VHDL 코드를 사용하여 FPGA에 구현하였다. 사용된 FPGA는 Altera사의 EP1S25C672를 이용하였다. 전체 보드의 시스템 클럭은 8MHz를 사용하였고, 이 신호는 FPGA칩의 PLL로 입력되어 10MHz 클럭과 5.4kHz 클럭을 생성하였다. MAC 레이어에서 전달된 데이터는 우선 11비트로 인코딩 된후 프리앰블과 EOP과 결합된 전체 패킷 데이터를 가지게 된다. 패킷 데이터는 3비트의 심볼로 인코딩 되고, 인코딩 된

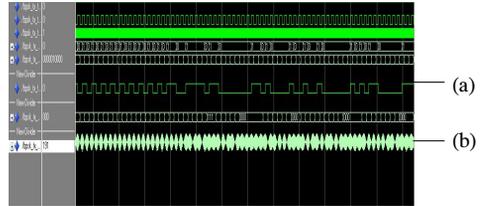


그림 4. 송신부 시뮬레이션 결과(a)정보 데이터, (b)송신 신호)
Fig. 4 Transmitter Simulation Result((a)Information Data, (b)Transmitted Signal)

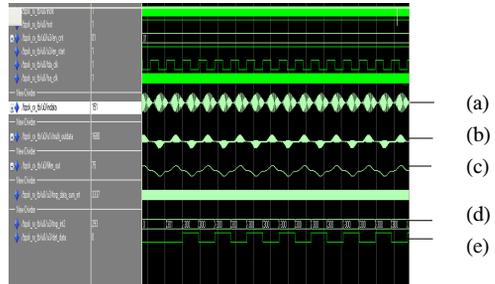


그림 5. 수신부 시뮬레이션 결과(a)수신신호, (b)정합기 출력 신호, (c)필터 출력 신호, (d)평균치, (e)검출 신호)
Fig. 5 Receiver Simulation Result ((a)received signal, (b)matched filter output signal, (c)filter output signal, (d)average value, (e)detection signal)

데이터는 해당하는 파형과 매핑된다. 파형으로 매핑된 데이터는 DAC를 지나 커플링부 전달되어 전력선으로 데이터가 실어지게 된다. 다음 그림 4는 송신부 블록에 대한 Function 시뮬레이션 결과이다. 수신부의 Function 시뮬레이션을 하기 위해서 송신부의 출력 데이터를 입력 데이터로 사용하여 테스트 벤치를 구성하였다. 수신부는 입력된 데이터로부터 올바른 데이터를 획득하기 위해서 정합 필터를 사용하였으며, 정합 필터 출력 이후 LPF 필터를 설계하여 신호의 포락선만을 획득하였다. 그리고 전력선 채널에 항상 존재하는 잡음에 대하여 건설한 특성을 지니기 위해서 한 심볼 주기 동안의 평균을 구하는 블록을 추가 하였다. 평균값의 데이터는 판별기로 입력되어 판별된 이진 데이터를 출력하는 구조이다. 이들 데이터는 MAC 영역으로 입력된다. 다음 그림 5는 수신부에 대한 시뮬레이션 결과이다. 송수신부에 대한 시뮬레이션 결과를 검증 후에 FPGA에 P&R을 하여 실제 하드웨어에서 올바른 동작 여부를 검증하기 위해서 Altera에서 제공하는 SignalTap 기능을 이용하였다. SignalTap에서 송수신부에 대하여 획득한 데이터 결과가 다음 그림 6과 7에 나타나 있다. 또한 전력선 채널에서 송신된 데이터와 최종

