

Feedforward 구조를 이용한 광대역 SiGe HBT 가변 이득 증폭기의 설계 및 제작

정희원 채규성*, 김창우*

Design & Fabrication of a Broadband SiGe HBT Variable Gain Amplifier using a Feedforward Configuration

Kyu-Sung Chae, Chang-Woo Kim *Regular Members*

요 약

피드포워드 방식을 이용하여 광대역, 선형 이득 제어 특성을 갖는 SiGe HBT 가변 이득 증폭기를 설계 및 제작하였다. 가변 이득 증폭기는 능동 발룬, 차동형 주 증폭기, 피드포워드 블록, 전압 조절부로 구성 되었으며, 주 증폭기와 피드포워드 블록의 신호가 역위상으로 상쇄되어 광대역의 선형 이득 제어가 가능하도록 각 부분을 최적화 시켰다. 설계된 가변 이득 증폭기는 STMicroelectronics社의 0.35 μm Si-BiCMOS 공정을 이용하여 제작하였다. 제작 및 측정 결과, 피드포워드 방식의 가변 이득 증폭기는 4 GHz(4 GHz~8 GHz)의 광대역 특성을 나타내었다. 또한, 제작된 가변 이득 증폭기는 6 GHz에서 9.3 dB의 최대 이득과 0.6 - 2.6 V의 조절 전압 인가시 19.6 dB의 이득 조절 범위 특성을 나타내었으며, 8 GHz에서 -3 dBm의 출력 전력 특성을 각각 나타내었다.

Key Words : Feedforward, Broadband, SiGe, HBT, VGA

ABSTRACT

Broadband monolithic SiGe HBT variable gain amplifier with a feedforward configuration have been newly developed to improve bandwidth and dB-linearly controlled gain characteristics. The VGA has been implemented in a 0.35- μm BiCMOS process. The VGA achieves a dynamic gain-control range of 19.6 dB and a 3-dB bandwidth of 4 GHz (4 ~ 8 GHz) with the control-voltage range from 0.6 to 2.6 V. The VGA produces a maximum gain of 9.3 dB at 6 GHz and a output power of -3 dBm at 8 GHz.

I. 서론

최근 무선 통신 시스템 기술의 발전에 따라 다양한 형태의 통신 서비스가 개발 및 제공되고 있다. 이러한 무선 통신 시스템에서, 고정국과 이동국 사이의 거리에 따른 송·수신 전력에 기인하는 원근 문제(near-far problem)는 통신 시스템의 성능을 좌우하는 중요한 요소 중의 하나이다. 가변 이득 증폭기는 무선 통신 시스템에서 이득 조절 특성을 이용

한 전력 제어^[1]를 통해 원근 문제를 해결하는 중요한 역할을 수행하며, 또한 무선 통신 시스템의 동적 영역(dynamic range)을 향상시키기 위한 구동 증폭기 역할을 수행하기도 한다. 따라서 가변 이득 증폭기는 광대역, 제어 전압에 따른 선형적인 이득 제어 및 고 선형성 등의 특성을 필요로 한다^[2].

BJT 계열의 능동 소자를 이용한 가변 이득 증폭기는 일반적으로 전류 동작형^[3], 캐환 저항형^[4], 가변 전달 컨덕턴스형^[5] 등이 있다. 그러나 이러한 구

* 경희대학교 일반대학원 전기공학과 (kschae@khu.ac.kr)

논문번호 : KICS2007-03-108, 접수일자 : 2007년 3월 7일, 최종논문접수일자 : 2007년 5월 2일

조를 이용한 가변 이득 증폭기는 안정도, 대역폭, 선형 이득 제어 특성 등에서 단점⁶⁾을 가지고 있다. 따라서, 본 논문에서는 기존의 가변 이득 증폭기 형태와는 다른 새로운 방식인 능동 feedforward 방식을 이용하여, WLAN을 포함한 UWB 시스템에 응용 가능한 광대역 특성과 선형 이득 제어 특성의 개선을 목표로 가변 이득 증폭기를 설계 및 제작하였다. 가변 이득 증폭기의 설계시에는 STMicroelectronics社의 SiGe 라이브러리를 이용하였으며, 이를 0.35 μm Si-BiCMOS 공정을 이용하여 제작하여 그 특성을 측정하였다.

II. 본론

2.1 가변 이득 증폭기의 설계

<그림 1>에 가변 이득 증폭기 설계에 사용된 단위 SiGe HBT의 전압-전류 특성 곡선을 나타내었다.

<그림 1>에 나타낸 단위 SiGe HBT는 $0.4 \times 10 \mu\text{m}^2$ 의 에미터 크기를 가지며, 100 이상의 직류 전류 이득과 5 V의 항복 전압 특성을 가지고 있다.

<그림 2>에 본 논문에서 적용한 feedforward 방식의 이득 조절 원리를 나타내었다.

<그림 2>에 나타낸 바와 같이 feedforward 방식을 이용한 가변 이득 증폭기는 주 증폭기 출력의 일부를 feedforward 블록인 A_{FF} 로 유도하여 반대의 위

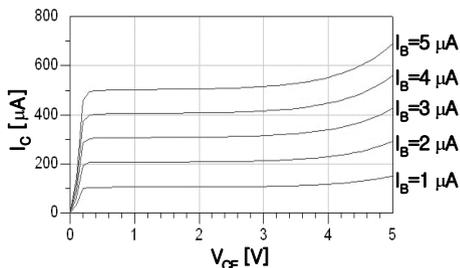


그림 1. 에미터 크기가 $0.4 \times 10 \mu\text{m}^2$ 인 단위 HBT의 I-V 특성
Figure 1. Measured I-V characteristics for a unit SiGe HBT with a $0.4 \times 10 \mu\text{m}^2$ emitter area.

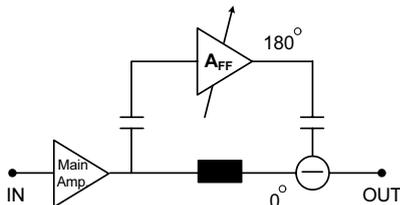


그림 2. Feedforward 방식을 이용한 이득 조절 원리
Figure 2. Gain control principle using feedforward configuration

상을 만들고, 이를 주 증폭기의 신호와 결합시킨다. 즉, 반대의 위상을 갖는 A_{FF} 의 출력 신호를 조절 전압에 따라 조절함으로써 최종 출력 신호를 제어하여 가변 이득 특성을 갖는 원리이다. 따라서 feedforward 블록은 조절 전압에 따라 주 증폭기의 신호를 상쇄시킬 수 있는 적절한 크기의 feedforward 출력을 갖도록 설계되어야 한다.

<그림 3>에 본 논문에서 제안한 가변 이득 증폭기의 설계 개념도를 나타내었다. <그림 3>에 나타낸 바와 같이 가변 이득 증폭기는 능동 balun, 차동 증폭기, 피드포워드 블록, 전압 조절부의 4부분으로 구성되어 있다. 단일 입력 신호는 능동 balun에 의해 차동 신호로 변환되고 주 증폭기(main amplifier) 의해 증폭된다. 주 증폭기에 의해 증폭된 RF 신호는, 부하 저항과 피드포워드 블록으로 각각 나누어진다. 이중 피드포워드 블록을 통과한 신호는 위상이 반전되어 부하를 통과한 신호와 결합하게 되어, 결국 RF 출력 포트에는 주 증폭기에 의해서 증폭된 신호에서 피드포워드 블록을 통과한 신호의 차이가 나타나게 된다. 즉 피드포워드 블록을 통과한 신호는 주 증폭기를 통과한 신호와 역위상이 되어, 주 증폭기의 신호를 감쇄시키는 역할을 한다. 따라서 본 논문에서 제안한 피드포워드 방식을 이용한 가변 이득 증폭기의 가변 이득 특성은, 전압 조절부의 전압에 따라 주 증폭기의 이득과 반전된 위상을 이용하여 주 증폭기의 이득을 감쇄시키는 피드포워드 블록의 이득을 제어하여 달성될 수 있다.

<그림 4>에 피드포워드 구조를 이용한 가변 이득 증폭기의 회로도를 나타내었다. <그림 4>에 나타낸 바와 같이 가변 이득 증폭기의 능동 발룬과 주 증폭기는 차동형 구조를 이용하였다. 또한 주증폭기는 캐스코드 형태의 증폭기이며, 피드포워드 블록은

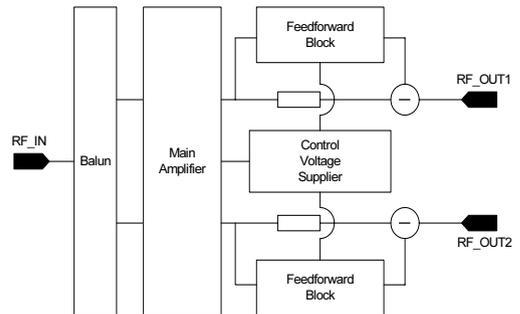


그림 3. 피드포워드 가변 이득 증폭기의 설계 개념도
Figure 3. Conceptual block diagram of the feedforward VGA

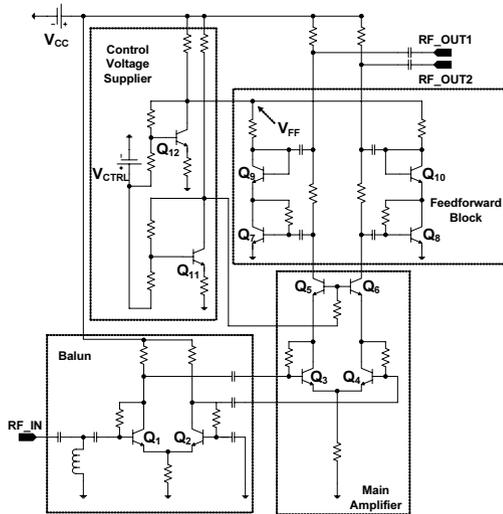


그림 4. 피드포워드 방식을 이용한 가변 이득 증폭기의 회로도
Figure 4. Schematic of the VGA with a feedforward configuration

HBT의 컬렉터와 베이스를 단락시킨 다이오드와 공통 베이스 구조의 증폭기를 연결하여 구성하였다.

<그림 4>에서 가변 이득 증폭기의 전력 이득은 주 증폭기의 캐스코드 형태의 Q_5 - Q_6 와 피드포워드 블록의 Q_7 - Q_{10} 에 의하여 각각 제어된다. 즉, 조절 전압 V_{CTRL} 이 증가하면, Q_{11} 의 컬렉터 전류가 증가하게 되어 Q_5 와 Q_6 의 베이스 전압이 각각 증가하고 또한 Q_5 와 Q_6 의 트랜스 컨덕턴스도 더불어 증가하게 된다. 일반적으로 HBT의 전력 이득은 트랜스 컨덕턴스에 선형적으로 비례하여 증가하므로, V_{CTRL} 의 증가에 따른 Q_5 와 Q_6 의 트랜스 컨덕턴스의 증가는 주 증폭기의 전력 이득을 증가시키게 된다. 이와 동시에 조절 전압 V_{CTRL} 이 증가하면, 피드포워드 블록의 공급 전압인 V_{FF} 는 감소하게 된다. V_{FF} 의 감소는 피드포워드 블록의 출력인 반전된 위상을 갖는 신호를 감소시키게 되어 결과적으로, 주 증폭기에서 증폭된 신호의 감소가 줄어들어 가변 이득 증폭기는 높은 이득을 갖게 된다. 즉, $V_{CTRL}=3$ V일때, 피드포워드 블록은 거의 동작을 하지 않게 되어 주 증폭기의 신호를 감소시키는 요인이 거의 없으므로 가변 이득 증폭기는 최대의 이득을 갖게 된다.

반면에, 조절 전압 V_{CTRL} 이 감소하면, 피드포워드 블록의 공급 전압인 V_{FF} 는 증가하게 되어 피드포워드 블록은 활성화 된다. V_{FF} 의 증가는 피드포워드 블록의 출력인 반전된 위상을 갖는 신호를 증가시키게 되어 결과적으로, 주 증폭기에서 증폭된 신호의

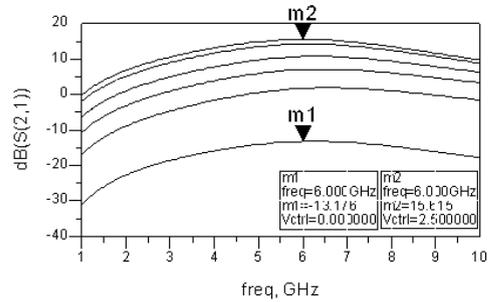


그림 5. 피드포워드 가변 이득 증폭기의 소신호 이득 시뮬레이션 결과($V_{CTRL}=0 \sim 2.5$ V, 0.5 V step)
Figure 5. Simulation result of Small-signal gain of the VGA as a function of frequency($V_{CTRL}=0 \sim 2.5$ V, 0.5 V step)

감소가 증가하게 되어 가변 이득 증폭기는 낮은 이득을 갖게 된다. 즉, $V_{CTRL}=0$ V일때, $V_{FF}=V_{CC}$ 가 되고 피드포워드 블록은 최대의 이득을 갖게 되어 주 증폭기의 신호를 최대로 감소시키게 되므로 가변 이득 증폭기는 최소의 이득을 갖게 된다.

<그림 4>의 가변 이득 증폭기는 Agilent사의 ADS(Advanced Design System)을 이용하여 설계되었으며, 설계시에는 3종류의 HBT를 이용하였다. 주 증폭기 설계시에는 에미터 크기가 $0.4 \times 20 \mu m^2$ 인 단일 HBT를 내부적으로 병렬 연결한 3-finger HBT가 이용되었으며, 에미터 크기가 $0.4 \times 10 \mu m^2$ 인 단일 HBT를 이용한 2-finger HBT와 1-finger HBT를 이용하여 피드포워드 블록과 발룬을 각각 설계하였다.

<그림 5>에 설계된 가변 이득 증폭기의 주파수에 따른 소신호 이득의 시뮬레이션 결과를 나타내었다.

<그림 5>에 나타난 바와 같이 설계된 가변 이득 증폭기는 0.0 V ~ 2.5 V의 조절 전압에 대하여 6 GHz에서 15.6 dB의 최대 이득을 나타내었으며, 약 5 GHz(3.6 GHz ~ 8.6 GHz)의 광대역 특성을 나타내었다.

<그림 6>에 설계된 가변 이득 증폭기의 조절 전압에 따른 이득 조절 특성의 시뮬레이션 결과를 나타내었다.

<그림 6>에 나타난 바와 같이 0.0 V ~ 2.5 V의 조절 전압에 대하여 6 GHz에서 가변 이득 증폭기는 28.8 dB(-13.2 dB ~ 15.6 dB)의 이득 조절 범위를 나타내어 87 mV/dB의 이득 조절 감도 특성을 보였다.

<그림 7>에 8 GHz에서 설계된 가변 이득 증폭기의 입·출력 전력 특성 시뮬레이션 결과를 나타내었다.

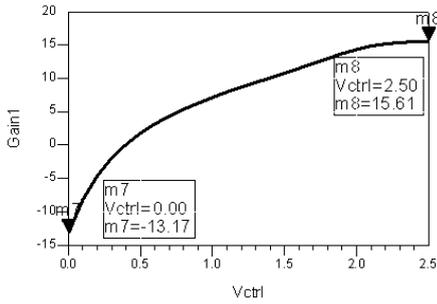


그림 6. 설계된 가변 이득 증폭기의 조절 전압에 따른 소신호 이득 특성 시뮬레이션 결과(@ 6 GHz)
Figure 6. Simulation result of Small-signal gain characteristic of the VGA as a function of V_{CTRL} at 6 GHz

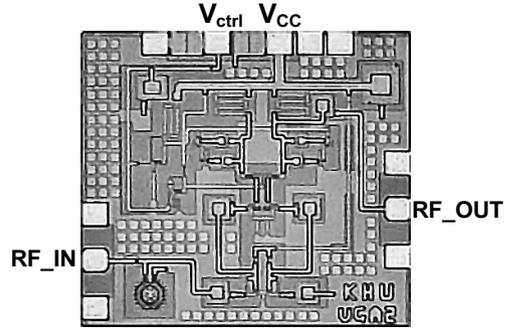


그림 8. 제작된 피드포워드 방식의 가변 이득 증폭기
Figure 8. Microphotograph of the VGA MMIC chip

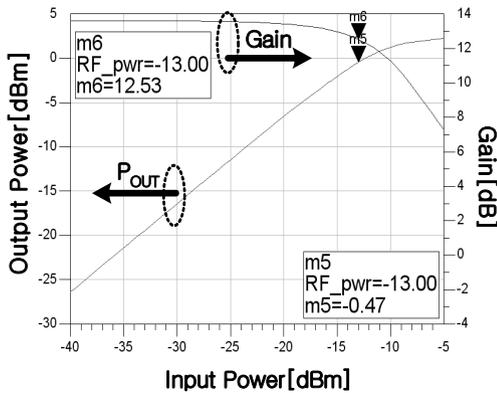


그림 7. 설계된 가변 이득 증폭기의 입·출력 전력 특성(@ 8 GHz)
Figure 7. Simulation result of output power characteristic as a function of the input power at $V_{CTRL}=2.5$ V and 8 GHz

<그림 7>에 나타난 바와 같이 설계된 가변 이득 증폭기는 2.5 V의 조절 전압 및 75 mA의 바이어스 조건에서, -0.5 dBm의 출력 전력을 나타내었다.

2.2 가변 이득 증폭기의 제작 및 측정

<그림 4>의 설계된 가변 이득 증폭기는 STMicroelectronics'사의 0.35 μm Si-BiCMOS 공정을 이용하여 제작되었으며, 제작된 가변 이득 증폭기를 <그림 8> 나타내었다. 제작된 가변 이득 증폭기의 크기는 $1.0 \times 0.9 \text{ mm}^2$ 이다.

<그림 9>에 제작된 가변 이득 증폭기의 주파수에 따른 소신호 이득 특성의 측정 결과를 나타내었다.

<그림 9>에 나타난 바와 같이 제작된 가변 이득 증폭기는 0.6 V ~ 2.6 V의 조절 전압에 대하여 6

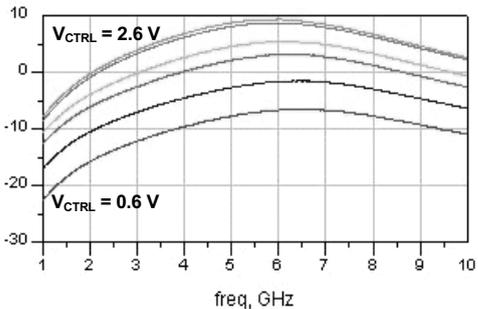


그림 9. 피드포워드 가변 이득 증폭기의 소신호 특성 ($V_{CTRL}=0.6 \sim 2.6$ V, 0.4 V step)
Figure 9. Small-signal gain of the VGA as a function of frequency ($V_{CTRL}=0.6 \sim 2.6$ V with a 0.4 V step)

GHz에서 9.3 dB의 최대 이득을 나타내었으며, 조절 전압인 V_{CTRL} 에 무관하게 약 4 GHz(4 GHz ~ 8 GHz)의 광대역 특성을 나타내었다.

<그림 10>에 제작된 가변 이득 증폭기의 조절 전압에 따른 이득 조절 특성 및 입·출력 VSWR 특성을 나타내었다.

<그림 10>에 나타난 바와 같이 0.6 V ~ 2.6 V의 조절 전압에 대하여 6 GHz에서 가변 이득 증폭기는 19.6 dB(-10.3 dB ~ 9.3 dB)의 이득 조절 범위를 나타내어 100 mV/dB의 이득 조절 감도 특성을 보였다. 또한 제작된 가변 이득 증폭기의 입력

VSWR은 조절 전압에 무관하게 거의 일정하고, 출력 VSWR은 조절 전압에 따라 약간의 변화를 나타내었다.

<그림 11>에 제작된 가변 이득 증폭기의 5.2 GHz WLAN 응용을 위한 OFDM 64 QAM 54 Mb/s 신호 입력에 대한 출력 전력 스펙트럼을 나타내었으며, <그림 12>에 8 GHz에서 가변 이득 증폭기의 입·출

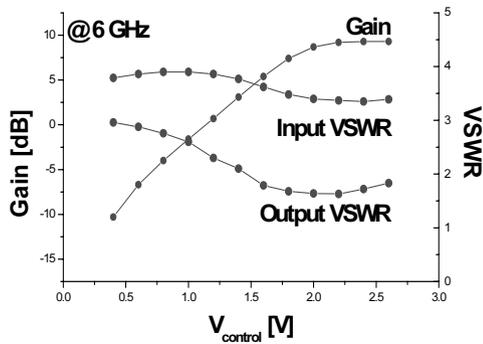


그림 10. 가변 이득 증폭기의 조절 전압에 따른 소신호 이득 및 입·출력 VSWR 특성(@ 6 GHz)
Figure 10. Small-signal gain and input/output VSWR characteristics of the VGA as a function of V_{CTRL} at 6 GHz

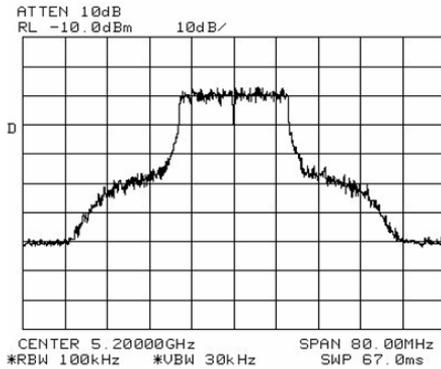


그림 11. 가변 이득 증폭기의 OFDM-64QAM 54 Mb/s 입력 신호에 대한 출력 전력 스펙트럼(@ 5.2 GHz)
Figure 11. Output power spectrum for an OFDM-64QAM 54Mb/s input signal

력 전력 특성을 나타내었다.

<그림 12>에 나타난 바와 같이 제작된 가변 이득 증폭기는 2.4 V의 조절 전압 및 59 mA의 바이어스 조건에서, -3 dBm의 출력 전력을 나타내었다.

<표 1>에 feedforward 방식을 이용한 가변 이득 증폭기의 주요 설계 및 측정 결과를 비교하여 나타내었다.

III. 결론

본 논문에서는 능동 피드포워드 구조를 이용한 광대역 특성을 갖는 SiGe HBT 가변 이득 증폭기를 설계 및 제작하였다. 측정 결과 가변 이득 증폭기는

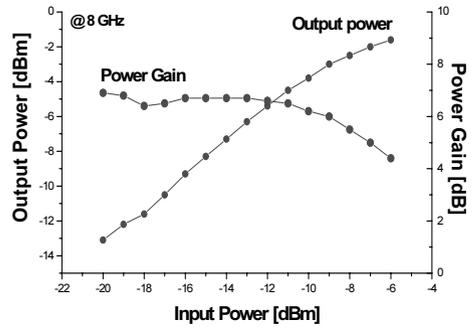


그림 12. 가변 이득 증폭기의 입·출력 전력 특성(@ 8 GHz)
Figure 12. Output power characteristics as a function of the input power at $V_{CTRL}=2.4$ V and 8 GHz

표 1. 가변 이득 증폭기의 시뮬레이션 및 측정 결과
Table 1. Comparison between simulation and measured results of the feedforward VGA

	설계 결과	측정 결과	비고
V_{CC}/I_C	3 V/ 75 mA	3 V/ 59 mA	@Max. Gain
V_{CTRL}	0 ~ 2.5 V	0.6 ~ 2.6 V	
Gain control range	28.8 dB (-13.2 ~ 15.6 dB)	19.6 dB (-10.3 ~ 9.3 dB)	@ 6 GHz
3-dB bandwidth	5 GHz (3.6 ~ 8.6 GHz)	4 GHz (4 ~ 8 GHz)	
P_{1-dB}	-0.5 dBm	-3 dBm	@ 8 GHz
Chip size	1.0 × 0.9 mm ²		

4 GHz의 광대역 특성을 나타내었다. 또한, 제작된 가변 이득 증폭기는 6 GHz에서 9.3 dB의 최대 이득과 19.6 dB의 이득 조절 범위 특성을 나타내었으며, 8 GHz에서 -3 dBm의 출력 전력 특성을 나타내었다. 따라서 피드포워드 방식을 이용한 가변 이득 증폭기는 UWB 등의 광대역 특성을 필요로 하는 시스템에 적용 가능할 것이다.

참고 문헌

- [1] Lian Zhao, Jon W. Mark, "Multistep Closed-Loop Power Control Using Linear Receivers for DS-CDMA Systems," IEEE Trans. Wireless Communication, vol. 3, No. 6, pp. 2141-2471, December 2001.
- [2] F. CARRARA and G. PALMISANO, "High-

dynamic-range VGA with temperature compensation and linear-in-dB gain control,” IEEE J. Solid-State Circuits, vol. 40, pp. 2019-2024, Oct. 2005.

- [3] R. G. Meyer, and W. D. Mack, “A DC to 1-GHz differential monolithic variable-gain amplifier,” IEEE J. Solid-State Circuits, vol. 26, no. 11, pp. 1673-1680, November 1991.
- [4] K. W. Kobayashi, A. K. Oki, D. K. Umemoto, S. Claxton and D. C. Streit, “Monolithic GaAs HBT p-i-n diode variable gain amplifiers, attenuators and switches,” IEEE Trans. Microwave Theory And Techniques, vol. 41, no. 12, pp. 2295-2302, December 1993.
- [5] K. W. Kobayashi, R. Esfandiari, D. K. Umemoto, A. K. Oki, L. T. Tran and D. C. Streit, “HBT low power consumption 2-4.5 GHz variable gain feedback amplifier,” IEEE GaAs IC Symp. Dig., pp. 309-312, November 1991.
- [6] K. W. Kobayashi, Kwan T. Ip, Aaron K. Oki, Donald K. Umemoto, Shimen Claxton, Matt pope and Jerry Wiltz, “GaAs HBT 0.75-5 GHz Multifunctional Microwave-Analog Variable Gain Amplifier,” IEEE Journal of Solid-state circuits, Vol. 29, No. 10, October 1994.

채 규 성 (Kyu-Sung Chae)

정회원



1998년 2월 : 경희대학교 우주과
학과 졸업

2001년 2월 : 경희대학교 전파공
학과 석사

2001년 3월~현재 : 경희대학교 전
파공학과 박사과정

<관심분야> 초고주파 능동소자

모델링, RF SoC 설계, RFID/USN용 SoC 설계

김 창 우 (Chang-Woo Kim)

정회원



1984년 2월 : 한양대학교 전자공학
과 졸업

1986년 2월 : 한양대학교 전자공
학과 석사

1992년 3월 : 일본 Shizuoka 대학
원 전자 과학 연구과 공학박사

1992.4~1996.2 : (주) 日本電氣

(NEC) 마이크로 일렉트로닉스 연구소 연구부 주임
연구원

1996.3~현재 : 경희대학교 전자정보대학 교수

<관심분야> 초고주파 능동소자 모델링, RF SoC 설계,
RFID/USN용 SoC 설계