

TP 케이블을 이용하는 이더넷 수신기를 위한 디지털 신호 처리부 설계

정회원 홍 주 형*, 선 우 명 훈**

Design of Digital Signal Processor for Ethernet Receiver Using TP Cable

Ju-hyung Hong*, Myung-hoon Sunwoo** *Regular Members*

요 약

본 논문에서는 TP 케이블을 이용하여 100Mbps의 전송 속도를 지원하는 100Base-TX Ethernet 수신기의 디지털 신호 처리부를 제안하였다. 제안하는 디지털 신호 처리부는 자동 이득 조절기, 심볼 동기 복원기, 적응 등화기, BLW 보정기로 구성되어 있으며 초기 위상에 상관없이 150m까지 10^{-12} BER이하의 성능을 보였다. 제안하는 신호 처리부는 일부 블록을 제외한 모든 부분을 디지털로 구현하였으며 적응 등화기와 BLW 보정기 연동 구조는 기존의 적응 등화기 에러 값을 이용하는 구조에 비하여 MSE가 약 1dB정도의 성능 향상을 가져왔다. 설계한 디지털 신호 처리부는 Verilog-HDL로 구현되었으며 삼성 0.18 μ m 라이브러리를 사용하여 합성 결과 동작 속도는 7.01ns이며 총 게이트 수는 128,528 게이트였다.

Key Words : 100Base-TX Ethernet, BLW compensator, Adaptive equalizer, Timing recovery, PGA

ABSTRACT

This paper presents the digital signal processing submodule of a 100Base-TX Ethernet receiver to support 100Mbps at TP cable channel. The proposed submodule consists of programmable gain controller, timing recovery, adaptive equalizer and baseline wander compensator. The measured Bit Error Rate is less than 10^{-12} BER when continuously receiving data up to 150m. The proposed signal processing submodule is implemented in digital circuits except for PLL and amplifier. The performance improvement of the proposed equalizer and BLW compensator is measured about 1dB compared with the existing architecture that removes BLW using errors of an adaptive equalizer. The architecture has been modeled using Verilog-HDL and synthesized using samsung 0.18 μ m cell library. The implemented digital signal processing submodule operates at 142.7 MHz and the total number of gates are about 128,528.

I. 서론

최근 급격하게 증가하고 있는 복잡하면서도 다양한 데스크 탑 어플리케이션은 주로 랜에 의존하고

있으며 이에 따른 데이터의 증가량으로 인하여 기존의 100Mbps를 지원하는 이더넷 기술이 출현하게 되었다. 또한 급증하는 네트워크 트래픽과 인터넷 비즈니스의 이용 확대에 힘입어 전 세계적으로 네

※ 본 연구는 교육인적 자원부 2단계 BK(Brain Korea) 21 과제, 정보통신부 IT R&D Project, 반도체설계교육센터 (IDEC)의 지원을 받아 수행되었습니다.

* 삼성전자 System LSI 사업부 (juhyung12.hong@samsung.com), ** 아주대학교 전자공학부 (sunwoo@ajou.ac.kr)

논문번호 : KICS2006-07-323, 접수일자 : 2006년 7월 12일, 최종논문접수일자 : 2007년 7월 20일

트위크를 기가비트 클래스로 업데이트 시키려는 전개가 시작되고 있다. 기가비트 이더넷은 기존의 고속 이더넷을 개선한 기술로써 비슷한 디지털 신호 처리부가 사용된다. 이더넷 관련 표준은 IEEE 802.3으로 규정되어 있으며 되어 있으며 100Mbps 급은 802.3u에 1Gbps급 기술은 802.3ab로 규정되어 있다¹⁾.

100Mbps를 지원하는 100BASE-X의 기본적인 발상은 이미 개발된 ANSI X.TP9.5의 Unshield Twisted Pair (UTP) 5 또는 Shield Twist Pair (STP) 케이블을 사용하는 Copper based Distributed Data Interface (CDDI)의 Physical Medium Dependent (PMD) 및 광섬유를 사용하는 Fiber Distributed Data Interface (FDDI) 의 PMD 기술과 Carrier Sense Multiple Access with Collision Detection (CSMA/CD)의 media access control (MAC) 기술을 Physical Coding Sublayer (PCS) 계층에서 정합시켜 100Mbps 급의 고속 이더넷을 구현하는 것이다. 따라서 아주 구현성이 높기 때문에 현재 시판되는 방식은 대부분 이 방식이다. 전송 매체에 따라서 UTP 또는 STP를 이용하는 100BASE-TX와 광섬유를 이용하는 100BASE-FX로 규정되어 있다¹⁾²⁾.

이더넷의 여러 기술 중에서 저렴한 인프라 구축 비용으로 인하여 Twisted Pair (TP) 케이블을 이용하는 100BASE-TX 및 1Gbps를 지원하는 1000BASE-T가 가장 보편적으로 사용되고 있으며 100BASE-TX는 UTP5 케이블내의 두 쌍의 TP선을 사용하며 1000BASE-T는 네 쌍의 TP선 모두를 사용하여 송수신한다. 1000BASE-T의 물리 계층부의 많은 부분은 100BASE-TX 기술이 사용되므로 100BASE-TX의 물리 계층부의 설계 기술은 TP 케이블을 이용하는 기가비트 이더넷에서도 재사용이 가능하다¹⁾.

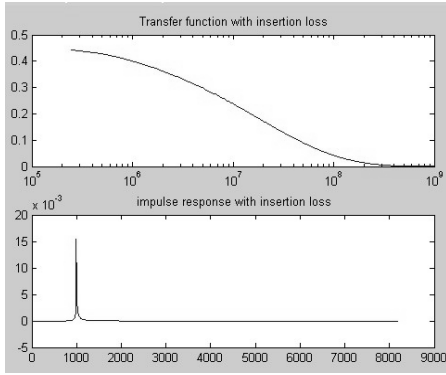
구리선을 이용하여 데이터를 송신할 때 주파수와 케이블 거리에 따른 감쇄와 채널의 주파수 특성은 심볼 상호 간섭 (ISI)을 유발하며 패치 케이블 연결로 인한 임피던스 불일치 등으로 인하여 ISI은 증가하게 된다. 또한 전송 시스템의 코딩 방식과 송신 데이터와 케이블 채널 사이를 연결하는 변성기로 인하여 DC 기준선이 이동하는 BaseLine Wander (BLW) 가 발생하게 된다. 따라서 TP 케이블을 이용하는 이더넷 수신기는 ISI와 BLW를 효과적으로 제거해야 한다.

TP를 이용한 이더넷의 물리 계층부는 자동 이득 조절부 (Programmable Gain Amplifier, PGA), 심볼 동기 복원기 (Timing Recovery), 적응 등화기 (Adaptive Equalizer), BLW 제거기 (BLW Compensator) 등으로 이루어져 있으며 고속 데이터를 에러 없이 수신하기 위하여 각 블록들이 상호 연동을 통하여 동작하는 디지털 신호 처리부의 설계가 매우 중요하다. 이미 Intel³⁾, Broadcom⁴⁾, Mysticom⁵⁾ 등은 10/100Mbps 및 1Gbps의 전송 속도를 지원하는 원칙을 상용화하여 판매하고 있으며 관련된 여러 가지 특허를 보유하고 있다. 하지만 적응 등화기를 비롯한 신호 처리부가 아날로그 단판 디지털 단으로 나뉘어 설계되었거나 데이터를 수신할 수 있는 채널의 길이가 그리 길지 못하다. 따라서 본 논문에서는 제안하는 적응 등화기와 BLW 보정기의 연동 구조 및 주변 회로를 포함하는 이더넷용 디지털 신호 처리부 설계를 통하여 150m까지 수신할 수 있는 송신단을 구현하였다⁶⁾.

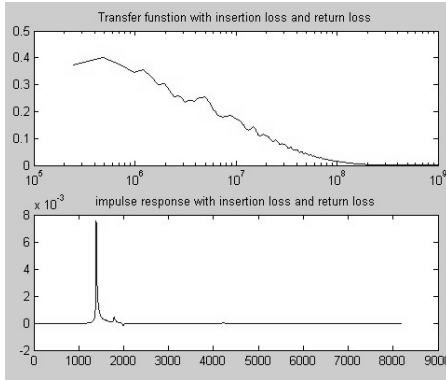
본 논문의 II장에서는 TP 케이블을 이용하는 100Base-TX의 채널 특성에 관하여 논하며 III장에서는 제안하는 수신기의 디지털 신호 처리부에 대하여 설명한다. IV장에서는 디지털 신호 처리부 동작 과정 및 구현 결과에 대하여 논의하겠다. 마지막으로 V장에서 결론에 대해 논한다.

II. TP 케이블을 이용하는 이더넷 채널 특성

TP는 서로 꼬아진 두개의 구리선으로 구성되며 서로 밀접하게 위치되어 있고 대칭성을 가지므로 외부 신호는 두 구리선에 동일하게 영향을 끼친다. 따라서 수신기가 두 선 사이의 신호 차이만을 검출할 경우 외부 신호의 영향이 상쇄되는 장점을 지닌다. 하지만 거리에 따른 감쇄가 많기 때문에 채널 길이가 길수록 ISI가 급격히 증가 하게 되며 주파수 대역폭이 광섬유에 비하여 상대적으로 좁다. 또한 패치 케이블이나 연장 케이블을 연결할 경우 생기는 임피던스 불일치에 민감하다⁷⁾. 그림 1의 (a)는 삽입손실, 즉 케이블의 감쇄 영향만을 고려한 주파수 특성과 충격 응답을 나타내며 (b)는 삽입손실과 함께 12%의 임피던스 불일치되는 패치 케이블의 연결로 인한 반사 손실이 추가된 주파수 특성과 충격 응답을 나타낸다. (a) 보다 (b)의 채널 환경이 열악해짐을 확인 할 수 있다.



(a) 삽입 손실만 있을 경우



(b) 삽입 손실과 반사 손실이 있는 경우

그림 1. 100m 케이블 채널의 전달 함수와 충격 응답

100BASE-TX에서는 MLT-3 형식의 신호로 변환시켜 추가로 전자파 방출을 감소시킨다. MLT-3 코딩 방식은 ‘1’이 반복되는 NRZI 신호와는 달리 이전 심볼의 변화를 기억하였다가 심볼 변화시 이전 심볼이 +방향이었던 -방향으로, -방향이었던 +방향으로 변화시킨다. 따라서 NRZI 신호에 비하여 MLT-3의 신호는 주파수가 1/2로 줄어든다. 이는 대역 제한과 외부 전자파 방출이 있는 TP 케이블의 약점을 극복하기 위한 코딩 방식이다. 하지만 UTP 케이블로 연결될 때 전기적 분리를 위한 변성기를 통과하게 되는데 이 변성기는 50KHz이하의 저주파 성분을 통과시키지 못하는 특성을 가지고 있다. 따라서 MLT-3 신호가 변성기를 통과할 때 입력 신호의 DC 성분을 통과시키지 않기 때문에, 수신되는 차동 신호의 DC 오프셋이 변하게 된다. 이렇게 신호 레벨의 평균값이 변하면 펄스의 폭이 왜곡된다. 즉 BLW가 생기게 되어 지터가 발생되며 비트 오류를 증가시키게 된다. 그림 2는 송신기의 변성기를 통과한 데이터열의 파형이다. 입력 신호의 저주파 신호가 통과되지 않아서 신호의 기준점이 상하로 변화



그림 2. 송신기의 변성기 출력 파형

하는 것을 볼 수 있다.

채널의 길이가 길어짐에 따라 신호의 감쇄 또한 커지게 된다. 표 1은 V_p 가 1V인 송신 데이터의 채널 길이에 따른 평균적인 감쇄 정도를 나타낸다. 또한 채널에는 배경 노이즈로써 AWGN이 존재하게 된다.

표 1. 채널에 따른 수신 데이터 감쇄

채널 길이 (m)	수신 데이터 (V)
15	1
30	0.7941
60	0.7193
75	0.6569
95	0.6041
110	0.5589
125	0.5197
140	0.4853

III. 100BASE-TX 수신기의 디지털 신호 처리부 구조

수신기의 신호처리부는 II장에서 설명한 ISI와 반사손실, 삽입손실, BLW를 제거해야만 한다. 설계한 신호 처리부는 심볼 동기 복원기의 PLL 및 자동 이득 조절부의 이득 조절기를 제외한 모든 부분을 디지털로 설계하였다. 디지털 회로의 집적도가 아날로그 회로의 집적도에 비하여 훨씬 좋기 때문에 아날로그 회로가 포함된 기존의 디지털 신호 처리단보다 제안하는 구조는 하드웨어 크기 및 전력 소모를 줄일 수 있다. 제안하는 구조는 그림 3과 같이 자동 이득 조절기, 심볼 동기 복원기, 적응 등화기, BLW 보상기로 구성되어 있다.

수신기의 A/D 변환기는 6 비트의 A/D 변환기를 사용하였다. A/D 변환기가 30%의 SNDR을 가짐을 고려하여 ENOB를 5비트로 하였다. 자동 이득 조절기는 A/D 출력을 가지고 수신 데이터의 이득을 A/D 변환기의 포화 범위를 넘지 않는 한도 내에서 적응 등화기가 정상 동작할 수 있도록 이득을 조절한다. 심볼 동기 복원기는 PLL에서 생성된 32개의 위상 중 최적 위상을 계산하여 A/D 변환기에 심볼을 전달한다. 적응 등화기는 FeedForward 필터

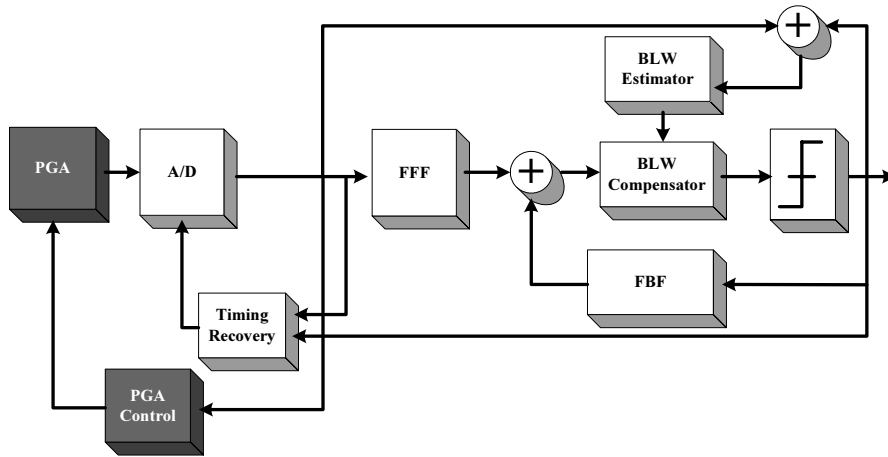


그림 3. 100Base-TX 수신기의 디지털 신호 처리부

(FFF)와 FeedBack 필터 (FBF)로 구성되어 있는 Decision Feedback 필터 (DFE) 구조의 등화기와 Least Mean Square (LMS) 알고리즘을 사용하였다. 제안하는 BLW 보상기는 등화기 입력과 슬라이서 출력 값을 가지고 BLW를 측정하여 등화기 출력에서 보정하도록 설계하였다.

3.1 자동 이득 조절기

자동 이득 조절기는 A/D 변환기의 입력이 포화되거나 적응 등화기의 정상 동작을 위한 이득에 미달되지 않도록 감쇄된 신호의 크기를 자동적으로 조절해 주는 기능을 담당한다. A/D 컨버터의 최대 입력 범위는 $\pm 1.4V$ 로 설정되어 있다. 그러나 최악의 BLW를 가지고 있는 killing packet이 수신될 경우 데이터가 범위를 넘어 손실될 수 있으므로 최대 크기의 70%인 $\pm 1V$ 가 넘지 않게 증폭 시킨다. 자동 이득 조절기는 그림 4와 같이 최대 값 검출 블록, 최대 값 평균 블록, 컨트롤 블록으로 구성된다. 최대 값 검출 블록은 64개의 심볼중 제일 큰 값을 검출하여 피크 평균 블록으로 전송하고 평균 블록에서는 8개의 최대 값의 평균을 구하며 컨트롤 블록에서는 평균 값이 임계 값을 초과하면 컨트롤 비트를 1만큼 감소시키고, 임계값보다 적으면 1 증가시켜 수신 데이터에 알맞은 이득 조절 비트를 아날로그 부의 증폭기에게 전달한다. 총 512의 심볼의 이득을 평가하여 이득을 조정한다. 이득 갱신 구간 내에서 최적 이득을 찾으며 이득 갱신 구간이 지난 후에는 Pga_stop 신호를 "1"로 하여 Pga_out 값을 이전의 최적 이득 값을 유지한다.

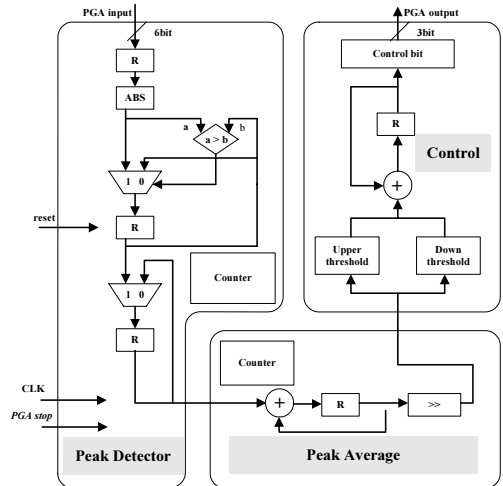


그림 4. 자동 이득 조절기 구조

3.2 심볼 동기 복원기

심볼 동기 복원기는 타이밍 에러 값을 계산하여 정확한 샘플링 시점을 추출하는 역할을 한다. 100Base-TX는 수신기가 125MHz의 고속 동작을 해야 하므로 오버 샘플링 방법의 타이밍 복원기는 적합하지 않다. 따라서 M&M 알고리즘과 같은 baud rate 샘플링 방법이 널리 사용되고 있다. M&M 알고리즘은 등화기 입력 값 (x_n)과 판정된 값 (d_n)을 사용하여 타이밍 에러를 추출한다. 타이밍 에러가 음의 값이 나오면 타이밍 포착 시점이 빠른 것이고 양의 값이 나오면 느린 것이다^[8].

$$E_n = (x_n \times d_{n-1}) - (d_n \times x_{n-1}) \quad (1)$$

100Base-TX 시스템에서는 MLT-3 이라는 코드 방식을 사용한다. MLT-3 코딩은 현재 심볼이 이전 심볼의 영향을 받으므로 M&M 알고리즘을 MLT-3 신호에 적합한 modified M&M 알고리즘을 사용하였다. modified M&M 알고리즘의 타이밍 에러 함수는 식 2와 같다. 시뮬레이션 결과 등화기의 MSE는 M&M 알고리즘보다 modified M&M 알고리즘을 사용할 경우 위상 수렴 초반에 안정적인 타이밍 에러 값을 나타냄으로써 최적 위상을 용이하게 추적할 수 있었다⁹⁾.

$$E_n = (x_n \times d_{n-1}) - (d_n \times x_{n-1}) + \frac{1}{2}(x_{n-2} \times d_n) - (d_{n-2} \times x_n) \quad (2)$$

심볼 동기 복원기는 그림 5와 같이 prefilter, 타이밍 에러 검출기 (timing error detector), 루프 필터 (loop filter), NCO (Numerically control oscillator), 컨트롤 블록으로 구성된다. 등화기의 지연이 4지연이므로 등화기 입력의 4지연된 데이터를 x_n 으로 사용한다. 등화기의 MSE와 심볼 동기 복원기의 타이밍 에러 값이 최적이 되는 위상의 차이를 보상해 주기 위하여 2 탭의 prefilter를 사용하였다. 또한 prefilter는 심볼 파형을 성형하여 정상 상태에서의 패턴 에러를 보정해 준다.

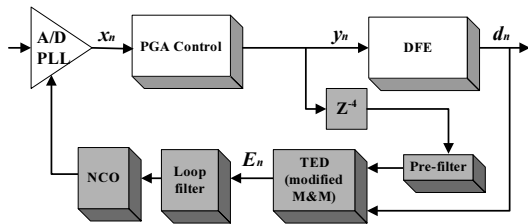


그림 5. 심볼 동기 복원기 구조

심볼 동기 복원기는 0m~150m 모든 채널에서 초기 위상에 관계없이 최적 위상을 추적할 수 있도록 설계되었으며 200ppm 이상의 주파수 오프셋에서도 위상을 수렴시켰다. 심볼 동기 복원기는 이득 갱신이 완료된 후 위상 조절 구간 내에서 이루어진다.

3.3 적응 등화기

설계한 적응 등화기는 전치형 필터 구조의 DFE 구조를 사용하였다. FFF만으로는 UTP-5 채널 등화에 한계가 있으므로 DFE 구조를 사용하였으며 적응 등화 알고리즘으로는 하드웨어 구조가 가장 단

순한 LMS 알고리즘을 사용하였다. 하지만 수렴 시간이 늦은 단점이 있다. 사용한 LMS 알고리즘의 수식은 다음 같다¹⁰⁾.

$$e_n = d_n - y_n \quad (3)$$

$$y_n = \sum_{i=0}^{M-1} x_{n-i} \cdot W_i^{(n-i)T} + \sum_{j=0}^{M-1} x_{n-j} \cdot W_j^{(n-j)T} \quad (4)$$

$$W_{n+1} = W_n + \mu \cdot e_n \cdot x_n \quad (5)$$

W_n 은 탭 계수를 나타내며 μ 는 step size로써 클수록 수렴 속도는 빨라지지만 잔류 오차가 커지는 특성이 있다. x_n 은 등화기의 입력이며 y_n 은 등화기 출력을 나타낸다. d_n 은 슬라이서에 의하여 판정된 데이터이며 e_n 은 등화 오차 값을 나타낸다. 등화기는 오차의 제곱 값을 줄이는 방향으로 각 탭의 계수 값들을 수렴시키게 된다.

전치형 필터 구조의 DFE는 일반적인 FIR 필터 구조보다 약 1dB 정도의 MSE의 증가와 느린 수렴 시간을 보이지만 고속 동작 및 파이프라인 구조로 인한 하드웨어 증가를 줄이기 위해서 전치형 필터 구조를 사용하였다¹¹⁾. 설계한 적응 등화기는 그림 6과 같이 13탭의 FFF와 15탭의 FBF으로 구성되어 있다. 회색으로 칠해진 FFF의 10번째 탭과 FBF의 15번째 탭은 초기 계수 값을 가지고 있는 각 필터의 중앙 탭을 나타낸다. 내부 곱셈기 및 덧셈기는 반올림기 및 오버플로우 방지기를 사용하였고 LMS 알고리즘의 step size 로는 충분한 검증 후에 2^{-7} 을 사용하였다. 2의 배수를 사용함으로써 하드웨어 크기를 줄일 수 있었다.

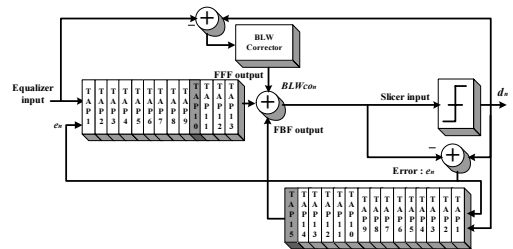


그림 6. 구현한 적응 등화기

3.4 BLW 보정기

100Base-TX 수신기는 MLT-3 코딩 방식과 송수

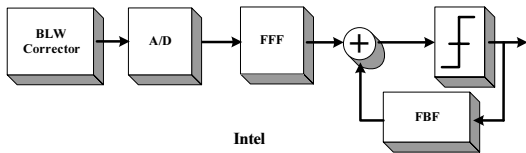


그림 7. (a) 아날로그 단에서 측정 및 보정

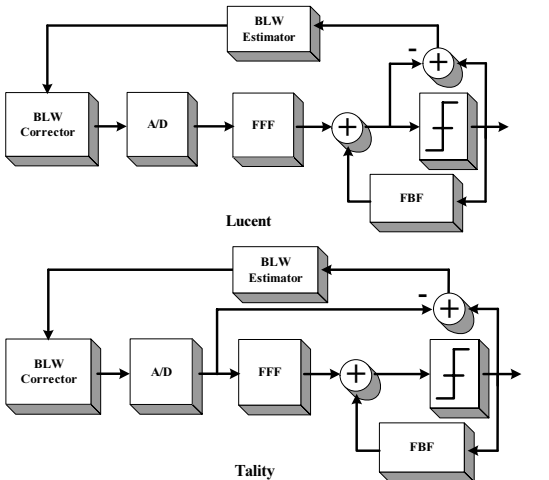


그림 7. (b) 디지털 단에서 측정, 아날로그 단에서 보정

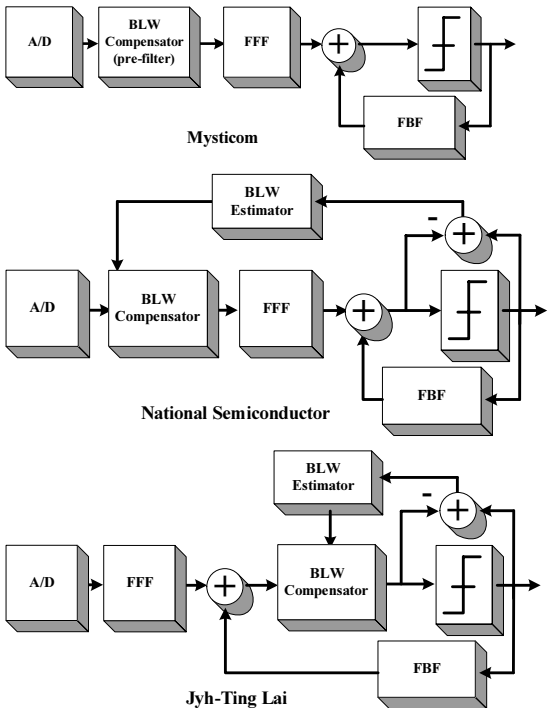


그림 7. (c) 디지털 단에서 측정 및 보정

신단의 변성기로 인하여 DC 옵셋이 변하게 된다. 따라서 수신기는 BLW를 보정해 주어야한다. BLW

를 보정하는 기존의 방법에는 그림 7과 같이 크게 세 가지 방법이 있다. 각각 아날로그 회로만을 이용하여 BLW 측정 및 보정 하는 방법^[12], 디지털 단에서 측정 후 아날로그 회로를 이용하여 보정하는 방법^{[9][13]}, 디지털 회로만을 이용하여 측정 및 보정 하는 방법^{[14][15][16]}이 있다.

아날로그 회로의 집적도가 디지털 회로의 집적도에 미치지 못하는 현재 신호 처리부를 디지털 화하는 것은 상당히 큰 장점을 가지고 있다. 수신 데이터의 BLW에 의하여 A/D가 포화되지 않거나 등화기가 BLW에 의하여 발산하지 않도록 보정해줄 수 있으면 디지털 단에서 BLW를 보정해주는 것이 가능하다. 제안하는 디지털 신호 처리부는 디지털 단에서 BLW를 제거할 수 있도록 자동 이득 조절기 및 적응 등화기를 설계하였다. 디지털 단에서 BLW를 보상하는 방법 중에서 Mysticom의 BLW 제거기는 이전 신호에서 현재 신호를 빼주는 prefilter를 등화기 앞에 두어 BLW 제거 및 MLT-3 디코딩을 동시에 수행한다^[14]. 다른 방법으로는 등화기의 에러 값을 이용하여 등화기 앞이나 슬라이서 앞에서 제거 해주는 방법이 있다^[15, 16].

등화기의 에러 값을 사용하여 BLW를 측정할 경우 적응 등화 초반의 등화기를 거친 값은 완전하게 수렴되지 못한 등화기 계수에 영향을 받은 값이므로 BLW가 잘 못 측정될 수 있다. 따라서 제안하는 BLW 보정기는 그림 8과 같이 BLW 측정을 위하여 등화기의 에러 값 대신 등화기 입력 값과 슬라이서 출력 값의 차이를 이용하였으며 식 6과 같이 등화기의 지연을 고려하여 계산한다. 현재 심볼의 BLW 측정을 위하여 현재 BLW를 포함하는 이전 3개의 BLW 평균을 구하며 식 7과 같이 비트 변환을 이용하여 구현하였다. BLW_{co}는 현재 심볼의 BLW를 보정하기 위하여 측정된 BLW 값을 나타낸다.

디지털 단에서 BLW를 측정하고 아날로그 단에서 보정하는 기존의 방법 중 제안하는 구조와 유사

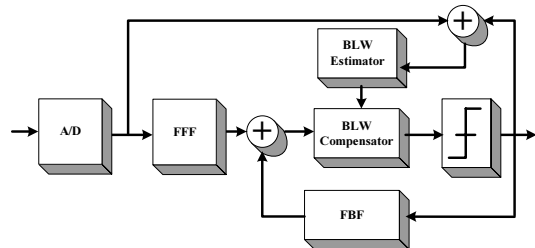


그림 8. 제안하는 BLW 보정기

하게 BLW를 측정하는 구조가 있으나 제안하는 등화기는 디지털단의 슬라이서 앞에서 BLW를 보정한다. 제안하는 BLW 보정기는 등화기의 에러 값을 이용하여 BLW를 측정하여 등화기 출력에서 보정하는 기존의 구조보다 시뮬레이션 결과 그림 9와 같이 약 1dB의 성능 향상을 가져왔다.

$$BLW_{e_n} = d_n - x_{n-4} \quad (6)$$

$$BLW_{CO_n} = \sum_{i=n-3}^n BLW_{e_n} \times 0.25$$

$$= \sum_{i=n-3}^n (BLW_{e_n} \gg 2bit) \quad (7)$$

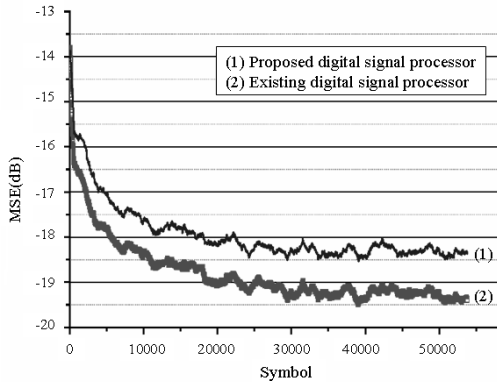


그림 9. 기존 BLW 보정기와 제안하는 구조의 MSE 비교

IV. 디지털 신호 처리부 성능 평가 및 구현 결과

제안하는 디지털 신호 처리부의 성능 평가는 Cadence사의 SPW로 floating/fixed point 모델링을 통한 알고리즘 검증 및 시뮬레이션을 수행하였다. 수신단의 디지털 신호 처리부는 등화기의 발산이나 수신 데이터의 동기를 정확히 복원하지 못한 경우 등화기 및 심볼 동기 복원기를 초기화하여 재동작 하도록 하기위하여 MSE 값을 모니터링 하는 블록을 가지고 있으며 설계한 디지털 신호처리부는 다음과 같은 초기화 절차를 통하여 정상 상태로 동작하게 된다.

- 1) 수신기가 리셋 되면 자동이득 조절부의 이득이 1로 초기화 되며 이득 조정 기간 12,288 심볼 동안 자동 이득 조절부가 수신 신호에 대하여 최적 이득을 찾는다.
- 2) 12,288 심볼 후에는 심볼 위상 복원기, 적응 등화기, BLW 보정기가 동작하며 심볼 위상 복원기의 초기 위상 수렴 시간인 8,192 심볼 기간 동안 위상을 수렴시키게 된다.

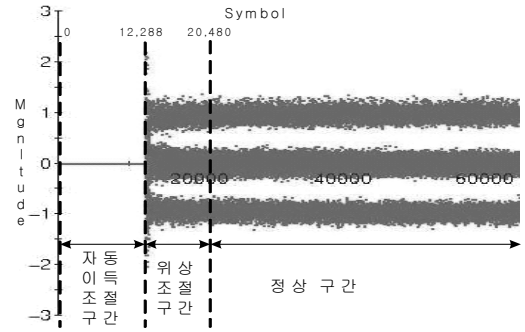


그림 10. 디지털 신호처리부 초기 동작

- 3) 20,480 심볼, 즉 163.84μs 지난 후에 적응 등화기, 심볼 동기 복원기, BLW 보정기는 정상 상태로 들어간다. 정상 상태 동안 에러를 검사하면서 기준 값 이상일 경우에는 적응 등화기, 심볼 동기 복원기, BLW 보정기를 초기화하여 2단계부터 다시 시작한다.

수신단의 시뮬레이션 결과 IEEE 802.3u에서 요구하는 10^{-12} BER을 만족하기 위해서는 MSE가 -17.7dB보다 적은 값을 가져야 하며 0m~150m까지 전 채널에 걸쳐 요구하는 BER을 만족하였다. 그림 11은 100m와 150m에서의 수신부 입력 데이터와 디지털 신호처리부의 출력 눈 패턴을 나타낸 그림이다. 수신 데이터는 눈이 닫혀 있지만 제안하는 디지털 신호 처리부를 거치면서 눈이 열리는 것을 확인할 수 있다. 표 2는 채널 길이에 따른 MSE의 측정치이다.

표 2. 채널에 따른 MSE 측정치

채널 길이 (m)	MSE (dB)
150	-18.9 ~ -19.3
125	-21.3 ~ -21.7
100	-21.9 ~ -22.9
75	-22.0 ~ -23.1
50	-22.8 ~ -23.8
30	-24.8 ~ -25.5
10	-26.7 ~ -27.3

제안한 디지털 신호 처리부는 Verilog-HDL로 설계하였으며 삼성 0.18μm 공정으로 합성한 결과 동작 속도는 7.01ns이며 전체 게이트 수는 128,528개이다. 따라서 8ns로 동작해야 하는 100Base-TX 수신기의 동작 속도를 만족 시킨다. Xilinx virtex2 600만 게이트 FPGA를 내장하고 있는 dynalith사의 IPROVE 보드를 사용하여 검증하였으며 그림 12는

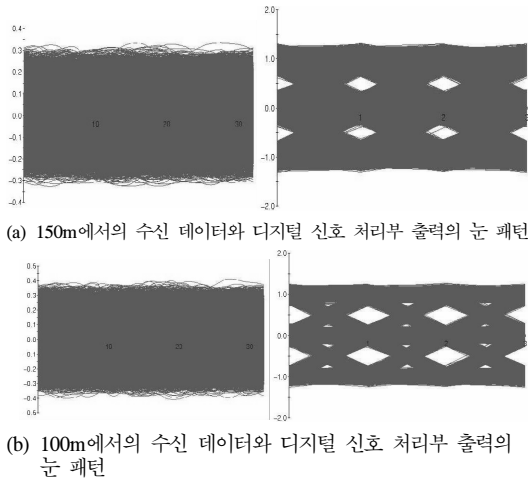


그림 11. 수신 데이터와 디지털 신호 처리부 출력의 눈 패턴

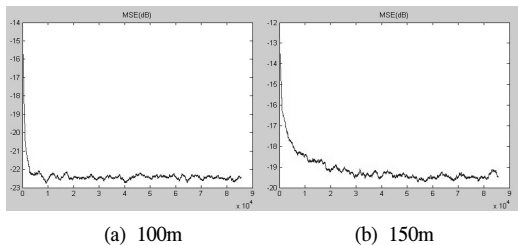


그림 12. FPGA를 이용한 MSE 측정 결과

FPGA를 이용하여 100m, 150m 채널 환경에서 측정한 MSE 결과이다.

V. 결론

본 논문에서는 100Base-TX 표준을 지원하는 물리계층부의 디지털 신호 처리부를 설계하였다. 설계한 디지털 신호 처리부는 자동 이득 조절기, 심볼 동기 복원기, 적응 등화기, BLW 보정기로 구성되어 있으며 PLL 및 이득 증폭기를 제외한 대부분을 디지털로 설계함으로써 아날로그 단의 하드웨어 크기를 감소시켰다. 제안하는 적응 등화기와 BLW 보정기 연동 구조는 기존의 적응 등화기의 에러 값을 이용하여 BLW를 보정하는 구조에 비하여 등화기 입력과 결정 값을 이용하여 등화기 출력에서 보정함으로써 1dB 정도의 성능 향상을 이루었다. 제안하는 디지털 신호 처리부는 심볼 동기 복원기의 초기 위상에 상관없이 150m 이하의 전 채널에서 IEEE 802.3u에서 요구하는 10^{-12} BER을 만족시켰으며 임피던스 불일치에 의한 반사 손실이 큰 채널

환경 하에서도 효과적으로 동작하였다. 설계한 디지털 신호 처리부는 Verilog-HDL로 구현되었으며 삼성 0.18 μ m 표준 셀 라이브러리를 사용하여 Synopsys로 논리 합성한 결과 최대 동작 주파수는 142.7MHz이며 총 게이트 수는 128,528 이었다. 100Base-TX 물리 계층부는 125MHz로 동작해야 하므로 설계한 디지털 신호 처리부는 이를 만족시킨다. 또한 기가비트 이더넷인 1000Base-T 역시 설계한 디지털 신호 처리부와 유사한 신호 처리부가 사용되므로 설계한 100Base-TX 디지털 신호 처리부는 향후 기가비트 이더넷에 이르기까지 그 기술이 재사용될 수 있다.

참 고 문 헌

- [1] IEEE, *Part3: Carrier sense multiple access with collision detection (CSMA/CD) access method and physical layer specifications*, IEEE Std. 802.3, 2002.
- [2] ANSI, *Fiber distributed data interface (FDDI) - token ring twisted pair physical layer medium dependent (TP-PMD)*, ANSI x3.263-1995, Sep. 1995.
- [3] Intel corporation, *LXT972A data sheet*, Available : <http://www.intel.com>.
- [4] Broadcom corporation, *BMC5208 data sheet*, Available : <http://www.broadcom.com>.
- [5] Mysticom corporation, *MystiPHY110 product brief*, Available : <http://www.mysticom.com>.
- [6] Jae Hyung Baek, Ju hyung Hong, and Myung H. Sunwoo, "Novel Digital Signal Processing Unit for Ethernet Receiver," in *proc. IEEE Int. Symp. Circuits Syst. (ISCAS'2005)*, May 2005, pp. 4477-4480.
- [7] Jim Rivernider, "Return loss and data transmission," Available : <http://www.quabbin.com>.
- [8] K. H. Mueller and M. Muller, "Timing recovery in digital synchronous data receivers," *IEEE Trans. Commun.*, vol. COM-24, pp.516-531, May 1976.
- [9] S. Huss, M. Mullen, and C.T. Gray, "A DSP based 10BaseT/100BaseTX Ethernet transceiver in a 1.8 V, 0.18 μ m CMOS technology," in *proc. IEEE Custom Integrated Circuits Conf.*,

- 2001, pp. 135-138.
- [10] J. H. Lee, W. H. Park, J. H. hong, M. H. Sunwoo and K. H. Kim, "A high-speed blind DFE equalizer using an error feedback filter for QAM modems," in *proc. IEEE Int. Symp. Circuits Syst. (ISCAS' 2003)*, May 2003, pp.464-467.
- [11] Douglas L. Jones, "Learning characteristics of transpose-form LMS adaptive filters," *IEEE Trans. Circuits Syst. II*, vol 39, pp. 745-749, Oct. 1992
- [12] Mel Buzes, "Method and apparatus for reducing baseline wander," United States, Patent 6,140,857, Mar. 29, 1999.
- [13] Leon Chia-Liang Lin and Gerchih Chou, "Automatic gain control for communication receivers," United States, Patent US 2003/0142659 A1. Jun. 25, 2002.
- [14] I. Greiss and E. Lida, "Digital base-band Receiver," United States, Patent US 2002/0021767 A1, Jun. 7, 2001
- [15] Sren A. Raghavan, "Digital baseline wander correction circuit," United States, Patent US 6,415,003 B1, Sep. 11, 1998.
- [16] Jyh-Ting Lai, "Receiver for baseline wandering compensation," United States, Patent US 2003/0206604 A1, Jul. 12, 2002.

홍 주 형 (Ju-hyung Hong)

정회원



2002년 2월 : 아주대학교 전자공학과 졸업
 2004년 2월 : 아주대학교 전자공학과 석사
 2004년 현재 : 삼성전자 시스템 LSI 사업부
 <관심분야> 통신 및 신호처리용 SOC 설계

선 우 명 훈 (Myung-hoon Sunwoo)

정회원



1980년 2월 : 서강대학교 전자공학과 졸업
 1982년 2월 : 한국과학기술원 전자공학과 석사
 1982년 3월~1985년 8월 : 한국전자통신연구소 (ETRI)
 1985년 9월~1990년 8월 : Univ. of Texas at Austin 전자공학과 박사
 1992년 8월~1996년 10월 : 아주대학교 전기전자공학부 조교수
 1996년 10월~2001년 9월 : 아주대학교 전자공학부 부교수
 2001년 10월~현재 : 아주대학교 전자공학부 교수
 <관심분야> VLSI 및 Parallel Architecture, 통신 멀티미디어용 DSP 칩 및 SOC 설계