

Verilog-A를 이용한 파이프라인 A/D변환기의 모델링

정회원 박 상 욱*, 준회원 이재용**, 정회원 윤광섭**,

Modeling of Pipeline A/D converter with Verilog-A

Sang-wook Park*, *Regular Member*, Jae-yong Lee** *Associate Member*,
Kwang-Sub Yoon** *Regular Member*

요 약

본 논문에서는 무선 랜 시스템용 10비트 20MHz 파이프라인 아날로그-디지털 변환기 설계를 위해서 Verilog-A 언어를 사용하여 모델링하였다. 변환기내 샘플 / 홀드 증폭기, 비교기, MDAC 및 오차 보정 회로 등의 구성회로들을 각각 모델링해서 모의실험 한 결과 HSPICE를 이용한 모의 실험 시간보다 1/50배로 단축되어서 시스템 모델링에 적합함을 확인하였다.

Key Words : ADC(Analog-to-Digital Converter), Pipeline, Top-down, Modeling, Verilog-A

ABSTRACT

In this paper, the 10bit 20MHz pipelined analog-to-digital converter that is able to apply to WLAN system was modeled for ADC design. Each blocks in converter such as sample and hold amplifier(SHA), comparator, multiplying DAC(MDAC), and digital correction logic(DCL) was modeled. The pipelined ADC with these modeled blocks takes 1/50 less time than the one of simulation using HSPICE.

I. 서 론

최근 급속히 성장하고 있는 통신, 컴퓨터, 가전제품들은 아날로그와 디지털 기능의 더 높은 집적화 수준을 요구하고 있다. 이러한 동향으로 아날로그와 혼성신호 집적회로 설계자를 위한 더 효과적인 설계 방법에 대한 요구가 날로 커지고 있다. 또한 아날로그 부분과 디지털 부분 사이의 효과적인 간섭 제거 및 상호 신호 교환을 위해 혼성신호 설계가 중요해지고 있다. 지금까지 디지털 회로 설계에 있어서 집적회로설계의 복잡도를 줄이기 위해 HDL(Hardware Description Language), 합성, 셀 라이브러리(Cell library)등이 이용된 반면에 아날로그 및 혼성신호 회로설계에서는 바텀-업(Bottom-up)디자인 방법이 많이 사용되었다. 즉 트랜지스터 레벨에서부터 설계

가 진행되는 완전 주문형(Full Custom) 방법이 주를 이루었다. 집적도가 증가함에 따라 전체 시스템을 서브시스템 또는 부분블록으로 나누어 설계할 수 있는 기능의 필요성이 점점 더 커지고 있다. 시스템 설계를 서브시스템 과 부분블록으로 나누어 설계하는 방법은 IP의 교환 및 재사용을 가능케 한다. 또한 탑-다운 모델링을 통하여 전체 시스템의 구조 설정이 용이하고 각 서브시스템의 성능 요구사항을 결정할 수 있다. 따라서 시스템에 적합한 서브시스템의 설계가 단시간 안에 가능해 지고 다른 시스템에 재사용도 가능하여, 새로운 시스템의 설계기간을 단축할 수 있다^[1-3]. 따라서, 본 논문에서는 아날로그회로의 모델링 기능을 가진 Verilog-A언어를 이용한 Top-Down 설계 기법을 제안하고 10비트 20MS/s 파이프라인 A/D변환기를 모델링하였다.

* 본 연구는 정보통신부 및 정보통신연구진흥원의 대학 IT연구센터 지원사업의 연구결과로 수행되었음(IITA-2007-C1090-0701-0019)

* 삼성전자 시스템 LSI 사업부, ** 인하대학교 전자공학과 (lgy4468@hanmail.net)

논문번호 : KICS2007-04-160, 접수일자 : 2007년 4월 5일, 최종논문접수일자 : 2007년 10월 2일

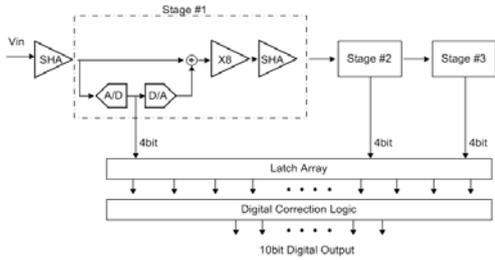


그림 1. 10비트 파이프라인ADC의 전체구조
Fig. 1 Block diagram of the proposed system

II. 제안한 10비트 A/D변환기의 모델링

본 논문에서 모델링된 10비트 20MS/s 파이프라인 ADC는 그림 1에서 나타난 것처럼 입력단의 샘플/홀드 증폭기(Sample-and-Hold Amplifier : SHA), 4비트 구조를 가지는 3개의 동일한 스테이지, 디지털 신호의 동시 출력을 위한 래치회로 및 오차보정 회로로 구성되어 있다⁴⁻⁵⁾.

각각의 스테이지는 SHA, Sub-ADC, Sub-DAC, 잔류전압 증폭기(Residue Voltage Amplifier) 및 감산기로 구성되어 있다. 일반적으로 마지막 세 개의 블록을 합쳐서 MDAC(Multiplying Digital to Analog Converter)이라고 부른다⁶⁾. 본 논문에서는 잡음에 대한 영향을 최소화 하는 실제 회로에 부합하도록 모든 블록들을 완전차동 구조로 모델링하였다. 샘플/홀드 증폭기는 ADC에서 가장 중요한 블록이다. 그 기능은 클럭이 High일 때 ADC가 오차 없이 변환을 수행할 수 있도록 입력신호를 샘플링 하여 일정 시간 유지시켜 주고, 클럭이 Low일 때는 출력에 공통전압(AC Ground)을 내보내는 역할을 수행한다. 본 논문에서는 전하주입 오차와 클럭 피드스루 오차가 적어 가장 널리 사용되는 부스트랩 스위치를 이용한 샘플/홀드 회로의 동작을 바탕으로 모델링 하였다. 또한 샘플/홀드 회로에서 가장 두드러지게 나타날 수 있는 애퍼처(Aperture) 오차를 포함하여 모델링하였다. 애퍼처 오차는 클럭이 High가 되어 샘플링 명령을 준 순간부터 실제 홀드가 이루어지는 순간까지의 시간 지연을 말한다. 표 1은 제안된 샘플/홀드 증폭기의 Verilog-A 코드를 나타내고, 그림 2는 애퍼처 오차를 가진 샘플/홀드 증폭기의 모의실험 결과를 보여준다.

비교기는 ADC의 구조에 상관없이 가장 널리 사용되는 회로로서 아날로그신호와 디지털 신호 사이에 교두보 역할을 하는 회로이다. 그 기능은 기준전압과 입력 전압을 비교하여 VDD 또는 GND를 출력한다.

표 1. 샘플/홀드 증폭기의 Verilog-A 코드
Table. 1 Verilog-A code of SHA

```

module SHA(vinp, vinn, voutp, voutn, vclk);

input vinp, vinn, vclk;
output voutp, voutn;
electrical vinp, vinn, voutp, voutn, vclk;
parameter real vtrans_clk = 3.3;
parameter real vcm = 1.65;
parameter real taperture = 0 from [0:inf);
parameter real trise = 1n from (0:inf);
parameter real tfall = 1n from (0:inf);
real vout_val_p, vout_val_n;
analog begin
    @(cross(V(vclk) - vtrans_clk, 1)) begin
        vout_val_p = V(vinp);
        vout_val_n = V(vinn); end
    @(cross(V(vclk) - vtrans_clk, -1)) begin
        vout_val_p = vcm;
        vout_val_n = vcm; end
    V(voutp) <+ transition ( vout_val_p, aperture, trise, tfall );
    V(voutn) <+ transition ( vout_val_n, aperture, trise, tfall ); end
endmodule
    
```

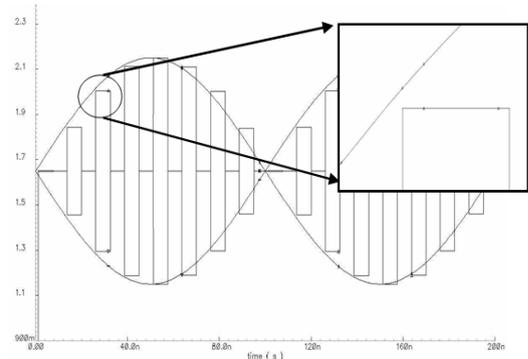


그림 2. 모델링된 샘플/홀드 증폭기의 모의실험결과 및 애퍼처 오차
Fig. 2 Simulation result and aperture error of behavioral SHA

샘플/홀드 증폭기 회로와 마찬가지로 제어신호인 클럭이 필요하다. 완전 차동 구조의 비교기를 사용하였으며, 두 입력의 차이와 기준전압의 차이를 비교한다. 또한 비교기의 성능이 전체 ADC의 성능에 큰 영향을 주기 때문에 비교기의 가장 큰 비선형 특성인 오프셋을 포함하여 전체회로 모의실험 시 비교기의 오프셋 조건을 쉽게 바꾸면서 짧은 시간에 설계가 가능하도록 하였다. 표 2는 제안된 차동 비교기의 Verilog-A 코드를 나타내고, 그림 3은 모의실험 결과를 보여준다.

표 2. 완전 차동비교기의 Verilog-A 코드
Table. 2 Verilog-A code of fully differential comparator

```

module COMPARATOR(pin, nin, pref, nref, pout, nout,
clk);

input pin, nin, pref, nref, clk;
output pout, nout;
electrical pin, nin, pref, nref, pout, nout, clk;
parameter real logic_high=5 from (0:inf);
parameter real logic_low=0 from [0:inf];
parameter real threshold=2.5 from (0:inf);
parameter real offset=0 from [0:inf];
parameter real trise=1n from (0:inf);
parameter real tfall=1n from (0:inf);
real x, y;

analog begin
  @(cross(V(clk)-threshold, +1)) begin
    x = ((V(pin)-V(nin)) >= (V(pref)-V(nref)));
  end
  V(pout) <+ transition(logic_high*x + V(clk)*!x, offset,
trise, tfall);
  V(nout) <+ transition(logic_high*!x + V(clk)*x, offset,
trise, tfall);
end
endmodule
    
```

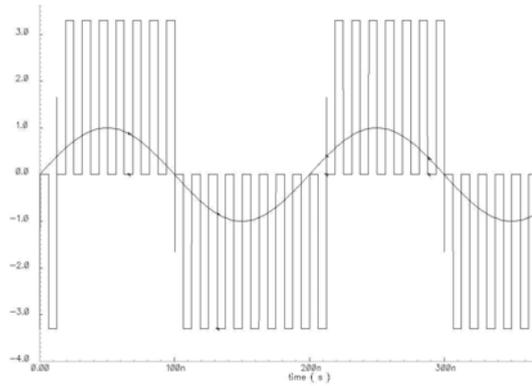


그림 3. 완전 차동 비교기의 모의실험 결과
Fig. 3 Simulation result of behavioral fully differential comparator model

파이프라인 ADC의 성능은 다음 스테이지로 보내 줄 잔류 전압을 생성하는 MDAC의 결과에 크게 의존한다. 입력신호와 가까운 곳의 MDAC에서의 오차는 스테이지를 지나면 지날수록 증폭되어 커지기 때문에 MDAC의 성능은 파이프라인 ADC의 성능 면에 있어서 매우 중요하다. 그림 4는 스테이지 당 4비트 구조의 파이프라인 ADC에서 사용되는 전형적인 스위치드 캐패시터 MDAC의 동작을 보여주고, 식 (1)은 MDAC의 동작특성을 보여준다. ϕ_1

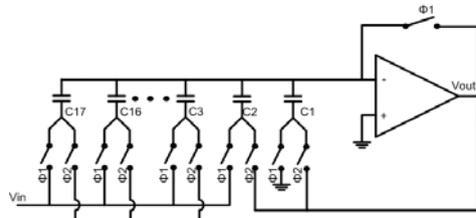


그림 4. 4비트 MDAC의 동작
Fig. 4 Operation of 4bit MDAC

표 3. MDAC의 Verilog-A 코드
Table 3. Verilog-A code of MDAC

```

module IDEAL_MDAC4(INP, INN, vrefp, vrefn,
MOUTP, MOUTN, clk);
input INP, INN, vrefp, vrefn, MOUTP, MOUTN, clk;
electrical INP, INN, vrefp, vrefn, MOUTP, MOUTN,
clk;

parameter real logic_high=3.3, logic_low=0;
parameter real vtrans_clk=1.65;
parameter real vcm=1.65;
parameter real tdel = 0 from [0:inf];
parameter real trise = 1n from (0:inf);
parameter real tfall = 1n from (0:inf);
real d;

analog begin
  @(cross(V(clk) - vtrans_clk, 1)) begin
    if (V(INP) > 2.0875) begin d=16;
  end else if ((V(INP) < 2.0875) && (V(INP) > 2.025))
  begin d=15;
  end else if ((V(INP) < 2.025) && (V(INP) >
1.9625)) begin d=14;
  .
  .
  .
  end else if ((V(INP) < 1.4) && (V(INP) >
1.3375)) begin d=4;
  end else if ((V(INP) < 1.3375) && (V(INP) >
1.275))
  begin d=3;
  end else if ((V(INP) < 1.275) && (V(INP) >
1.2125)) begin d=2;
  end else if ((V(INP) < 1.2125) && (V(INP) >
1.15))
  begin d=1; end
  end

  V(MOUTP) <+ 1.4+(8*(V(INP)-(1.15+(0.0625*(d-1)))));
  V(MOUTN) <+ 1.9+(8*(V(INN)-(2.15-(0.0625*(d-1)))));
  end
endmodule
    
```

주기에서 입력을 샘플링하고, ϕ_2 주기에서 샘플링된 입력값과 D/A 변환된 값의 차이인 잔류 전압을

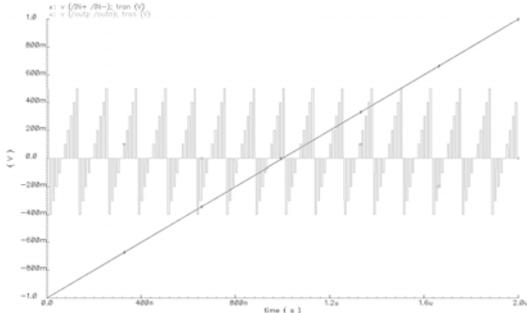


그림 5. 단위스테이지의 모의실험 결과
Fig. 5 Simulation result of unit stage

8배 증폭한다. 모델링은 MDAC의 동작측면에서만 고려되었다. 표 3은 제안된 MDAC의 Verilog-A코드를 나타낸다.

$$V_x = 2^3 V_{res} = 2^3 \times (V_{in} - DV_{ref}) \quad (1)$$

모델링된 샘플/홀드 증폭기, 비교기, MDAC을 이용하여 하나의 단위 스테이지를 그림 5와 같이 만들 수 있다. 여기서 스위치 셀(Switch Cell)은 4비트 ADC의 출력에 따라 가변되는 전압(1.15V, 2.15V)을 MDAC에 전해주는 역할을 할 뿐만 아니라 오차보정회로로 보내줄 디지털 신호 또한 출력한다. 그림 5는 단위스테이지에 삼각파형을 입력으로 하였을 때의 모의실험 결과로서 식(1)에서 나타난 이상적인 입력특성을 보여주고 있다.

III. 실험 결과 및 고찰

II장에서 설명한 모든 부분블록들은 3.3V의 공급 전원을 가지는 스테이지 당 4비트 구조의 10비트 20MS/s 파이프라인 ADC의 모의실험 하기 위해 사

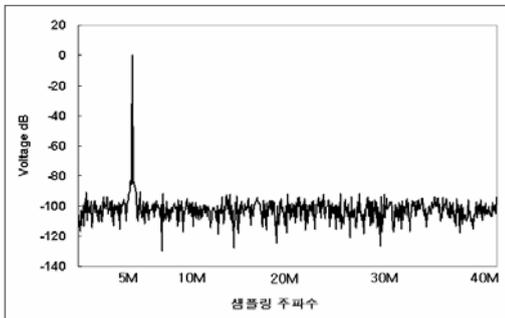


그림 6. FFT 모의실험 결과
Fig. 6 FFT simulation result

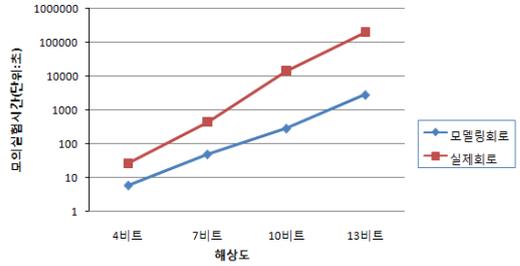


그림 7. 해상도 증가에 따른 모의실험 시간 변화
Fig. 7 Variation of simulation time depending on increase of resolution

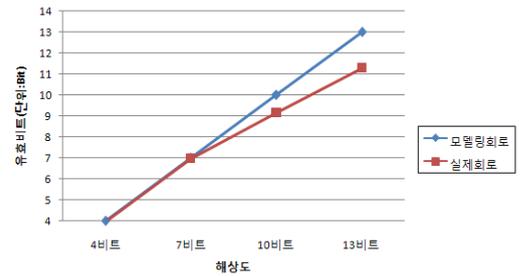


그림 8. 해상도 증가에 따른 유효비트 변화
Fig. 8 Variation of ENOB depending on increase of resolution

용되었다. 모든 부분블록들을 그림 1과 같이 구성한 후 여러 가지 성능검증을 위한 모의실험을 하였다. 스테이지 구성에 필요한 기본 게이트 회로 및 오차보정회로에 필요한 래치회로와 전가산기 등 디지털 블록들은 제공되는 라이브러리를 사용하였다.

그림 6은 모델링 된 ADC에 5MHz의 사인파를 입력해서 나온 출력값을 이상적인 DAC를 이용하여 복원한 후, FFT 분석한 결과를 나타낸다. 유효비트는 10비트로 계산되었다

그림 7은 본 논문에서 제안한 파이프라인 ADC의 해상도 증가에 따른 모의실험 시간의 변화를 보여준다. 과도기 해석을 5μs까지 수행할 때, 7비트는 50초, 10비트는 290초, 13비트는 2880초로 해석시간이 지수 함수적으로 증가하는 것을 볼 수 있다. 10비트 ADC의 경우, 같은 구조의 모델링이 아닌 실제회로를 HSPICE로 5μs동안 과도기 해석 시, 14400초 걸리는 것을 고려하면 모의실험 시간이 약 1/50배로 줄어드는 것을 알 수 있다. 그림 8은 제안한 파이프라인 ADC의 모델링 회로와 실제 설계한 회로의 유효비트를 나타낸 것이다.

Verilog-A로 모델링된 각 블록들을 이용해 전체 10비트 파이프라인 A/D변환기를 CMOS 0.35μm 2-poly 4-metal 공정을 이용하여 설계하였다. 그림 9

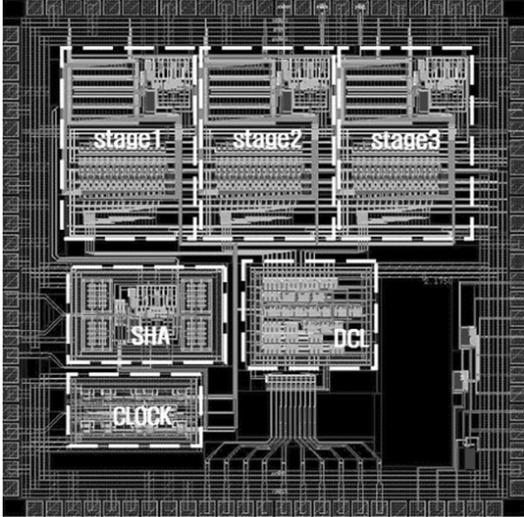


그림 9. 제안된 10비트 A/D 변환기 칩 사진
Fig. 9 Photograph of the proposed 10-bit ADC.

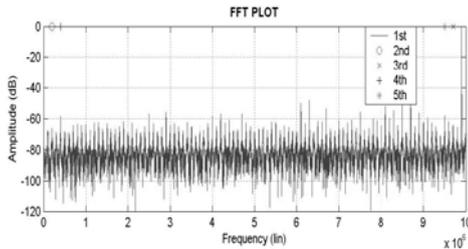


그림 10. 측정된 신호 스펙트럼
Fig. 10 Measured signal spectrum

는 제안된 설계 방식을 이용해 제작된 10비트 A/D 변환기의 칩 사진을 나타낸다⁷⁾.

제안한 방식으로 모델링 후 제작된 칩의 전체 면적은 6.25mm^2 이며, 패드와 테스트 블록을 제외한 유효 칩 면적은 4mm^2 으로 시스템 집적화에 알맞도록 설계하였다. 샘플/홀드 증폭기와 3개의 4비트 MDAC을 포함하고 있다.

그림 10은 9.9MHz 입력 주파수, 20MHz 샘플링 속도에서 측정된 전형적인 신호 스펙트럼을 나타낸다. SFDR은 49dBc의 결과를 얻었다. 그림 11은 측정된 동적 성능을 나타낸다. 입력 주파수를 1MHz에서 10MHz 까지 증가시킬 때 유효비트 및 SFDR을 나타낸 것이다. 제안한 방법으로 제작된 A/D 변환기의 측정 결과는 표 4에 요약하였다.

1MHz의 입력 신호를 20MHz의 속도로 샘플링 하였을 때, 모델링한 회로의 모의 실험 결과 89dBc의 SFDR과 10bit의 ENOB를 나타내었지만, 측정 결과 57dBc의 SFDR과 6.8bit의 ENOB를 나타내었다.

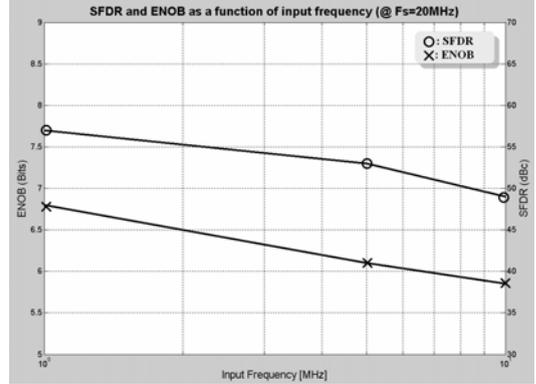


그림 11. 입력 주파수에 따른 유효비트와 SFDR
Fig. 11 Measured dynamic performance of ENOB and SFDR versus F_{in}

표 4. 제작된 ADC의 측정결과 요약

Table 4. Summary of measurement performances of the proposed ADC

	모델링 결과	측정 결과
변환 속도	20 MHz	20 MHz
공급 전원	3.3 V	3.3 V
SFDR	89 dBc (@ F_{in} =1MHz)	57 dBc (@ F_{in} =1MHz)
ENOB	10 bit (@ F_{in} =1MHz)	6.8 bit (@ F_{in} =1MHz)
전력 소모	-	201 mW
공 정	CMOS n-well 0.35um	
칩 면적	-	6.25mm^2

두 가지의 실험 결과가 차이를 보이는 이유는, 모델링한 회로는 이상적인 환경에서 모의 실험을 한 것이지만, 측정결과는 공정, 전원 전압, 온도의 변화에 영향을 받기 때문이다.

IV. 결론

본 논문에서는 최근 주목받고 있는 무선 통신 분야 WLAN/WMAN 시스템에 적용되는 10비트 20MS/s A/D 변환기를 모델링하여 탐-다운 설계방식을 제안하였다. Hspice의 모의 실험 시간에 비교하여, 간단한 코드의 수정으로 여러 가지 성능의 파이프라인 ADC의 모델링이 짧은 시간에 가능하다. 다른 모델링 언어들 보다 Verilog-A가 이해하기 쉬운 형태로 되어 있기 때문에 ADC의 구조 결정 또는 동작원리의 이해를 쉽게 하여 교육용으로도 사용이 가능하다.

그리고 전체 ADC의 회로를 설계함에 있어서 각

부분블록들의 성능 결정을 할 수 있고, 문제점 발생 시 회로의 일부분을 여기서 모델링된 블록으로 대체하여 짧은 시간에 문제점 해결이 가능해진다. 또한 본 논문에서 모델링된 각 핵심 블록들은 공정 변수에 상관없이 다른 회로설계에 재사용될 수 있어 무선트랜시버와 같은 시스템을 구현할 때 본 논문에서 모델링된 파이프라인 A/D 변환기 모델을 이용하여 짧은 시간 안에 전체 시스템 기능 확인 및 설계가 가능할 것으로 기대된다.

참 고 문 헌

[1] DAN FITZPATRICK and IRA MILLER, "Analog Behavioral Modeling with the Verilog-A Language", Kluwer Academic Publishers, 1998.

[2] A. Brian and A. Antao, "Behavioral Simulation for Analog System Design Verification," IEEE transactions on very large scale integration (VLSI) systems, vol. 3, no. 3, pp. 56-59, Sep. 1995.

[3] L. Edward and S. V. Albert, "Verification of Nyquist Data Converters Using Behavioral Simulation," IEEE transactions on computer- aided design of integrated circuits and systems, vol. 14, no. 4, Apr. pp. 493-502, 1995.

[4] Lewis, S.H. and Gray, P.R., "A pipeline 5Msamples/s 9bit analog-to-digital converter," IEEE JSSC, vol. SC-22, pp.954-61, Dec 1987.

[5] C. R. Grace, P. J. Hurst and Stephen H. Lewis, "A 12-bit 80-MSamples/s Pipelined ADC With Bootstrapped Digital Calibration," IEEE J. Solid-State Circuits, vol. 40, no. 5, May, pp. 1038-1046, 2005.

[6] B. Song, S. Lee and M. F. Tompsett, "A 10-b 15-MHz CMOS Recycling Two-Step A/D Converter," IEEE J. Solid-State Circuits, vol. 25, no. 6, pp. 1328-1338, Dec. 1990.

[7] B. Min, Y. Cho, H. Chae, H. Park and S. Lee, "A 10b 100MS/s 1.4mm² 56mW 0.18um CMOS A/D Converter with 3-D Fully Symmetrical Capacitors," IEICE Trans. on Electronics, vol. E89-C, no. 5, pp. 630-635, May 2006.

박 상 욱 (Sang-wook Park)

정회원



2004년 3월 인하대학교 전자 공학과 졸업
 2006년 2월 인하대학교 전자 공학과 석사 졸업
 2006년 2월~현재 삼성전자 반도체 총괄 System LSI 사업부 연구원

<관심분야> 아날로그 VLSI 설계, 파이프라인 A/D 변환기 설계

이 재 용 (Jae-yong Lee)

준회원



2006년 2월 인하대학교 전자 공학과 졸업
 2006년 3월~현재 인하대학교 전자공학과 석사과정
 <관심분야> 아날로그 VLSI 설계, 파이프라인 A/D 변환기 설계

윤 광 섭 (Kwang-sub Yoon)

정회원



1982년 2월 인하대학교 전자 공학과 졸업
 1983년 2월 Georgia Institute Inc, Technology 전자공학 석사 졸업
 1989년 2월 Georgia Institute Inc, Technology 전자공학 박사 졸업
 1984년 3월~1989년 2월 Georgia

Institute of Technology Research Assistant
 1989년 3월~1992년 2월 Silicon Systems Inc, Tustin Calif. U.S.A Senior Design Engineer
 1992년 3월~현재 인하대학교 전자공학과 교수
 <관심분야> 혼성신호처리 집적회로 설계, 설계 자동화 및 소자/회로/시스템 모델링 등