

# 다중채널 시스템을 위한 SDR 기술기반의 디지털 필터 기법 설계 및 구현

정회원 유 봉 국\*, 방 영 조\*, 나 성 웅\*\*

## Design and Implementation of SDR-based Digital Filter Technique for Multi-Channel Systems

Bong-Guk Yu\*, Young-Jo Bang\*, Sung Woong Ra\*\* *Regular Members*

### 요 약

본 논문은 SDR (Software Defined Radio) 기술을 기반으로 CDMA (Code Division Multiple Access) 방식의 이동전화 시스템과 같은 다중 채널 처리 시스템에서 특정 FA (Frequency Assignment)만을 여과하여 처리하는 다양한 응용에 적용될 수 있는 디지털 필터 기법을 제안한다. 이 기법은 마이크로 프로세서를 이용하여 사용자가 선택하는 특정 시스템 정보에 따라 소프트웨어적으로 필터 계수 (Filter Coefficients)를 재설계하여 한 개의 디지털 FIR (Finite Impulse Response) 대역통과 필터 (BPF: Band Pass Filter)를 재구성함으로써 여러 개의 대역통과 필터를 갖는 효과를 얻는다. 본 논문에서 제안하는 기법을 적용하여 다중채널 신호 발생기를 구현하고, 동일한 하드웨어 상에서 WCDMA (Wideband Code Division Multiple Access) 시스템 혹은 CDMA 시스템으로 재구성하는 시험을 통하여 본 알고리즘의 구현 가능성을 검증하였다.

**Key Words** : SDR(Software Defined Radio), FIR, Filter, WCDMA, CDMA

### ABSTRACT

In this study, a Software Defined Radio (SDR) technology-based digital filtering technique applicable to a multiple channel processing system such as a wireless mobile communication system using Code Division Multiple Access (CDMA) technology is proposed. The technique includes a micro-processor to redesign Finite Impulse Response (FIR) filter coefficients according to specific system information and to download the filter coefficients to one digital Band Pass Filter (BPF) to reconfigure another system. The feasibility of the algorithm is verified by implementing a multiple channel signal generator that is reconfigurable to other system profiles, including those for a CDMA system and a WCDMA system on identical hardware platform.

### I. 서 론

현재 무선통신 시스템에서 널리 사용되고 있는 통신방식인 CDMA는 다중채널 시스템으로 대표적으로 사용되고 있다. 서비스 중인 2세대 디지털 이동전화 시스템인 IS (Interim Standard)-95 CDMA

시스템에서는 한 개의 FA (Frequency Assignments)가 1.23 MHz 또는 1.25 MHz의 주파수 대역폭을 가지며, 3세대 이동통신 시스템인 IMT (International Mobile Telecommunication) - 2000의 비동기 방식인 WCDMA 시스템에서는 5 MHz 주파수 대역폭을 갖는다<sup>[1][2]</sup>. CDMA 방식의 시스템으로 이동통신

\* 한국전자통신연구원 이동통신연구본부(bgyu2@etri.re.kr, yjbang@etri.re.kr), \*\* 충남대학교 전자공학과 통신연구실(swra@cnu.ac.kr)  
논문번호 : KICS2008-02-064, 접수일자 : 2008년 2월 4일, 최종논문접수일자 : 2008년 5월 8일

망을 구축하는 이동통신 사업자는 통상 다수개의 FA를 사용하므로, 통신 시스템들은 다수의 채널을 발생시키거나 증계할 수 있어야 한다. 이러한 다중 채널 시스템에서 원하는 대역의 신호만을 통과시키기 위하여 필터를 이용한 여파 동작은 필수적이다. 이때 필터는 보통 IF (Intermediate Frequency) 또는 RF (Radio Frequency) 대역에서 용도에 따라 아날로그 SAW (Surface Acoustic Wave) 필터 또는 디지털 필터를 사용할 수 있다<sup>3)</sup>.

그런데, 기존의 다중채널 시스템에 적용되는 채널 신호발생기 및 신호 선택 시스템 등에서는 채널신호를 구분하기 위한 대역통과 필터가 발생시킬 채널의 수와 같아야 한다. 즉, M 개의 채널을 처리하기 위해서는 반드시 채널 수와 동일한 M 개의 대역통과 필터를 구비하여야 한다<sup>4)</sup>. 이로 인해, 다중채널 처리 시스템이 처리해야 하는 채널의 수가 늘어날수록 시스템 구현을 위한 면적과 비용이 증가하여야 한다. 각 다중채널 처리 시스템은 고유의 시스템 주파수 대역폭을 가지고 있으며, 더욱이 도래하는 OFDM (Orthogonal Frequency Division Multiplexing) 기술 방식을 기반으로 한 차세대 이동통신 시스템들은 다수개의 대역폭 프로파일들을 가지고 있다<sup>5)~7)</sup>. 따라서, 이러한 다중채널 시스템에서 효율적인 필터 처리를 위하여 원하는 시스템 또는 시스템 프로파일로 용이하게 재구성 가능한 소프트웨어 무선 구조 (Software Radio Architecture)가 반드시 필요하다<sup>8)~10)</sup>.

본 논문에서는 SDR 기술을 기반으로 구조가 간단하고 저가로 구현되는 디지털 대역통과 필터링 방법을 제안하여 효율적인 다중채널 처리 시스템을 구현할 수 있음을 보인다. 이 기법은 한 개의 디지털 FIR (Finite Impulse Response) 대역통과 필터만을 사용하며, 마이크로 프로세서를 이용하여 사용자가 선택하는 특정 시스템 정보에 따라 소프트웨어적으로 필터 계수를 계산하여 재구성한다. 본 논문에서 제안하는 기법을 적용하여 다중채널 신호 발생기를 구현하였고, 동일한 하드웨어 상에서 WCDMA (Wideband Code Division Multiple Access) 또는 CDMA 시스템으로 재구성하는 시험을 통하여 본 알고리즘의 구현 가능성을 검증하였다.

먼저, II절에서는 본 논문에서 제안하는 SDR 기술을 기반으로 한 재구성 가능한 디지털 필터 기법에 대하여 논하고, III절에서는 이 기법을 이용하여 구현한 다중채널 신호발생기 및 그의 실험결과를 제시하여 알고리즘의 타당성을 증명하며, 마지막으로 IV절에서 결론을 맺는다.

## II. 재구성 가능한 디지털 필터링 기법

여기서는 일반적인 다중 채널 시스템에서 M 개의 채널을 구분하여 여파하기 위한 기존 시스템의 디지털 필터 처리단의 구성은 그림 1과 같이 M 개의 대역 통과필터로 이루어진 구조를 갖는다.

그림 1에 사용되는 일반적인 디지털 FIR 필터의 구조는 그림 2와 같이 표현할 수 있으며 전체 필터 탭 (Filter Tap) 수가 N인 디지털 FIR 대역통과 필터는 N-1 개의 지연소자로 구성된다. 이때, 지연소자를 통과하는 신호 각각에 곱해지는 필터계수 h(n)은 각각 h(0), h(1), h(2), ..., h(N-1)로 표현할 수 있다.

그림 1에서 출력신호 y(k)는 입력신호 x(k)를 첫 번째 FA를 위한 FA-1 Digital FIR BPF부터 M 번째 FA를 위한 FA-M Digital FIR BPF까지 원하는 채널의 대역여파 여부에 따라 스위칭 되는 합성된 신호로 볼 수 있으며, 이 과정을 수식으로 표현하면 다음과 같이 식 (1)로 표현할 수 있다.

$$y(k) = w_1 y_1(k) + w_2 y_2(k) + \dots + w_M y_M(k) \\ = w_1 \sum_{n=0}^{N-1} h_1(n)x(k-n) + w_2 \sum_{n=0}^{N-1} h_2(n)x(k-n) \dots + w_M \sum_{n=0}^{N-1} h_M(n)x(k-n) \\ w_n = 0, \text{ if } FA = \text{"OFF"} \\ = 1, \text{ if } FA = \text{"ON"} \quad (1)$$

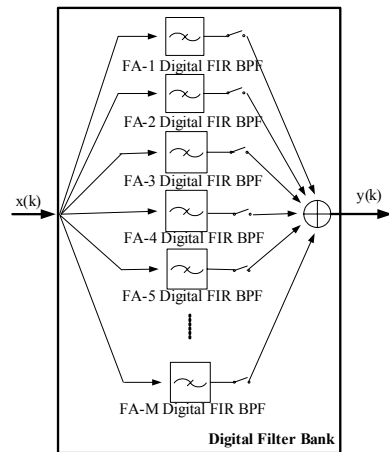


그림 1. 일반적인 디지털 필터 처리단 구조

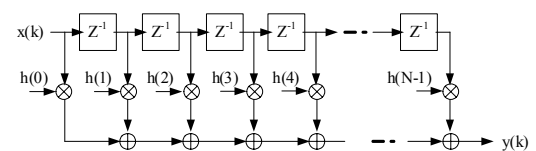


그림 2. 일반적인 디지털 FIR 필터 구조

여기서,  $N$  은 전체 필터 계수의 수, 즉 필터 탭 (Filter Tap) 수이며,  $W_m$ 은 각 시스템 프로파일의 입력 정보로서 들어오는 채널의 ON/OFF 상태에 따라서 1 또는 0의 값을 갖는 변수이다. 이때,  $y_m(k)$ 로 표현되는  $m$  번째 채널 BPF의 출력 신호는 입력 신호인  $x(k)$ 와  $m$  번째 채널 BPF의 필터 계수인  $h_m(n)$ 과의 컨벌루션 (Convolution)으로 표현할 수 있다.

수식 (1)에서 보듯이 전형적인 다중채널 처리 시스템에서는 다중채널 신호를 처리하기 위한 BPF의 수가 BPF에 의해 처리되는 채널 수와 같아야 한다. 따라서, 처리되는 채널 수가 증가함에 따라 필요한 BPF 수도 또한 증가하며, 결과적으로 구현의 복잡도와 크기 및 비용이 그에 따라 증가하게 된다.

본 논문에서는 SDR 기술을 이용하여 한 개의 BPF로 다수개의 BPF를 대체할 수 있는 간단하고 효과적인 디지털 필터 기법을 제안한다. 본 기법은 특정 시스템 프로파일 및 각 채널의 ON/OFF 상태 등의 사용자의 시스템 정보에 따라서 디지털 BPF에 재 구성해야 할 필터 계수를 마이크로 프로세서를 이용하여 구한다. 수식 (1)의 출력 신호  $y(k)$ 는 또 다른 표현으로 다음 식 (2)와 같이 나타낼 수 있다.

$$y(k) = \sum_{n=0}^{N-1} \{w_1 h_1(n) + w_2 h_2(n) \quad \dots \quad w_M h_M(n)\} x(k-n) \\ = \sum_{n=0}^{N-1} h_{all}(n) x(k-n) \quad (2)$$

여기서,  $h_{all}(n)$ 은 디지털 필터 뱅크의 임펄스 응답이며, 각각의 FA를 여파하기 위한 BPF의 필터 계수인  $h_1(n)$ ,  $h_2(n)$ ,  $h_3(n)$ ,  $\dots$   $h_M(n)$ 의 산술적인 합과 같음을 알 수 있다. 즉, 모든 디지털 FIR BPF들이  $N$ 개의 필터 탭을 가지고 있을 때, 최종 필터 계수인  $h_{all}(n)$ 은 다음 식 (3)과 같이  $h_m(n)$ 과 각 채널의 ON/OFF 상태 정보로 표현할 수 있다.

$$h_{all}(n) = \sum_{m=1}^M w_m h_m(n) \quad n=0, 1, 2, \dots, N-1 \\ w_m = 0, \text{ if } FA = \text{"OFF"} \\ = 1, \text{ if } FA = \text{"ON"} \quad (3)$$

이때,

$$h_m(n) = h_B(n) \cdot f_m(n) \\ = h_B(n) \cdot \exp(j2\pi f_m n / f_s) \quad m=1, 2, \dots, M \quad (4)$$

여기서,  $h_B(n)$ 은 다중채널 시스템의 저역 통과필터 (LPF: Low Pass Filter)의 계수이고,  $f_m(n)$ 은  $m$  번째 FA의 중심 주파수이며,  $f_s$ 는 샘플링 주파수이다.

본 논문에서 제안하는 필터 기법은 디지털 Low IF 기술을 이용하는데, 만약 운용하는 FA 개수가  $M$  개이면, 필터 계수가  $h_m(n)$ 인  $M$ 개의 디지털 BPF 들은 최종 필터 계수  $h_{all}(n)$ 을 갖는 한 개의 BPF로 대체될 수 있다. 그림 3은 본 논문에서 제안하는 알고리즘을 이용하여  $h_{all}(n)$ 을 계산하는 과정을 도시한 순서도이다.

마이크로 프로세서는 사용자에게 의해 입력되는 시스템 프로파일과 채널 ON/OFF 정보에 따라서 특정 채널이 ON 상태인지, OFF 상태인지를 결정한다. 만약 채널이 ON 상태이면, 프로세서는 다음 수식 (5)를 이용하여 필터 계수를 계산하고, 그 값을 메모리에 저장한다.

$$f_{fa} = j * f_{ch} + f_i; \\ I: h_{all}(i) += h_B(i) * \sin(2 * \pi * f_{fa} / f_s); \\ Q: h_{all}(i) += h_B(i) * \cos(2 * \pi * f_{fa} / f_s); \quad (5)$$

여기서,  $f_{fa}$ 는 각 FA의 중심 주파수,  $f_{ch}$ 는 FA간의 채널 간격,  $f_i$ 은 첫 번째 FA의 중심주파수, 그리고  $f_s$ 는 샘플링 주파수이며,  $h_B(n)$ 은 다중채널 시스템의 저역 통과필터의 계수이다. 최종적으로 디지털 필터에 적용될 새로운  $N$  개의 디지털 필터계수 집합인  $h_{all}(n)$ 은 FA의 일련번호가 운용 채널 수인  $M$ 과 같아질 때까지  $N$  개의 필터계수를 누적시켜 합산함으로써 얻는다. 이때, I 신호와 Q 신호는 각각 동위상 (In-phase) 신호와 직교위상 (Quadrature-phase) 신호를 의미한다.

초기화 과정에서 정해주는 변수들은 표 1과 같으며, 마이크로 프로세서에 미리 프로그램 되어 있거나 사용자에게 의해 실시간으로 입력되는 값들이다. 또한 다중 채널 시스템의 각 FA에 대한 ON/OFF 정보를 입력 받음으로 어느 FA가 ON 되었는지, OFF 되었는지 알 수 있어야 한다.

예를 들어, 다중 채널 시스템의 총 운용 FA의 갯수  $M$ 이 4이며, 수신된 FA 선택 정보가 FA-1 = ON, FA-2 = OFF, FA-3 = ON, FA-4 = OFF 라 결정되었다고 가정한다. 이 정보를 이용하여 미리 프로세서의 메모리에 저장해 놓은  $N$ 개의 디지털 저대역 필터 계수인  $h_B(n)$ 에 I 신호의 경우 ON된 FA의 중심주파수  $f_j = \sin(2 * \pi * f_{fa} / f_s)$ 를 곱하여 더하고, Q 신호의 경우 ON된 FA의 중심주파수  $f_j =$

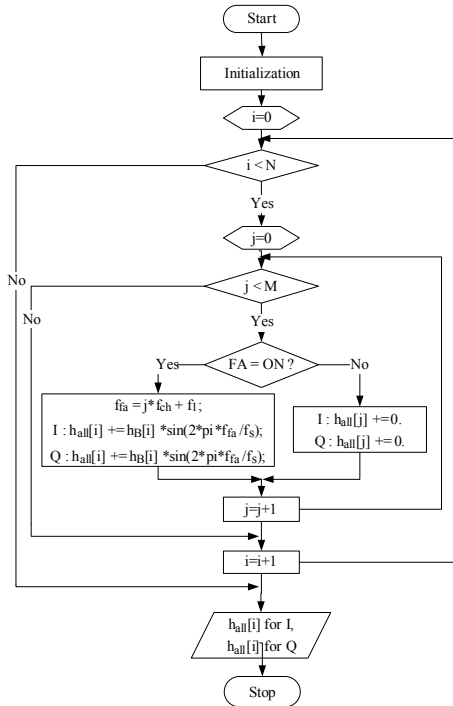


그림 3. 제한하는 디지털 필터계수 계산 알고리즘 순서도

표 1. 제한하는 알고리즘의 초기화 변수들

변수명	의 미
M	다중채널시스템의 총 운용 FA 수
N	필터의 Tap 수
$h_B(n)$	저역통과필터 계수
$f_s$	표본 주파수 [MHz]
$f_{ch}$	FA간 채널 간격 [MHz]
$f_1$	FA-1의 중심 주파수 [MHz]

$\cos(2\pi * f_{fa} / f_s)$ 를 곱하여 더하게 되면 최종으로 N 개의 Low-IF 주파수 대역 (샘플링 주파수  $f_s$ 의 1/2 보다 작은 대역)의 필터 계수를 얻을 수 있다.

이때, 각 FA의 중심주파수는 미리 정해놓은 FA 간 채널간격인  $f_{ch}$ 와 첫번째 FA의 중심주파수인  $f_1$ 를 이용하여 구해진다. 만약 채널간격이 5MHz이고, 첫번째 FA의 중심주파수인  $f_1$ 가 24.5MHz이면, 위와 같이 FA의 ON/OFF 입력이 수신되었을 때, 다음 그림 4처럼 최종 FA가 발생되어 출력하게 된다.

본 논문에서 제안하는 디지털 필터 방식의 개념도를 그림 5에 도시하였다. 그림 5의 제어기(controller)는 외부로부터 특정 시스템 프로파일 및 채널 선택정보를 입력 받고, 그 정보로부터 디지털 필터에 적용될 필터계수 집합인  $h_{all}(n)$ 을 계산한다.

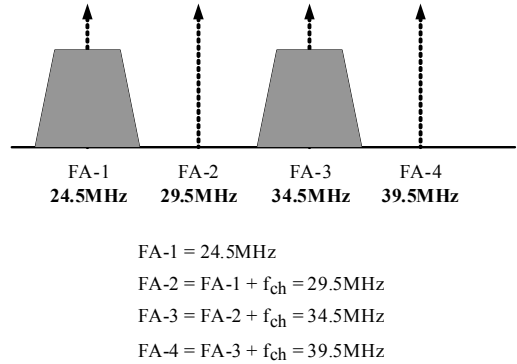


그림 4. 운용 FA의 갯수 M = 4인 신호발생 예

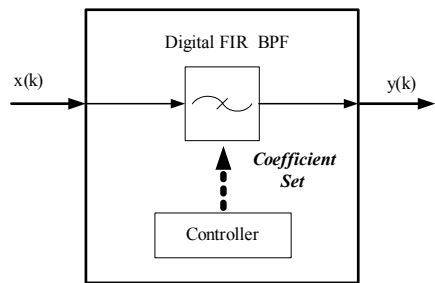


그림 5. 제한한 디지털 필터링 기법의 구조

### III. 다중채널 신호 발생기 구현 및 시험

본 절에서는 제안하는 알고리즘을 이용하여 다중 채널 신호발생기를 구현하고, 그 시험 결과를 제시하여 본 알고리즘의 타당성을 검증하였다. 제안한 알고리즘을 이용하여 그림 6과 같은 기능 블록 구조를 갖는 신호 발생기를 구현하였다.

본 신호발생기는 크게 디지털 필터와 제어기 역할을 담당하는 마이크로 프로세서, 디지털 필터에 제어신호를 공급하는 필터 제어기, 디지털 필터에

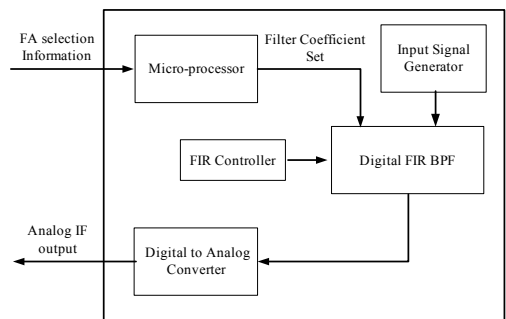


그림 6. 다중채널 신호발생기 구성도

표 2. 구현한 신호발생기의 초기화 변수들

변수명	시스템 프로파일	
	WCDMA	CDMA
M	4	14
N	240	960
$h_B(n)$	-	-
$f_s$	50	50
$f_{ch}$	5	1.25
$f_l$	5	3.75

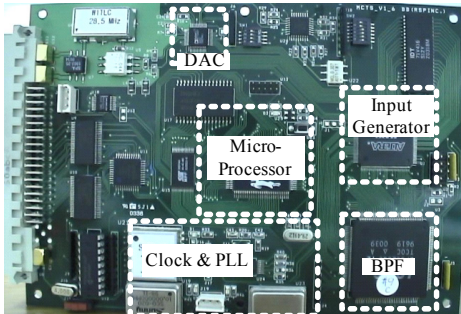
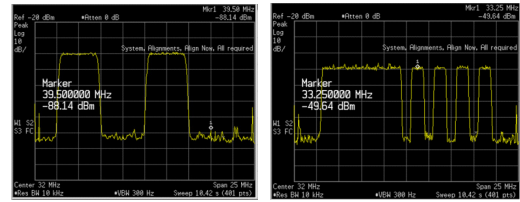


그림 7. 구현한 신호발생기의 기저대역 하드웨어

입력신호를 발생하는 입력신호 발생기 및 DAC (Digital to Analog Converter) 등으로 구성된다. 본 논문에서 사용한 디지털 FIR 필터는 상용 필터 칩, FPGA (Field Programmable Gate Array) 또는 DSP (Digital Signal Processing) 칩이 될 수 있는데, 본 논문에서는 상용 필터 칩을 사용하였다. 필터 제어기는 디지털 FIR 필터를 구동하기 위한 클럭 신호와 제어신호를 실시간으로 공급해주는 역할을 담당한다. 또한 DAC를 구동하기 위한 내부 레지스터 설정 등 제어신호를 공급한다.

입력신호 발생기는 디지털 필터에 입력신호로 사용되는 랜덤신호 혹은 PN sequence 신호를 발생한다. 만약 본 알고리즘이 CDMA 중계기에 적용된다면, 순방향 또는 역방향의 Low IF 수신 CDMA 신호가 디지털 필터의 입력신호가 될 수 있다. DAC는 디지털 신호를 아날로그로 변환하여 출력하여 스펙트럼 분석기로 발생된 신호의 스펙트럼을 관찰할 수 있도록 한다. 표 2에는 본 논문에서 구현한 신호 발생기에 적용한 시스템 프로파일의 초기화 변수들을 나타냈다. 본 신호 발생기는 WCDMA 신호를 4개까지, 협대역 CDMA 신호를 최대 14개까지 발생시킬 수 있다.

본 알고리즘의 구현가능성을 검증하기 위하여 제작한 신호발생기의 기저대역 신호처리용 하드웨어를 그림 7에 보였다.



(a) WCDMA (b) CDMA

그림 8. 신호발생기의 출력 스펙트럼 예시

적용한 상용 필터칩은 최대 83 MHz의 동작속도와 12 bit의 필터 계수 resolution을 갖는다. 사용자 인터페이스와 필터 계수의 계산 및 전체 보드의 제어기능을 담당하는 마이크로 프로세서는 최대 클럭 속도 30 MHz인 Z 80 계열의 프로세서를 채택하였는데, address bus와 data bus가 각각 20 bit와 8 bit이다. 사용한 DAC는 Analog Devices사의 AD9772로서 14 bit resolution과 최대 160 Msps의 입력 데이터 속도를 가지며, 25 MHz에서 74 dBc의 SFDR (Spurious Free Dynamic Range) 성능을 갖는다 [14]. 본 하드웨어 상에서 DAC는 50 MHz의 시스템 클럭 속도로 동작한다.

다음 그림 8은 신호 발생기의 출력인 Low IF 대역의 스펙트럼을 관찰한 측정 결과이다. 그림 8 (a)는 신호 발생기의 BPF가 사용자에 의해 시스템 프로파일이 WCDMA 시스템이 선택되고, 첫번째와 세번째 FA가 ON이라는 채널 선택 정보가 입력되었을 경우에 계산한 필터계수로 재구성한 결과를 보여주고 있다. 또한, 그림 8 (b)는 CDMA 시스템 프로파일인 경우의 한 예이다.

본 신호 발생기는 디지털 FIR 필터 기술을 채택하여 그림 8에서 보는 바와 같이 여러 개의 FA 각각을 ON/OFF 할 수 있으므로, 이동전화 사업자들이 사용하는 RF 대역으로 상향변환 할 경우 CDMA, PCS, IMT-2000 주파수 대역에서 다중 채널 신호 발생기로 응용이 가능하다. 즉, 동시에 여러 FA의 신호입력이 필요한 실험 즉, RF Device, 안테나, 중계기, Cable, 기타 이동전화 장비의 IM(Inter-Modulation) 성능과 같은 RF 성능 측정시 여러 대의 신호발생기를 하나의 장비로 대체할 수 있는 장점이 있다.

#### IV. 결 론

본 논문에서는 SDR 기술을 기반으로 하여 하나의 디지털 대역통과 필터를 이용해서 다수 개 채널

의 온(ON), 오프(OFF) 제어가 가능하여 구조가 간단하고 경제적인 새로운 디지털 필터링 기법을 제안하였다. 또한 제안하는 알고리즘을 이용하여 실제로 신호발생기를 구현하여 알고리즘의 타당성을 입증하였으며, 시스템 프로파일 및 채널의 상태 정보를 이용하여 필터 계수를 실시간으로 가변함으로써, WCDMA 및 CDMA 신호를 발생시킬 수 있음을 확인하였다. 제안하는 필터링 기법을 이용하면, 채널의 수와 구비하여야 할 대역통과 필터의 수가 동일하여 채널수가 증가할수록 시스템 구현을 위한 면적과 비용이 크게 증가하는 기존의 단점을 극복할 수 있다.

또한 본 기법은 SDR 구조를 채택 하였으므로 디지털 FIR 필터의 필터계수 변경만으로 기존의 셀룰라 이동전화와 PCS에서 채택한 CDMA 시스템 및 3세대 시스템인 cdma2000과 W-CDMA 시스템을 모두 지원할 수 있을 뿐만 아니라, 향후 도래할 4세대 시스템에도 같은 방식으로 신호의 발생과 여과 기능을 지원할 수 있을 것이다.

### 참 고 문 헌

- [1] TIA/EIA/IS-95, Mobile Station-Base Station Compatibility Standard for Dual-Mode Wideband Spread Spectrum Cellular Systems, Jul. 1993.
- [2] 3GPP TS 25.104 v5.9.0, "Technical Specification Group Radio Access Network; Base Station Radio transmission and reception (FDD) (Rel.5)" 2004-9.
- [3] Clemens C.W. Ruppel, Leonhard Reindl, Robert Weigel, "SAW Devices and Their Wireless Communications Applications," IEEE microwave Mag., pp.65-71, June. 2002.
- [4] R.E. Crochiere and L.R. Rabiner, Multirate Digital Signal Processing, Prentice-Hall, 1983.
- [5] <http://www.wimaxforum.org>
- [6] <http://standards.ieee.org>
- [7] 3GPP TS 36.211 v0.2.2, "Technical Specification Group Radio Access Network; Physical Channels and Modulation (Rel.8)" 2006-12.
- [8] J. Mitola, "Software Radio Architecture Evolution: Foundations, Technology Tradeoffs, and Architecture Implications," IEICE Trans. Commun., VOL.E83-B, No.6, pp.1165-1173, Jun. 2000.

- [9] J. Mitola, "The software radio architecture," IEEE Commun. Mag., vol.33, pp.26-38, May 1995.
- [10] <http://www.sdrforum.org>
- [11] Analog Devices Inc.: AD9772A, 14bit, 160 MSPS, TxDAC+ with 2x Interpolation Filter.

#### 유 봉 국 (Bong-Guk Yu)

정회원



1992년 2월 충남대학교 전자공학과 공학사  
 1994년 2월 충남대학교 대학원 전자공학과 공학석사  
 2007년 8월 충남대학교 대학원 전자공학과 공학박사 수료  
 1994년 1월~2000년 4월 SK

Telecom (주) 중앙연구원 선임연구원

2005년 3월~현재 한국전자통신연구원 선임연구원

<관심분야> SDR, CR, MIMO 모뎀 기술, OFDM, 이동통신 신호처리

#### 방 영 조 (Young-Jo Bang)

정회원



1989년 2월 연세대학교 전기공학과 공학사  
 1991년 2월 한국과학기술원 전기 및 전자공학과 공학석사  
 1997년 2월 한국과학기술원 전기 및 전자공학과 공학박사  
 1997년 3월~현재 한국전자통신

연구원 책임연구원

<관심분야> MIMO 모뎀 기술, OFDM, 이동통신 신호처리

#### 나 성 웅 (Sung Woong Ra)

정회원



1976년 2월 서울대학교 전기공학과 공학사  
 1978년 2월 한국과학기술원 전기 및 전자공학과 공학석사  
 1992년 8월 한국과학기술원 전기 및 전자공학과 공학박사  
 1980년 7월~현재 충남대학교 공과대학 전자공학과 교수

<관심분야> 영상처리, 영상코딩, MPEG-IV, 화상회의 시스템