

고속 임베디드 시스템 응용을 위한 CMOS AD 변환기 설계

정회원 권 승 탁*

The Design of CMOS AD Converter for High Speed Embedded System Application

Seung-Tag Kwon* *Regular Member*

요 약

본 논문은 고속 임베디드 시스템에 사용하기 위해 CMOS AD 변환기(Analog-to-Digital Converter)를 설계하였다. 이 AD 변환기는 효율적인 구조로 설계하기 위하여 전압을 예측할 수 있는 플래시 AD 변환기와 자동 영을 기반으로 하여 설계된 비교기를 사용하였다. 이 구조의 변환속도는 기존의 플래시 AD 변환기와 거의 같지만 비교기와 연결된 회로가 줄어들었기 때문에 전체 회로의 크기를 크게 줄일 수 있었다. 이 ADC는 0.25 μ m 디지털 CMOS 기술로 구현되었다.

Key Words : Flash Analog-to Digital(ADC), CMOS Comparator, Autozeroing, Voltage estimator, Thermometer code

ABSTRACT

This paper has been designed with CMOS Analog-to-Digital Converter(ADC) to use a high speed embedded system. It used flash ADC with a voltage estimator and comparator for background developed autozeroing. The speed of this architecture is almost similar to conventional flash ADC but the die size are lower due to reduced numbers of comparators and associated circuitry. This ADC is implemented in a 0.25 μ m pure digital CMOS technology.

I. 서 론

컴퓨터 통신과 의료 기기의 발달과 함께 실시간 3차원 영상처리에 관한 관심이 높아지고 있다. 3차원 아날로그 데이터를 실시간 시간으로 수집하여 실시간으로 처리하려면 빠른 변환 속도를 가지는 AD 변환기가 필요하다. AD 변환기의 구조 중 가장 빠른 변환을 할 수 있는 구조는 플래시 AD 변환기이다. 플래시 AD 변환기(ADC: Analog to Digital Converter) 구조는 아날로그 입

력 신호와 여러 개의 저항 레지스터로 분압 한 참고 전압을 각각의 비교기로 비교하는 방식을 사용하여 한 단계로 완료되므로 매우 빠른 변환 시간을 갖는다. 즉 아날로그 입력 전압이 병렬 비교기들에 의해서 그 레벨이 비교되어 N비트의 2진수로 동시에 부호화되어 나온다^[1]. 이 형태에서 N비트 출력을 위해서는 2^N 개의 동일 저항과 $2^N - 1$ 개의 비교기를 사용한다. 그러나 높은 분해능을 갖게 할 때 저항 회로와 비교기의 수가 많아져 회로가 복잡해지고 가격이 비싸지는 단점이

* 서남대학교 컴퓨터 정보통신학과 (starkwon@naver.com)

논문번호 : KICS2008-01-011, 접수일자 : 2008년 1월 11일, 최종논문접수일자 : 2008년 4월 11일

있다. 즉 10비트 플래시 변환기를 설계할 때 비교기의 수가 $1023(2^{10}-1)$ 개가 필요하고 비트 수가 증가할수록 비교기의 수가 급격히 증가하게 되어 설계하기가 거의 불가능하게 된다. 현재 이러한 단점을 보완하기 위한 방법들이 연구되고 있다^[2].

본 논문은 N비트 플래시 AD 변환기 회로의 양을 줄이기 위한 방법을 설명하고 CMOS 회로로 구현한다. 또한, 저 전력의 CMOS 회로를 구현하기 위하여 각 기능 블록 안의 소자와 트랜지스터 수를 최대한 줄이도록 설계한다^{[3][4]}. 본 논문에서 설계한 회로는 컴퓨터 전자 회로설계 툴인 LT-spice^[5]로 설계하여 검증하고 Electric 반도체설계용 소프트웨어^[6]로 레이아웃 한다.

본 논문의 II장에서는 플래시 AD 변환기의 구조와 동작을 살펴보고 III장에서는 제안된 AD 변환기 회로에 관하여 설명한다. 그리고 IV장에서 시뮬레이션 결과와 성능에 관하여 설명하고 V장에서 결론을 맺는다.

II. 플래시 AD 변환기의 구조와 동작

플래시 AD 변환기는 가장 빠르게 아날로그 신호를 디지털 신호로 변화시킬 수 있는 구조이다. 그림 1에서 보는 바와 같이 플래시 AD 변환기의 구조는 입력 신호와 참고 신호를 비교하는 비교기 블록과 비교기에서 출력된 결과를 N비트 데이터로 바꾸어 주는 디코더 블록으로 구성된다.

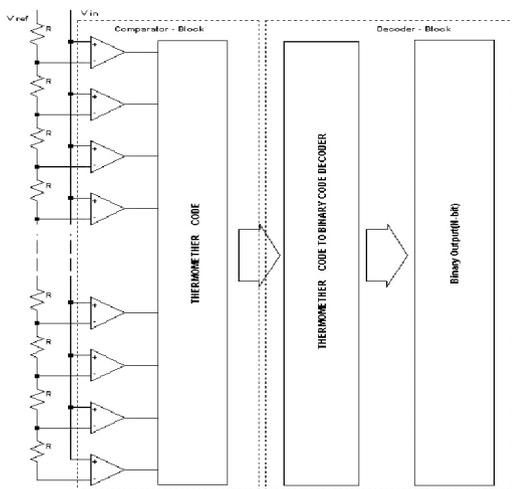


그림 1. 플래시 AD 변환기 구조

2.1 플래시 AD 변환기 구조와 동작

N비트의 플래시 AD 변환기는 아날로그 입력 전압이 병렬 비교기들에 의해서 그 레벨이 비교되어 N비트의 부호로 나온다. 이 구조에서 N비트 출력을 위해서는 2^N 개의 동일 저항과 2^N-1 개의 비교기를 사용한다. 플래시 AD 변환기의 비교기 수를 수식으로 표현하면 식 (1)과 같다.

$$N_c(N) = 2^N - 1 \tag{1}$$

여기서 N 은 AD 변환기의 해상도이고 N_c 는 비교기 수이다. 이 구조는 N비트 출력을 위해서 2^N 개의 동일저항과 2^N-1 개의 비교기가 필요하기 때문에 높은 해상도를 갖는 AD 변환기를 설계하려면 매우 넓은 다이(die)가 필요하다. 이러한 구조는 저비용 적용이 어렵다^{[7][8]}. 따라서 본 논문은 다음과 같이 플래시 AD변환기의 회로의 크기를 줄일 수 있는 효율적인 방법을 제안하고 CMOS회로로 구현하였다.

2.2 효율적인 AD 변환기 구조

N비트 플래시 AD 변환기의 비교기와 저항의 수를 줄일 수 있다면 플래시 변환기의 다이 면적과 비용을 줄일 수 있다. 한 방법으로 변환 단계를 증가시키는 방법이 있다^[9].

반 플래시(Half-Flash)구조는 비교기 수를 다음 식과 같이 줄일 수 있다.

$$N_c(N) = 2 \cdot 2^{N/2} - 2 \tag{2}$$

여기서 N 은 AD 변환기의 해상도이다. 이 구조는 저항의 수 $2^{N/2}-1$ 로 줄일 수 있으나 상위 N/2비트(MSB)와 하위 N/2비트(LSB) 2단계로 처리하기 때문에 처리 시간이 증가한다.

그러나 본 논문에서 제안한 AD 변환기는 상위 N/2비트를 동일 크기의 저항에 의하여 분압된 점들을 해상도(N)의 크기에 따라 일정 범위를 정하고, 그 구역의 가장 윗부분에 위치한 각 점들을 입력 신호와 비교한 후 엔코더와 스위치 블록에 연결하여 입력 전압과 참고 전압이 “1”이 되는 곳을 찾도록 설계하였다. 이 때 선택된 구역의 상위 N/2비트를 출력하고 이 선은 선택된 구역의 스위치 블록을 동작시켜 하위 N/2비트를 출력시킨다. 따라서 이 구조는 선택된 구역을 스위칭 하는 시간 이외에 별도의 단계가 필요하지 않으므로 플래시 AD 변환기와 같은 속도로 동작한다.

제안된 AD 변환기는 기존의 플래시 AD 변환

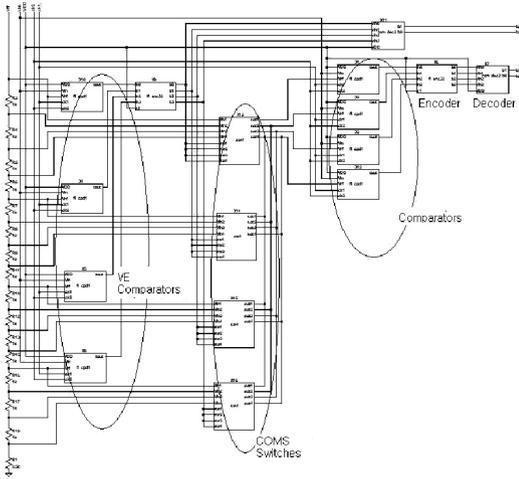


그림 2. MFADC의 구조

기의 구조를 수정하여 설계하였으므로 수정된 플래시 AD 변환기(MFADC : Modified Flash Analog to Digital Converter)라고 하였다. MFADC 회로는 그림 2와 같다.

설계한 AD변환기의 구조에서 비교기의 수를 수식으로 나타내면 식 (3)과 같다.

$$N_c(N) = 2 \cdot 2^{N/2} \quad (3)$$

여기서 N 은 AD 변환기의 해상도(resolution)이고 N_c 는 비교기의 수이다. 이러한 방법은 상위 $N/2$ 비트를 우선 예측하여 처리하는 동시에 스위치를 이용하여 하위 $N/2$ 비트를 처리하는 방법이다^[10]. 그 결과로 기존의 플래시 변환기보다 비교기 수와 연결된 회로의 크기를 현저하게 줄일 수 있었다.

표 1에서 보는 바와 같이 기존 플래시 AD 변환기는 255 개의 비교기가 필요하지만 만일 8 비트 AD 변환기로 설계한다면 MFADC는 32 개의 비교기만으로도 설계가 가능하다. 그리고 비교기와 연결되는 엔코더와 디코더 회로들도 줄어들므로 회로의 크기를 더 줄일 수 있다.

표 1. 각 구조들의 비교기의 수

비트	플래시ADC ($2^N - 1$)	반 플래시 ADC ($2 \cdot 2^{N/2} - 2$)	MFADC ($2 \cdot 2^{N/2}$)
4	15	6	8
6	63	14	16
8	255	30	32
10	1023	62	64

2.3 플래시 AD 변환기 설계를 위한 행렬식

이 절에서 설명하는 행렬식은 플래시 변환기를 설계하는데 기본이 되는 자료들로서 이 행렬식을 이용하면 우리가 원하는 회로를 구현할 수 있다. 표 2는 N 비트 플래시 변환기의 단계별 출력 코드들이다.

표 2에 주어진 부호를 이용하여 플래시 AD 변환기 회로를 설계하기 위한 행렬식을 구성하면 다음과 같다.

$$T \times E = B \quad (4)$$

여기서, T 는 비교기들의 출력 행렬 [$m \times (m-1)$], E 는 엔코더 행렬 [$(m-1) \times n$], B 는 8비트 AD변환기 출력 행렬 [$m \times n$]이다.

표 2. 플래시 AD변환기 부호

종류	온도계 부호 (T)	엔코더 출력(E)	N비트 출력 (B)
번호	1234 m	1234 m	012...N
1	0000 0	10000 0	000...00
2	1000 0	01000 0	000...01
3	1100 0	00100 0	000...10
4	1110 0	00010 0	000...11
.
.
.
m	1111 1	000000.....01	111...11

2.3.1 비교기 출력 행렬

N 비트의 플래시 AD변환기는 입력 전압과 참고 전압을 비교하는 비교기를 통과하면 출력되는 부호 중 “1”의 개수가 1 개씩 연속적으로 증가하는 2^N 개의 부호를 만들어낸다. 8 비트 AD 변환기의 경우 “0” 과 “1”로 구성된 256×256 개의 행렬이 출력된다. 이 때 출력된 행렬 중에 1의 수가 온도계처럼 1 개씩 증가하는 형태로 구성되어 있으므로 이 부호를 온도계 부호(Thermometer code)라 한다.

2.3.2 엔코더 출력

엔코더 행렬은 비교기에서 출력되는 온도계 부호 중 “0”과 “1”이 바뀌는 점이 선택되어 2^N 개중 1개를 선택하는 결과를 보여주는 행렬이다. 선택된 선은 디코더에 연결하여 N 비트를 출력한다.

8비트 엔코더를 설계하기 위한 일반적인 수식은 다음과 같다.

- bit 8 = B[256] (5)
- bit 7 = B[128] XOR B[256]
- bit 6 = (B[64] XOR B[128]) or (B[192] XOR B[256])
- bit 5 = (B[32] XOR B[64]) or (B[96] XOR B[128]) or (B[160] XOR B[192]) or (B[224] XOR B[256])
- bit 4 = (B[16] XOR B[32]) or (B[48] XOR B[64]) or (B[80] XOR B[96]) or ... (B[240] XOR B[256])
- bit 3 = (B[8] XOR B[16]) or (B[24] XOR B[32]) or (B[40] XOR B[48]) or ... (B[248] XOR B[256])
- bit 2 = (B[4] XOR B[8]) or (B[12] XOR B[16]) or (B[20] XOR B[24]) or ... (B[252] XOR B[256])
- bit 1 = (B[1] XOR B[2]) or (B[3] XOR B[4]) or (B[5] XOR B[6]) or ... (B[255] XOR B[256])

이 식을 이용하여 온도계 코드를 1개의 단순화 코드로 변환하는 회로로 구현하려면 256개의 XOR 게이트를 사용한다. 이 회로를 동작시키면 연속된 1에서 0으로 변환된 위치에서 1이 출력된다. 즉, "00001111"에 256 XOR 게이트들을 연결하여 동작시키면 "000010000"이 출력된다. 여기서 1의 위치는 샘플 된 값이다. 그러나 이 구조는 회로가 매우 거대하고 엔코더 지연 시간이 증가하기 때문에 일반적으로 온도계 코드 엔코더는 그레이 코드나 이진 디코더 롬을 사용한다.

2.3.3 N비트 출력 행렬

N비트 출력 행렬은 해상도가 N인 플래시 AD 변환기의 최종 결과이다. 이 부호는 AD 변환기의 마지막 단계인 디코더를 설계할 때 사용되었다. 이 디코더는 ROM(Read Only Memory)과 같은 기능을 한다.

III. 효율적인 AD 변환기 설계

본 논문에서 설계한 AD변환기는 기존의 플래시 AD변환기와 같은 비교기, 엔코더, 디코더를 사용하여 설계되었으나 회로의 크기를 줄이기 위하여 비교수를 줄일 수 있는 방법을 제안하고 CMOS 회로로 구현하였다. 이 방법은 전압 예측기를 이용하여 선택된 구역의 비교기들만 스위치 블록으로 선택하여 동작시키도록 함으로써 가능하였다. 그 결과 비교기 수와 비교기와 연결된 엔코더, 디코더 회로의 수를 많이 줄일 수 있었다. 또한 이 변환기는 반 플래시 AD변환기처럼 별도의 사이클을 사용하지 않고 저항으로 연결된 분

압회로에 연결하여 동시에 처리하기 때문에 반 플래시 AD 변환기보다 빠르다.

3.1 비교기와 래치 회로

플래시 AD 변환기의 비교기회로는 입력 전압 (V_{in})과 참고 전압(V_{ref})의 크기를 비교하여 그에 따른 결과 신호를 디지털 회로에 전달하기 위한 회로이다. 그림 3은 비교기와 래치 회로를 보여준다.

입력 전압이 비교기 참고 전압보다 높으면 비교기의 출력은 "1" (High)이 출력되고 반대로 참고 전압이 입력 전압보다 낮으면 "0" (Low)이 출력되도록 설계되었다. 플래시 AD 변환기는 비교기의 정확성이 설계에서 중요하다. 때문에 비교기의 오프셋 오류들을 줄이고 회로의 크기를 줄이기 위하여 자동 영 기술을 적용하였다. 그림 3은 자동 영(Auto zero) 기능을 가진 비교기에 래치가 연결된 회로이다.

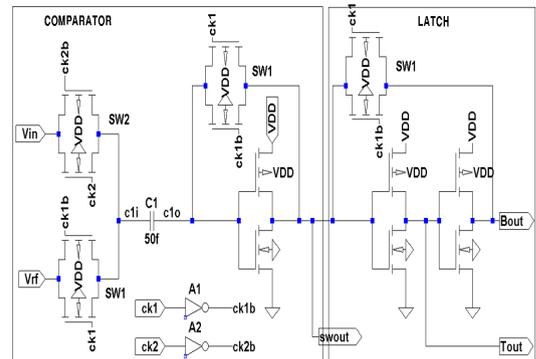


그림 3. CMOS 비교기와 래치

비교기 부분의 동작을 설명하면 다음과 같다. ck2에 의하여 sw2가 연결되면 입력 전압이 콘덴서(c1)에 인가되고 피드백(ck1)에 의하여 인버터의 입력과 출력 전압이 같게 된다. 이 때 인버터는 오픈루프 증폭기와 같은 역할을 한다.

ck1에 의하여 sw1이 연결되면 참고 전압이 콘덴서에 입력된다. 입력 신호로부터 오프셋 오류를 줄이기 위하여 ck1과 ck2를 겹치지 않게 공급한다. 만일 콘덴서 앞부분(c1i)이 뒷부분(c1o:인버터의 앞)보다 전압이 더 높으면 인버터(V_b)에 충전된다. 이 과정을 식으로 표현하면 다음과 같다.

$$V_b = V_{in} - V_{ref} \tag{6}$$

즉, 입력 전압이 높으면 인버터에 $ck1$ 이 공급될 때 이득(V_i)이 래치를 거쳐 출력된다.

입력 신호가 2^N 개의 비교기를 통과하면 비교기의 상태에 따라 “0”과 “1”이 출력된다. 즉, 전에 충전된 참고 전압보다 입력 전압이 높으면 비교기는 “1”을 출력하고, 충전된 참고 전압보다 입력 전압이 낮으면 비교기는 “0”을 출력한다. 이 비교기 회로는 참고 전압과 입력 전압의 크기가 바뀌어질 때까지 “0”이나 “1”신호를 연속적으로 출력한다.

3.2 엔코더와 디코더 회로

비교기들을 통과하면 입력전압의 크기에 따라 표 2에 보여준 온도계 부호 중 한 개를 출력한다. 엔코더는 출력된 코드를 이용하여 “0”과 “1”의 경계점에서 첫 번째 “1”을 찾아내어 2^N 개중 한 개를 선택하여 출력한다. 이 때 출력된 신호를 N비트의 디코더에 연결하면 디코더는 엔코더에 의하여 선택된 번지의 N비트를 출력한다.

3.2.1 엔코더 회로

비교기들에서 연속적으로 출력된 온도계 부호에서 “0”과 “1”이 교차하는 경계점을 찾아내는 회로이다.

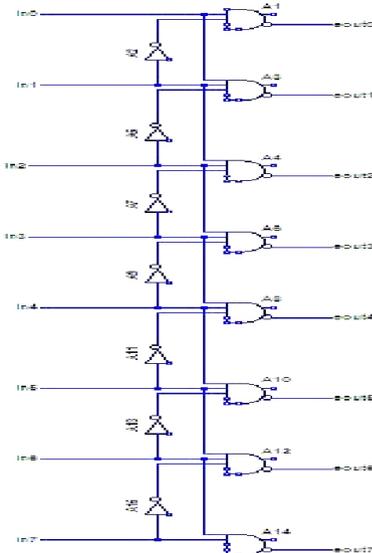


그림 4. 엔코더 회로

이 회로의 출력은 디코더에 연결되고 정확한 “1” 신호를 출력해 주므로 디코더에서 발생하는 글리치를 감소시키는 역할도 한다.

3.2.2 디코더 회로

디코더는 엔코더에서 출력되는 신호 중 “1”이 출력되는 선에 연결된 NMOS 회로가 동작하여 N비트를 출력하는 회로이다. 일반적인 CMOS 회로에서는 NMOS와 PMOS의 트랜지스터를 이용하여 디코더를 설계하지만 트랜지스터의 총 수를 줄이기 위하여 NMOS 트랜지스터만 가지고 디코더를 설계하였다.

NMOS만으로 디코더를 구성하면 별도의 접착층 없이 스위치를 나열할 수 있어 칩의 면적을 최소한으로 줄일 수 있다. 하지만 NMOS만을 이용하여 디코더를 설계하였을 경우 글리치(glitch)가 발생한다. 이러한 현상은 NMOS만을 이용하여 설계한 DA변환기에서도 나타나는 현상이다. 이 현상을 해결 하는 방법이 여러 가지 방법들이 있으나, 본문에서 설계한 회로는 온도계부호 발생회로에 엔코더와 디코더가 연결되어 있어 정확한 데이터가 출력되기 때문에 글리치를 제거할 수 있다.

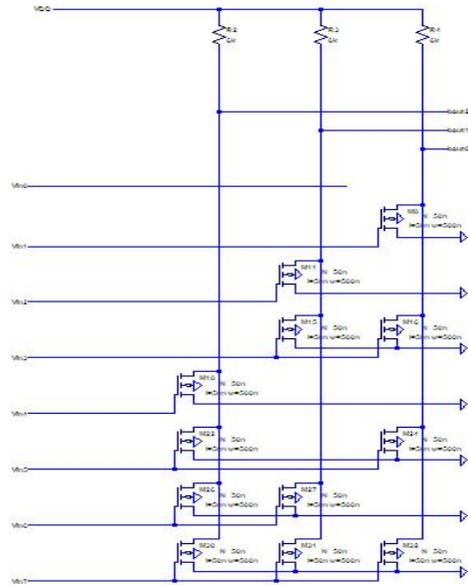


그림 5. 디코더 회로

3.3 2비트 전압예측회로

그림 6은 2비트를 출력하는 전압 예측 회로이다. 이 회로는 플래시 AD 변환기와 같은 구조를 가지고 있으며 N비트 AD 변환기의 상위 N/2비트를 선택하여 조건에 맞는 데이터를 출력한다. 이 회로는 전압 비교기, 온도계 부호 엔코더, 디코더를 이용하여 설계하였다.

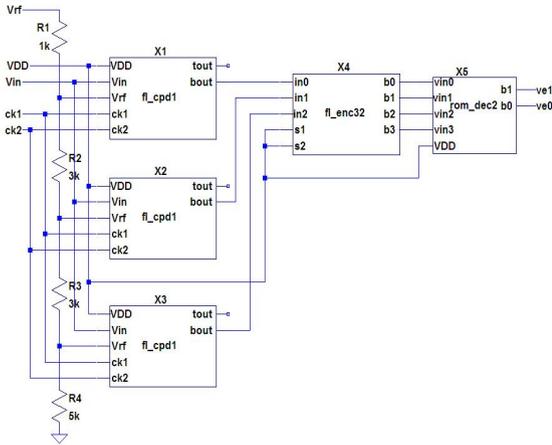


그림 6. 전압 예측회로

3.4 5비트 수정된 플래시 AD변환기 설계

본 논문에서 설계한 5비트 수정된 AD 변환기(MFADC)의 전체 회로는 그림 7과 같다. MFADC는 상위 2 비트를 출력하는 전압 예측 회로와 전압 예측 회로에 의하여 선택된 구역의 하위 3비트가 스위치 블록을 통하여 출력되도록 설계하였다. 이 회로의 전압 예측 회로에 1비트를 더하고 엔코더와 스위치 블록을 추가하면 6비트 MFADC를 설계할 수 있다.

IV. 시뮬레이션 결과와 레이아웃

이 장에서는 각 기능 블록의 시뮬레이션 결과와 레이아웃 도면에 관하여 설명한다. 회로의 동작은 LT SPICE와 IRSM을 이용하여 정상적으로 동작함을 확인하였고, 레이아웃은 Electric 반도체 설계 툴을 이용하였다.

4.1 비교기 시뮬레이션

비교기를 통과한 입력 전압(V_{in})과 참고 전압(V_{ref})은 비교 조건에 따라 “1”과 “0”을 출력한다. 비교기에 클럭2 (ck2)가 주어질 때마다 입력 전압 (V_{in})이 참고 전압(V_{ref}) 보다 전압이 높으면 “1” (high)이 출력되고, 반대로 참고 전압이 입력 전압보다 낮으면 “0” (low)이 출력되는 것을 확인할 수 있었다. 그림 7 에서 C1i 와 C1o 는 콘덴서(c1)의 앞부분과 뒷부분의 전압 변화이다. V[sout]는 한 개의 비교기 출력이고, V[out]는 래치 회로를 통과 후의 결과 값이다. 클럭 (ck1, ck2)은 겹치지 않도록 공급하였다.

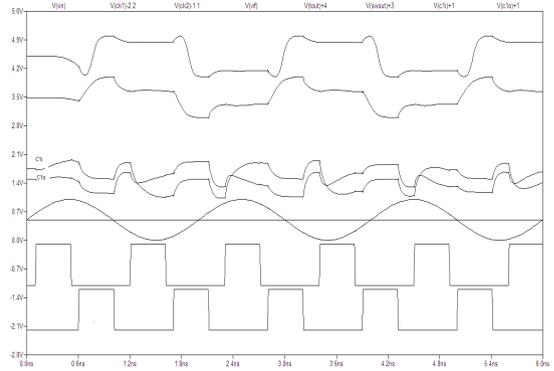


그림 7. 비교기와 래치 시뮬레이션 결과

4.2 엔코더 시뮬레이션

여러 개의 비교기를 병렬로 연결하고 입력 신호와 참고 신호를 크기순으로 비교하여 통과시켰다. 그림 8의 아래 부분은 입력 신호와 참고 신호를 크기순으로 입력되었을 때 나오는 온도계 부호이고, 그림에서 보는 바와 같이 단계가 증가할 때마다 “1”이 연속적으로 증가하는 것을 확인하였다. 이 결과를 이용하여 엔코더를 통과시키면 “0”과 “1”이 겹치는 부분에서 “1”이 출력되는 것을 그림 8의 윗부분에서 볼 수 있다. 본 결과는 3 비트(000 - 111) 플래시 AD 변환기의 엔코더의 시뮬레이션 결과이다.

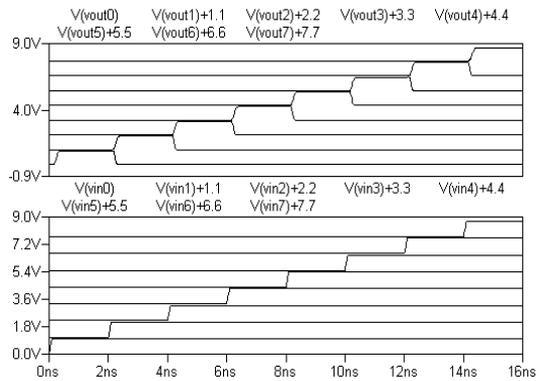


그림 8. 엔코더 시뮬레이션 결과.

4.3 디코더 시뮬레이션

디코더는 출력된 신호 중에서 하나를 선택하여 이진 데이터를 출력한다. 그림 9는 3 비트 디코더를 시뮬레이션 결과이다.

윗부분은 비교기들에서 출력된 온도계 부호 신호이고 이 신호가 엔코더를 통과하여 정확한 “1”

이 디코더에 입력되므로 글리치가 제거된 결과를 볼 수 있었다. 시뮬레이션 결과 온도계 부호들이 이진데이터(000-111)로 출력되는 것을 확인할 수 있었다.

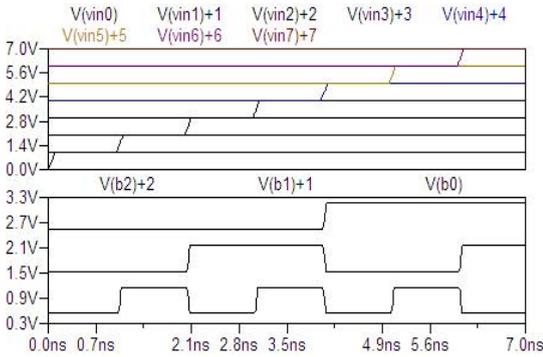


그림 9. 3비트 디코더 시뮬레이션

4.4 5비트 AD 변환기 시뮬레이션

본 논문에서 설계한 AD 변환기의 동작을 확인하기 위하여 5비트 AD변환기 회로를 구성하고 LT SPICE를 이용하여 동작을 확인하였다. 그림 10은 5비트 AD변환기의 시뮬레이션 결과이다.

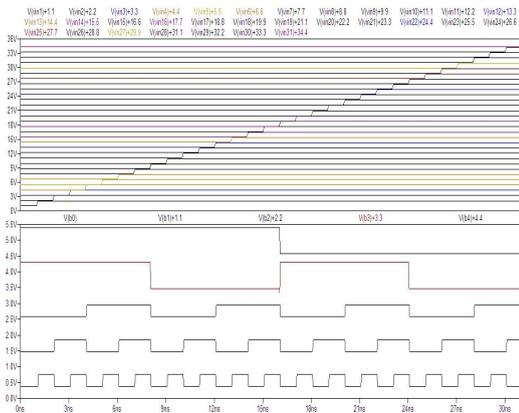


그림 10. MFADC 변환기 시뮬레이션결과

4.5 제안된 AD변환기의 레이아웃 도면

본 논문에서 설계한 MFADC의 레이아웃 도면은 그림 12와 같다. 이 회로는 설계 전에 SPICE와 IRSM을 이용하여 시뮬레이션 하여 설계상 오류가 없음을 확인하였고 Electric 소프트웨어 상에서 ERC와 DRC를 실행하여 오류가 없음을 확인하였다.

4.5.1 비교기 레이아웃 도면

도면은 그림 11은 플래시 변환기가 동작할 때 기본이 되는 비교기 레이아웃이다.

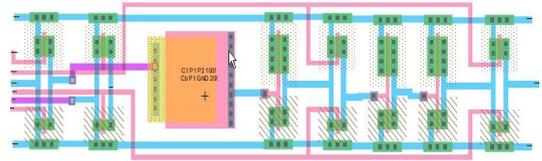


그림 11. 비교기 레이아웃

4.5.2 제안된 AD변환기 레이아웃 도면

회로 시뮬레이션은 5 비트 AD 변환기를 시뮬레이션 했으나 전압 예측 회로에 1비트 추가를 위한 저항과 스위치 블록만 추가하면 되므로 레이아웃은 6 비트를 처리 할 수 있는 AD 변환기를 레이아웃 하였다.

그림 12는 6 비트 AD 변환기의 전체 레이아웃이다.

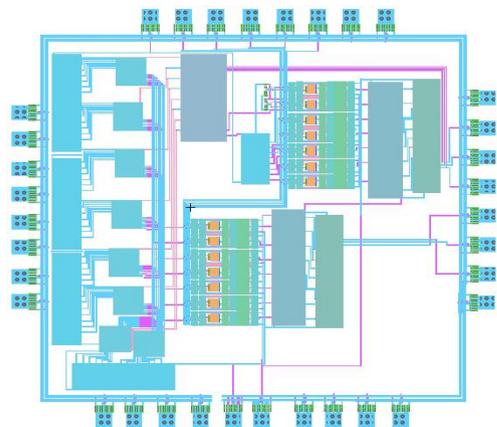


그림 12. 6비트 AD 변환기 레이아웃

4.6 설계사양

6 비트 AD 변환기의 구현은 MOSIS 2.0μm 3 레벨 공정에 따라 시뮬레이션하고 레이아웃 하였다. 이 AD 변환기의 설계 성능은 표 3과 같다.

표 3. MFADC 의 성능

Resolution	6bit
Conversion rate	80MS/s
Power supply	3.0v± 10%
Reference ladder Register	1kΩ
Input range	1.0Vp-p
Area	2500×2435.5
Technology	1poly, 2AI 0.3μm CMOS

V. 결 론

본 논문은 고속 AD 변환기인 플래시 AD 변환기의 회로의 크기를 줄일 수 있는 구조를 제안하고 CMOS로 설계하였다. 기존의 6 비트 플래시 변환기는 비교기의 수가 32개가 필요하나 본 논문에서 설계한 AD 변환기는 14개의 비교기만으로 6 비트 AD 변환기를 설계하였다. 더 나아가 비교기에 연결된 인코더와 디코더 회로의 수도 동시에 줄였기 때문에 전체회로의 크기를 현저히 줄일 수 있었다. 또한 반 플래시 AD 변환기처럼 별도의 사이클을 추가하지 않고 전압 예측회로와 스위치를 이용하여 상위 3비트와 하위 6비트를 동시에 출력시킴으로써 기존 플래시 AD 변환기처럼 한 단계로 처리하여 변환 속도를 빠르게 하였다.

본 논문에서 설계한 AD 변환기 회로는 LT-SPICE상에서 회로를 검증하였고, Electric 툴을 이용하여 시뮬레이션과 레이아웃을 마쳤다.

본 논문에서 제안한 방법으로 AD 변환기를 설계한다면 플래시 AD변환기의 성능과 같은 기능을 가지면서 더 높은 해상도를 가지는 고속 AD 변환기를 설계할 수 있어 실시간 3차원 영상 처리와 같은 많은 양의 데이터를 입력받아 사용하는 시스템에 유용하게 사용할 수 있다.

참 고 문 헌

[1] Michael J. Demler, "High-speed Analog-To-Digital Conversion", Academic Press, pp.24 - 67, 1991.

[2] R. Jacob Baker, "CMOS Circuit Design, Layout, and Simulation," IEEE Press, pp.932-1015, 2005.

[3] Koichi Ono, Tatsuji Matsuura, Eiki Imaizumi, Hisashi Okazawa, and Ryuushi Shimokawa, "Error Suppressing Encode Logic of FCDL in a 6-b Flash A/D Converter," IEEE Journal of Solid-state circuits, Vol.32, No.9, pp.1460-1464, 1997.

[4] C.-W. Hsu and T.-H. Kuo, "6-bit 500 MHz flash A/D converter with new design techniques," in *Proc. of IEEE Conf. on Circuits Syst.*, pp.460-464, Vol.150, No 5. October 2003.

[5] Steven M. Rubin, "Using Electric VLSI Design system," <http://www.staticfreesoft.com/>

[6] Mike Engelhardt, "About LT spice/Switcher CAD III,"<http://www.linear.com/designtools/software/>

[7] Bruce Peetz, Brian D. Hamilton, and James Kang, "An 8-bit 250 Megasample per Secoung Analog-to-Digital Converter: Operation Without a Sample and Hold," IEEE Solid-State Circuits, Vol.sc21, No.6, pp.997-1002, December 1986.

[8] Marc L. Simpson, and Ronald D. Williams, "A Simple Design Methodology for Table Flash A/D Converter Output Encoding," IEEE Trans. on Instrumentation and Measurement, Vol.37, No.4, pp.605-609, December 1988.

[9] Sherman, L, "Fast CMOS A/D chip samples inputs". Electron. Design, pp.149-159. July 8, 1982.

[10] Marcel J. M. Pelgrom, A. C. Jeannet v. Rens, Maarten Vertregt, and Marcel B. Dijkstra, "A 25-Ms/s 8-bit CMOS A/D Converter for Embedded Application," IEEE Solid-State Circuits, Vol.29, No.8, pp.879-886, August 1994.

권 승 탁 (Seung-Tag Kwon)

정회원



1987년 2월 원광대학교 전자 공
학과 졸업

1989년 2월 전북대학교 전자공
학과 석사

1997년 8월~현재 전북대학교 전
자공학과 박사

1992년 3월~현재 서남대학교컴
퓨터 정보통신학과 교수

2006년 3월~2008년 2월 Boise State University(미국)
직원교수

<관심분야> 반도체 회로설계, 정보통신공학, 의료영상처리