

# AWG 기반 WDM-PON을 위한 MAC 칩 설계 – I: 입출력 모듈

준회원 양원혁\*, 정회원 한경은\*\*, 종신회원 김영천\*\*\*

## Design of MAC Chip for AWG Based WDM-PON – I: Input/Output Module

Won-Hyuk Yang\* Associate Member, Kyeong-Eun Han\*\* Regular Member,  
Young-Chon Kim\*\*\* Lifelong Member

### 요약

본 논문에서는 혼합형 2단 AWG 기반의 WDM-PON을 하드웨어적으로 구현하기 위한 초기 단계로서 입출력 모듈을 설계하고 로직 시뮬레이션을 통해 동작을 검증한다. 혼합형 2단 AWG 기반의 WDM-PON은 32개의 파장을 통하여 128개의 ONU에게 서비스를 제공한다. 이때, 하향 전송에서 각 ONU는 자기 할당된 별도의 파장을 이용하는 반면 상향 전송의 경우 4개의 ONU가 단일의 파장을 공유하는 형태이다. 설계한 WDM-PON MAC 칩은 sub-MAC을 기반으로 하며, 각 sub-MAC마다 제어부, 수신부 그리고 네 개의 송신부로 구성된다. 따라서 본 논문에서는 sub-MAC을 구성하는 송·수신부의 기능, 사용되는 핀, 제어 신호 및 타이밍을 정의하고 이를 기반으로 각 기능 모듈을 설계한다. 설계한 WDM-PON MAC 칩은 각 입출력 모듈이 1Gbps의 송수신률을 가지는 것을 목표로 하였으며 이 동작을 위하여 125MHz 구동 클럭에 맞도록 설계된다. WDM-PON MAC 칩의 설계과정은 FSM(Finite State Machine)을 이용한 설계 흐름을 따랐으며 설계한 sub-MAC의 입출력 기능의 검증 및 성능 평가를 위하여 ModelSIM에서 각 기능별로 시나리오를 작성하고 이를 기반으로 로직 시뮬레이션을 수행한다.

**Key Words** : WDM-PON, MAC, Access network

### ABSTRACT

In this paper, we design Input/Output modules as a preference work for implementation of hybrid two stage AWG based WDM-PON and verify operations of each function modules through the logic simulation. This WDM-PON system provides service to 128 ONUs through 32 wavelength and one wavelength is shared for upstream transmission with four ONU while each wavelength is allocated to each ONU for downstream transmission. The designed WDM-PON MAC chip is based on sub-MAC which consists of one control unit and reception unit and four transmission unit. To design the reception and transmission unit of sub-MAC, we define the functions of the sub-MAC, pins of the modules, control signal and timing of each signal. We intend to design MAC chip with 1Gbps transmission rate. Thus the designed MAC chip is worked on 125MHz clock rate. We define FSM and design Input/Output modules with VHDL. The logic simulation of the modules is executed by the ModelSIM simulator.

\* 본 연구는 교육과학기술부와 한국산업기술재단의 지역혁신인력양성사업, 정부(교육과학기술부)의 재원으로 한국과학재단의 지원을 받아 수행된 연구임(No. R11-2000-074-02006-0).

\* 전북대학교 컴퓨터공학과 (whyang@chonbuk.ac.kr),

\*\* 전북대학교 영상정보통신기술연구소 (kehan@chonbuk.ac.kr), (yckim@chonbuk.ac.kr) (°:교신저자)

논문번호 : KICS2007-10-445, 접수일자 : 2007년 10월 4일, 최종논문접수일자 : 2008년 5월 16일

## I. 서 론

최근 컴퓨터 기술의 급속한 발전으로 인해 기존의 텍스트 위주의 사용자 환경에서 벗어나 이미지, 그래픽, 오디오 및 비디오 데이터 등을 제공하는 멀티미디어 사용자 환경으로 변화하고 있다. 최근 가입자망의 고속화를 위하여 수동형 광가입자망 (Passive Optical Network : PON)이 현실성 있는 구현 방안으로 주목받고 있다. 특히 수동분배기를 사용하는 기존의 PON이 갖는 확장성 및 보안의 취약성을 극복하고 대용량·고품질의 서비스 제공을 위한 새로운 기술로 AWG (Arrayed-Waveguide Grating) 기반의 WDM(wavelength-division multiplexing)-PON에 대한 연구가 활발히 진행되고 있다<sup>[1,2]</sup>. 대부분의 관련 연구들은 망 구성 소자 및 망의 구조에 초점이 맞춰져 있으며, 소수 MAC (Media Access Control) 프로토콜에 관한 연구들이 진행되어 왔다. 그러나 기존에 제안된 WDM-PON MAC 프로토콜을 실제 하드웨어적으로 구현하기 위한 구체적인 설계 및 성능 평가에 관한 연구는 아직 미비한 실정이다. 따라서 본 논문에서는 시스템의 구조나 알고리즘을 단순히 제안하고 성능을 입증하는 것에 그치지 않고, 제안한 기술이 실제 구현되기 위한 고려사항, 각 기능 모듈의 동작 신호 및 타이밍, 핀정의 등의 설계 과정과 파라미터를 명시하였다. 이를 통해 제안한 기술의 실제 구현 가능성을 검증하고 광가입자망 시스템을 구현하는데 활용 가능한 기초 자료로 제시한다.

WDM-PON 시스템은 크게 OLT(Optical Line Terminal)와 ONU(Optical Network Unit)간의 통신에 사용되는 제어 패킷 및 데이터의 송·수신을 담당하는 송·수신부와 망 자원의 효율적 사용을 위하여 등록, 레인징, 동적 대역 할당 등을 수행하는 MAC 프로토콜로 구성될 수 있다. 논문 [3, 4]에서는 혼합형 2단 AWG 기반의 WDM-PON의 구조 및 MAC 프로토콜을 제안하였으며, 제안한 시스템이 기존 WDM-PON 시스템에 비해 낮은 비용과 높은 이용률을 제공하는 동시에 확장성이 매우 높은 구조적 특징을 가짐을 확인하였다. 따라서 본 논문에서는 논문 [3, 4]에서 제안된 구조 및 MAC 프로토콜을 기반으로 WDM-PON 시스템을 설계하고자 한다. 특히 본 논문은 송·수신부 기능 모듈 설계를 다루며, MAC 기능을 수행하는 제어부의 설계는 다른 논문에서 자세히 다루어질 것이다.

송신부에서는 각 ONU로 전송되는 제어 및 하향

데이터 프레임의 구성하고 전송 상태에 따라 프레임 생성 중지 및 전송에 관련된 제어를 수행한다. 이를 위하여 송신부는 1) 하향 데이터 전송을 위하여 큐로부터 데이터를 읽어 오는 기능, 2) 실제적으로 데이터 전송을 담당하는 기능, 3) 데이터 오류 검출을 위한 CRC 검사 기능, 4) 데이터 전송 여부를 판별하는 판별 기능, 5) 송신을 위하여 일련의 과정을 제어하는 기능을 담당하는 모듈이 요구된다.

수신부는 현재 수신되는 제어 프레임을 판별하여 이에 따른 신호 및 정보를 제어부에 전송하고, 수신한 상향 데이터 프레임을 저장하여 상위계층에 전송하는 기능을 수행한다. 따라서 수신부는 1) 수신 중인 데이터의 필드를 구분하고 이를 기반으로 각 동작을 제어하는 수신부 제어 기능, 2) 수신된 프레임의 목적지 주소 판별 기능, 3) 현재 수신하는 프레임이 제어 프레임인지 데이터 프레임인지를 판별하는 기능, 4) 제어 메시지 프레임의 정보를 수집하여 레지스터에 저장하는 기능, 5) CRC를 검사하여 수신하고 있는 프레임의 오류 검출 기능, 6) 각 수신부에 필요한 레지스터의 내용을 읽고 필요한 정보를 레지스터에 저장하는 기능, 7) 데이터 프레임을 큐에 저장하는 기능을 수행하는 모듈이 필요하다.

본 논문에서는 sub-MAC을 구성하는 송·수신부를 하드웨어적으로 설계하고 로직 시뮬레이션을 통해 동작을 검증한다. 하드웨어적 설계를 위하여 먼저 혼합형 2단 AWG 기반의 WDM-PON 구조를 분석하고 이를 기반으로 단일의 제어부, 수신부, 그리고 네 개의 송신부로 구성되는 sub-MAC을 설계하였다. 둘째, 시스템의 입출력 기능을 담당하는 송신부와 수신부의 기능 블록을 정의하고, 이에 필요한 모듈을 설계하였다. 셋째, 각 모듈에 필요한 핀 및 입출력 신호들을 정의하고 설계하였다. 넷째, 입출력 신호 및 송수신부 제어 신호, 데이터의 클럭을 결정하고 설정된 클럭에 맞게 동작하도록 하였다. 마지막으로, 설계된 각 기능 모듈의 검증을 위하여 ModelSIM 환경에서 로직 시뮬레이션을 수행하였다.

입력 및 출력을 수행하는 각 모듈을 설계하기 위하여 본 논문에서는 FSM(Finite State Machine)을 이용한 설계를 수행하였다. FSM의 장점은 동작을 이해하기 쉽고 신호에 따른 정확한 동작을 수행하는 모듈을 쉽게 설계할 수 있다는 점이다. 또한 기존의 가입자망의 MAC과 WDM-PON의 MAC의 기능이 다르므로 기존의 MAC을 활용하는 방식이 아닌 새로운 MAC 칩의 설계가 필요하므로 각 모듈의 정확한 기능과 동작 정의를 할 수 있어야 하

로 FSM을 이용하였다.

본 논문의 구성은 다음과 같다. 먼저 II장에서는 설계 시 고려사항으로 sub-MAC의 구조와 프레임 포맷 및 패킷 포맷에 관하여 기술한다. III장에서는 설계한 송신부와 수신부의 각 기능 모듈 및 신호 체계를 설계하고, 각 기능별 동작 과정을 자세히 기술한다. IV장에서는 설계한 송·수신부의 로직 시물 레이션을 위한 파라미터를 정의하고, 각 기능별 검증 및 성능 평가를 수행한다. 마지막으로 V장에서 결론을 맺는다.

## II. 설계 시 고려사항

### 2.1 Sub-MAC

OLT MAC 프로토콜의 하드웨어적 설계를 위하여 128개의 ONU와 32개의 파장을 가정한다. 본 논문에서는 먼저, WDM-PON 시스템을 하향 데이터 전송을 위한 송신부, 상향 데이터 수신을 위한 수신부, 매체의 사용 권한 및 MAC 프로토콜의 제어를 위한 제어부로 구성하여 하나의 sub-MAC을 구성한다. 그림 1은 설계한 sub-MAC의 블록 다이어그램을 나타낸다.

하향 전송의 경우 각 ONU에게 별도의 채널이 할당되고 상향 전송의 경우 4개의 ONU가 하나의 파장을 공유하므로 sub-MAC은 하나의 수신부와 4개의 송신부로 구성되며, 4개의 ONU의 제어 및 공정하고 효율적인 대역할당을 위한 제어부로 구성된다. 즉, 32개의 sub-MAC이 OLT MAC 칩을 구성하게 된다.

### 2.2 상·하향 프레임 포맷

구현한 WDM-PON 시스템에서는 각 ONU들에게 상향 전송을 위한 타임 슬롯을 동적으로 할당하기 위해 요청-허가 기반의 매체 접근 제어 프로토콜 구조를 갖는다. OLT는 각 ONU가 전송한 REPORT 메시지를 기반으로 동적으로 대역을 할당

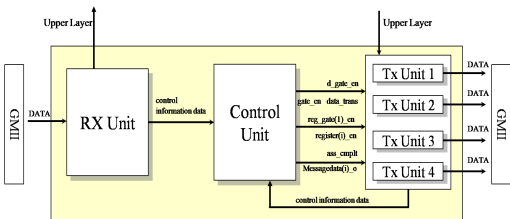


그림 1. sub-MAC 블록 다이어그램  
Fig. 1. Block diagram of sub-MAC

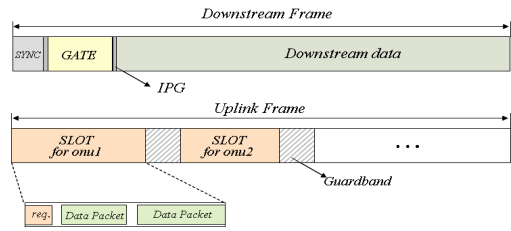


그림 2. 상·하향 프레임 포맷  
Fig. 2. Upstream and downstream frame format

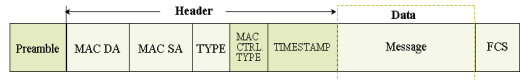


그림 3. 일반적인 패킷 형식  
Fig. 3. General Packet format

하여 GATE 메시지를 통해 할당 대역을 전송함으로써 망의 트래픽 변화에 따라 자원을 효율적으로 사용할 수 있다. 그림 2는 각 파장에 따른 WDM-PON의 상·하향 프레임 구조이다.

하향 프레임은 동기 비트와 GATE 메시지, 그리고 하향 데이터로 구성된다. GATE 메시지는 매 프레임마다 각 ONU에게 방송되며 상향 프레임의 할당된 대역의 크기, 전송 시작시점, 전송해야 할 패킷 종류 등을 지시한다. 하향으로 전송하는 각 패킷은 각각 96bits의 인터 패킷 갭 (Inter Packet Gap: IPG)을 갖는다. 상향 프레임은 각 ONU에게 할당된 타임슬롯들로 구성되며 서로 다른 ONU에게 할당된 타임 슬롯 사이에는 레이저 ON/OFF 시간과 클럭 복원시간 등을 고려하여 1us의 가드 타임을 부여함으로써 상향 채널을 통해 연속하여 전송하는 버스트 간 중첩을 제거하였다. ONU는 할당받은 타임 슬롯을 통해 REPORT 메시지와 자신의 데이터를 함께 전송한다

### 2.3 패킷 포맷

본 논문에서는 IEEE 802.3ah EFM에서 정의된 이더넷 패킷 구조를 그대로 사용한다. 그림 3은 일반적인 프레임 구조를 나타낸다.

목적지 주소 (MAC DA)와 출발지 주소 (MAC SA)는 각각 6byte 크기를 가지며 ONU/OLT/Multicast 주소로 설정된다. 타입 (TYPE) 필드는 매체접근제어 프레임의 타입을 나타내며 매체접근제어 제어 프레임인 경우 이 필드 값이 8808로 설정된다. 매체접근제어 제어 타입 (MAC CTRL. TYPE) 필드는 0002부터 0006 값으로 선택되며 매체접근제어

제어 메시지 종류를 구분하기 위해 사용된다. 타임스탬프 (TIMESTAMP) 필드는 OLT와 ONU의 동기를 맞추기 위해 사용되며 4byte 크기를 갖는다. 또한 프리앰블 (Preamble) 필드와 에러 검출 (FCS)을 위해 각각 8byte 바이트와 4byte가 할당되어 있다. 제어 패킷인 경우 64byte 크기로 고정되어 있으며 데이터 패킷인 경우 최소 64byte에서 최대 1518byte 크기를 갖는다.

제어 패킷은 매체접근제어 제어 타입 (MAC CTRL. TYPE) 필드에서 Opcode에 따라 구분된다. MPCP에서는 등록을 위해 등록 허가 (DISCOVERY GATE) 메시지, 등록 요청(REGISTER-REQUEST) 메시지, 등록 (REGISTER) 메시지, 등록 응답 (REGISTER-ACK)

메시지를 사용하며 동적 대역할당을 위한 제어 메시지로 GATE 메시지와 REPORT 메시지를 사용한다. 등록을 위한 GATE 메시지 (DISCOVERY GATE) 와 동적 대역 할당을 위한 GATE 메시지 (GATE)는 목적지 주소 (MAC DA) 필드에 의해 구분된다.

그림 4는 등록을 위해 OLT와 ONU간에 사용되는 제어 패킷들의 구조를 나타낸다. 등록을 위한 제어 패킷으로는 등록 요청(REGISTER-REQUEST), 등록(REGISTER), 등록 응답 (REGISTER-ACK)이 있다. 등록 과정에서 OLT는 메시지의 타임스탬프 필드를 이용하여 각 ONU의 RTT를 계산하여 정적 레인징을 수행한다.

그림 5는 동적 할당을 위해 사용하는 GATE 메시지와 REPORT 메시지 구조를 나타낸다. GATE

REGISTER-REQUEST								
Preamble (8)	MAC DA (6)	MAC SA (6)	Type (2)	Opcode 04 (2)	Timestamp (4)	Input Port Number (1)	Optional ONU Capabilities Report + Zero Padding (30)	FCS (4)

REGISTER								
Preamble (8)	MAC DA (6)	MAC SA (6)	Type (2)	Opcode 05 (2)	Timestamp (4)	Input Port Number (1)	Optional OLT capabilities report + optional echo of understood ONU capabilities + zero padding (30)	FCS (4)

REGISTER-ACK								
Preamble (8)	MAC DA (6)	MAC SA (6)	Type (2)	Opcode 06 (2)	Timestamp (4)	Input Port Number (1)	Optional echo of understood OLT capabilities + zero padding (30)	FCS (4)

그림 4. 등록을 위한 제어 패킷 형식  
Fig. 4. Control packet format for registration

GATE									
Preamble (8)	MAC DA (6)	MAC SA (6)	Type (2)	Opcode 02 (2)	Timestamp (4)	GST (4)	GL (4)	Additional Field To Be Discussed (25)	FCS (4)

REPORT									
Preamble (8)	MAC DA (6)	MAC SA (6)	Type (2)	Opcode 03 (2)	Timestamp (4)	Report Bitmap (1)	Queue Report (4)	Additional Field To Be Discussed (27)	FCS (4)

그림 5. 동적 대역 할당을 위한 제어 패킷 형식  
Fig. 5. Control packet format for dynamic bandwidth allocation

메시지는 상향 전송을 위해 할당된 타임슬롯 정보를 단일의 ONU에게 전송하기 위해 4 바이트의 전송 시작 시점 (Grant start time) 필드와 2 바이트의 할당된 전송 대역 (Grant Length) 필드를 사용한다. 이 두 필드는 단일 ONU에게 할당되는 GATE 수에 따라 반복될 수 있다. 또한 4 바이트의 타임스탬프를 통해 전송되는 시간 정보를 이용하여 매 프레임 마다 동기를 맞추는 동시에 동적 레인징을 수행한다. REPORT 메시지는 1 바이트의 요청 비트맵 (Report bitmap) 필드와 2 바이트의 큐 요청 (Queue report) 필드를 통해 단일의 ONU가 포함하고 있는 서비스 큐의 정보를 OLT에게 전송한다. 큐 요청 (Queue report) 필드는 ONU가 서비스하는 큐의 개수에 따라 여러 개가 사용될 수 있으며 사용된 큐는 요청 비트맵 (Report bitmap) 필드에 기록된다. 다중화 서비스를 위한 큐의 수는 최대 8개까지 지원된다.

### 2.4 설계한 sub-MAC칩의 사양

구성된 sub-MAC은 1Gbps의 송수신율을 가지는 것을 목표로 설계되었다. 이를 위하여 125MHz 구동 클럭에 맞도록 설계를 진행하면서 각 기능 모듈 간의 타이밍을 조율을 수행하였다. 송신부 모듈은 데이터 전송 시 Preamble과 SDF를 전송 후 데이터를 전송해야 하므로 이에 대한 큐에서 데이터 전송 타이밍을 제어할 수 있어야한다. 또한 전송 중 다른 데이터를 더 이상 보내지 못하게 하기 위한 제어 또한 필요하다. 하향 트래픽 전송 시 GATE 메시지 전송 후 1µs의 Guard time을 가지므로 1µs를 대기 후 실제 데이터를 전송하기위한 타이밍 제어를 해 줄 수 있어야한다. 수신부는 패킷의 입력 부분에 따라 동작해야 하므로 정확한 타이밍을 요구한다. 따라서 수신 데이터 입력 시 각 데이터 필드의 정확한 바이트 카운트를 위한 카운터의 동작이 정의 되어야하며 다음 데이터 필드가 들어오기 전 다음 동작해야하는 모듈이 수신 데이터에서 정보를 얻을 수 있는 타이밍 제어가 필요하다.

## III. 입출력 모듈 구현

### 3.1 송신부

송신부에서 생성된 제어 패킷 및 하향 데이터는 GMII로 전송되며 이를 위하여 제어 패킷 및 데이터 생성 모듈, 생성 및 전송 제어를 위한 제어 모듈, 오류 검출을 위한 FCS 생성 모듈 기능이 요구

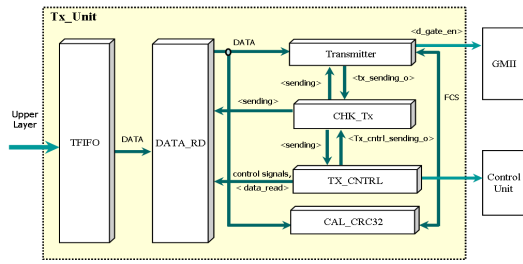


그림 6. 송신부 블록 다이어그램  
Fig. 6. Block diagram of Tx-Unit

된다. 그림 6는 여섯 개의 세부 모듈로 구성된 송신부의 블록 다이어그램을 나타낸다. 세부 모듈의 기능은 다음과 같다.

- TFIFO: 상위 계층으로부터의 하향 데이터들을 FIFO 형태로 저장
- DATA\_RD: 'TFIFO'에 저장된 데이터를 프리앰블(preamble), SFD, FCS를 제외한 프레임으로 조립
- Tx\_CNTRL: 현재의 송신 상태 제어
- Transmitter: 형성된 프레임을 물리계층으로 전송
- CHK\_Tx: 'DATA\_RD'의 제어를 위한 신호 생성
- CAL\_CRC32: 프레임 에러 검출을 위한 FCS 정보 생성

등록 과정을 위한 송신부의 동작은 다음과 같다.

Step 1. 초기에 장비가 동작하기 시작하면 제어부는 활성화 신호 <d\_gate\_en>를 생성하여 송신부의 'Tx\_CNTRL'으로 전송한다.

Step 2. <d\_gate\_en>을 수신한 'Tx\_CNTRL'은 Discovery-GATE 패킷 전송을 위한 <d\_gate\_tx>신호를 생성하여 'DATA\_RD'와 'Transmitter'에게 전송하고, <tx\_cntrl\_sending\_o>을 '1'로 설정하여 'CHK\_Tx'에게 전송한다.

Step 3-1. <d\_gate\_tx>신호를 수신한 'DATA\_RD'는 Discovery-GATE 패킷에서 프리앰블(preamble), SFD, FCS를 제외한 나머지 데이터를 송신할 준비를 한다.

Step 3-2. <d\_gate\_tx>신호를 수신한 'Transmitter'는 매 2ms 프레임의 시작을 나타내기 위한 프리앰블(preamble)과 SFD를 생성하여 GMII로 전송하고, 가드 타임(Guard time) 1us동안 '0'을 전송한다.

Step 3-3. <tx\_cntrl\_sending\_o>를 수신한 'CHK\_Tx'는 <sending> 신호를 '1'로 설정함으로써 프레임이

전송중임을 알린다.

Step 4-1. 'Tx\_CNTRL'은 가드 타임(Guard time) 후에 'DATA\_RD'에게 <data-read>신호를 전송하여, 생성된 데이터를 'Transmitter'에게 전송하도록 한다.

Step 4-2. 'Transmitter'는 가드 타임(Guard time) 후에 Discovery-GATE 패킷의 프리앰블(preamble), SFD를 생성하여 GMII로 전송하는 동시에 'CAL\_CRC32'에게 <enable>과 <start> 신호를 전송함으로써 CRC를 계산하도록 한다.

Step 5. 'Transmitter'는 'DATA\_RD'로부터 수신한 데이터와 'CAL\_CRC32'에서 계산된 FCS를 데이터에 붙여 전송한다. 전송이 끝나면 <tx\_sending\_o>를 '1'로 설정하여 'CHK\_Tx'에게 전송한다.

Step 6. 'CHK\_Tx'는 <transmitting>신호를 '0'으로 설정하여 전송이 끝났음을 알린다.

Step 7. 모든 ONU의 등록이 완료되면 제어부는 <assign\_complete> 신호를 송신부의 'Tx\_CNTRL'에게 전송한다.

동적 대역 할당을 통한 실제 상·하향 트래픽 전송을 위한 송신부의 동작은 다음과 같다.

Step 1. <assign\_complete> 신호를 수신한 'Tx\_CNTRL'는 <gate\_tx>신호를 생성하여 'DATA\_RD'와 'Transmitter'에게 전송하고, <tx\_cntrl\_sending\_o>을 '1'로 설정하여 'CHK\_Tx'에게 전송한다.

Step 2-1. <gate\_tx>신호를 수신한 'DATA\_RD'는 GATE 패킷에서 프리앰블(preamble), SFD, FCS를 제외한 나머지 데이터를 송신할 준비를 한다.

Step 2-2. <gate\_tx>신호를 수신한 'Transmitter'는 매 2ms 프레임의 시작을 나타내기 위한 프리앰블(preamble)과 SFD를 생성하여 GMII로 전송하고, 가드 타임(Guard time) 1us동안 '0'을 전송한다.

Step 2-3. <tx\_cntrl\_sending\_o>를 수신한 'CHK\_Tx'는 <sending> 신호를 '1'로 설정함으로써 프레임이 전송중임을 알린다.

Step 3. 등록 과정의 Step 4-6이 반복적으로 수행된다.

이때, 'CAL\_CRC32'는 가변길이 데이터에 대한 32비트(bit) CRC를 바이트(byte) 단위로 병렬 계산하여 생성한다. 전송할 패킷의 크기가 설정된 최소 패킷 크기보다 작으면 'Transmitter'는 'CAL\_CRC32'에게 <add\_padding> 신호를 전송한다. <add\_padding> 신호를 수신한 'CAL\_CRC32'는 데이터에 패딩(padding)된 만큼 0을 포함하여 FCS 값을 계산한다.

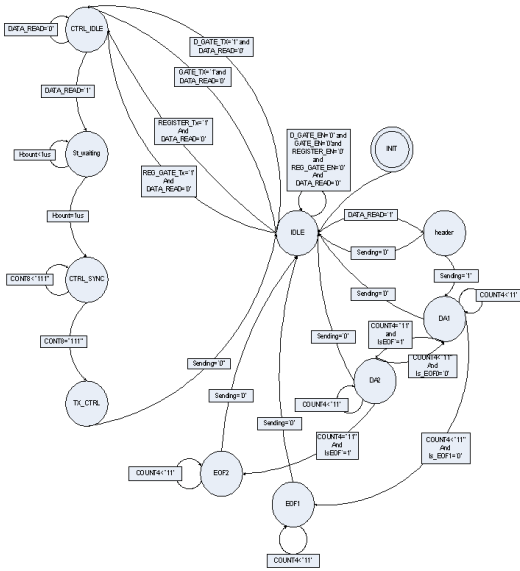


그림 7. DATA\_RD 모듈의 상태 천이도  
Fig. 7. State diagram of 'DATA\_RD'

'Tx\_FIFO'로부터 데이터를 읽어오는 단위가 4byte인데 비해 GMII의 데이터 전송 단위는 1byte로 표준화되어 있다. 따라서 'DATA\_RD'는 4byte 단위로 읽어들인 데이터를 'Transmitter'에게 1byte 단위로 전송하기 위하여 두 개의 클럭(clock)을 사용한다. 이때 <TCLK(31.25MHz)>은 데이터를 읽어오기 위한 클럭(clock)이며, 이를 4분주한 <MCLK(125MHz)>은 'Transmitter'로 데이터를 전송하기 위한 기준 클럭(clock)이다. 그림 7은 'DATA\_RD' 모듈의 상태 천이도를 나타낸다.

"IDLE" 상태는 데이터 버퍼링을 위한 모드와 제어 프레임 전송을 위한 모드로 구성된다. 'CHK\_Tx' 으로부터 <d\_gate\_tx>, <gate\_tx>, <reg\_gate\_tx>, <register\_tx> 신호를 수신하면 제어 패킷 전송을 위한 "CTRL\_IDLE" 상태로 천이한다. "CTRL\_IDLE" 상태에서 <data\_read> 신호가 1이 되면, 프레임 동기화를 위한 프리앰블(preamble)과 SFD가 전송되는 동안(8clock) 대기한 후 "st\_waiting" 상태로 천이하여 가드 타임(1us)동안 대기한다. 가드 타임 후 "CTRL\_SYNC", "Tx\_CTRL" 상태로 천이하여 'Transmitter'에게 제어 패킷을 전송하고 전송이 완료되면 "IDLE" 상태로 천이한다. 데이터 패킷 전송을 위하여 "IDLE" 상태에서 "header" 상태로 천이하여 목적지 주소(DA), 발신지 주소(SA) 등의 헤더 부분을 패킷 형식에 따라 조립하여 'Transmitter'로 전송한다. "DA1", "DA2" 상태는 버스트 모드의 구

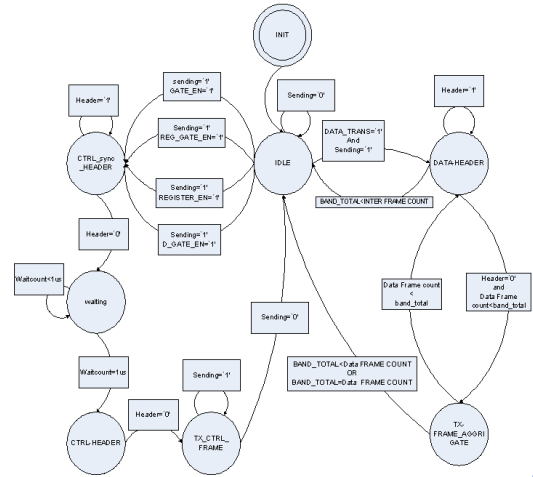


그림 8. Transmitter 모듈의 상태 천이도  
Fig. 8. State diagram of 'Transmitter'

현을 위한 것으로 두 상태 간 천이를 통해 하향 데이터 패킷의 연속적인 전송이 가능하도록 하였다. 마지막 데이터 패킷의 전송이 완료되면 <sending> 신호가 '0'이 될 때까지 대기한 후 "IDLE" 상태로 천이한다.

그림 8은 'Transmitter' 모듈의 상태 천이도를 나타낸다. "IDLE"에서 'CHK\_Tx'에 의하여 <sending> 신호가 1로 천이하는 순간 전송이 시작된다. 제어 패킷의 전송은 프레임의 시작 부분에서 수행되므로 먼저 "ctrl\_sync\_header"상태로 천이하여 매 프레임의 동기를 위한 프리앰블(preamble)과 SFD를 전송한다. 동기 프레임 전송 후 "waiting" 상태로 천이하여 가드 타임(Guard time) 1us 동안 대기한다. 가드 타임(Guard time) 후 "ctrl\_header" 상태로 천이하여 제어 패킷의 헤더 부분을 전송한다. 이때, 앞서 이미 언급한 바와 같이 'CAL\_CRC32' 모듈로 <start>,<enable> 신호를 전송함으로써 미리 CRC의 계산이 수행되도록 한다.

"TX\_CTRL\_FRAME" 상태로 천이하여 제어 패킷의 데이터부분과 FCS 부분을 전송한다. 전송이 완료되면 다시 "IDLE" 상태로 천이한다. 일반 데이터 패킷의 전송의 경우 "IDLE" 상태에서 "DATA\_HEADER" 상태로 천이하여 프레임 동기를 위한 프리앰블(preamble)과 SFD를 전송하고 가드 타임(Guard time) 1us 동안 대기한 후 데이터 패킷의 전송을 위하여 "TX\_FRAME\_AGGREGATE" 상태로 천이한다. 데이터 패킷에 대한 패딩(padding) 및 FCS가 모두 이 상태에서 처리된다. 전송이 완료되

면 다시 “IDLE” 상태로 천이한다. 하향 패킷들 사이에 96ns의 IPG(Inter packet gap)을 고려하였으며 패킷 전송 타이밍은 패킷의 크기를 기반으로 수행된다.

그림 9는 ‘CHK\_Tx’ 모듈의 상태 천이도를 나타낸다. 장비 초기화 단계에서 <d\_gate\_en> 신호가 1임을 감지하면, “IDLE” 상태에서 “START\_TX” 상태로 천이하여 Discovery\_GATE 패킷 전송을 위한 <d\_gate\_tx> 신호를 발생시킨다. Discovery\_GATE 패킷 전송이 완료되면 “IDLE” 상태로 천이하여 대기한다. “IDLE” 상태에서 제어부로부터 제어 패킷 전송과 관련한 <register\_en>, <reg\_gate\_in>, <gate\_en>, <ass\_cmplt>, <data\_trans> 신호가 입력되면 “START\_TX” 상태로 천이하여 제어 패킷 전송을 수행한다. OLT와 ONU간 등록이 완료되면 제어부는 ‘CHK\_Tx’에게 <ass\_cmplt>, <gate\_en> 신호를 전송한다. 이를 수신한 ‘CHK\_Tx’ 모듈은 “START\_TX” 상태로 천이하여 ‘Transmitter’에게 <gate\_tx> 신호를 전송한 후 “TX\_END” 상태로 천이한다. “TX\_END”에서는 <gate\_trans\_cmplt>, <reg\_trans\_cmplt> 신호를 제어부에 전송함으로써 제어 패킷 전송이 수행되었음을 알리고 <sending\_ok> 을 1로 설정한 뒤 “IDLE” 상태로 천이한다. 제어 패킷 전송 후 “IDLE” 상태에서 제어부로부터 <data\_trans>와 <ass\_cmplt> 신호를 수신하면 가드 타임(Guard time) 1us 동안 대기한다. 1us 후 “START\_TX” 상태로 천이하여 <tx\_cntrl\_sending\_o>와 <data\_read> 신호를 ‘1’로 설정하고 데이터를 전송한다.

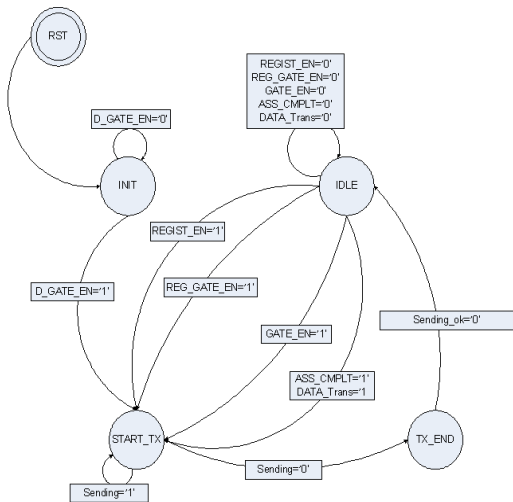


그림 9. CHK\_Tx 모듈의 상태 천이도  
Fig. 9. State diagram of module ‘CHK\_Tx’

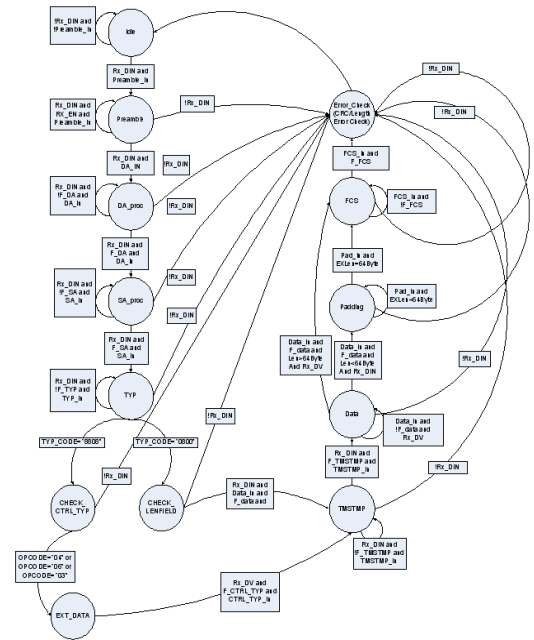


그림 11. 수신부의 상태 천이도  
Fig. 11. State diagram of Rx\_UNIT

3.2 수신부

수신부는 GMII로부터 전송된 제어 패킷 및 데이터를 수신하고, 패킷들을 판별하여 저장하거나 필요한 정보를 추출하여 제어부에 전송하는 기능을 수행한다. GMII로부터 전송된 패킷이 제어 패킷이면 제어 패킷으로부터 필요한 정보를 추출하여 레지스터에 저장하거나 송신부에서 다음 제어 패킷을 생성하기 위한 관련 신호를 발생시킨다. 그림 10은 일곱 개의 세부 모듈로 구성된 수신부의 블록 다이어그램을 나타낸다. 세부 모듈의 기능은 다음과 같다.

- PK\_INDCTR: GMII로부터 수신한 패킷의 처리를 위한 타이밍 신호 발생 및 수신부 전체 모듈 제어,

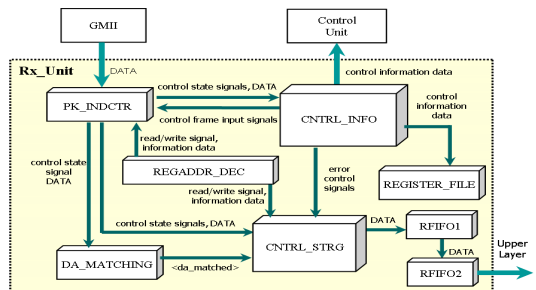


그림 10. 수신부 블록 다이어그램  
Fig. 10. Block diagram of Rx\_Unit

프레임 길이 검사

- **DA\_MATCHING**: 패킷의 DA를 검사하고 자신과 동일한 주소를 갖는 프레임을 선별하여 수신, CRC 에러 검출
- **CTRL\_INFO**: 각 모듈에서 검출된 에러 정보를 수집, CRC 에러, Oversize 에러와 Undersize 에러에 대한 플래그를 설정하여 'REGISTER\_FILE'로 전송
- **REGADDR\_DEC**: 수신부의 모든 레지스터들에 대한 주소 디코딩을 수행, 각 레지스터를 위한 <xxx\_reg\_rden>와 <xxx\_reg\_wren> 신호를 발생하여 각 레지스터가 위치한 모듈로 전송
- **CNTRL\_STRG**: 'RXFIFO1'에서의 읽기/쓰기 기능 제어
- **RFIFO1**: 수신한 모든 패킷의 임시 저장
- **RFIFO2**: 수신한 데이터 패킷 저장

제어 패킷 및 데이터 수신을 위한 각 수신부 모듈의 동작은 다음과 같다.

Step 1. 'PK\_INDCTR'는 장비 동작 시 초기화를 수행하고 <rx\_en>신호를 발생시켜 수신부의 다른 모듈들에게 수신 준비가 완료되었음을 알린다.

Step 2. GMII로부터 <rx\_din>, <rx\_d> 신호를 수신한 'PK\_INDCTR'는 데이터를 수신하여 'DA\_MATCHING'과 'CNTRL\_INFO'에게 전송한다.

Step 3-1. 'DA\_MATCHING'은 패킷의 목적지 주소 필드를 검사하여 자신의 MAC 주소와 비교한다. 이때, 패킷의 목적지 주소와 MAC 주소가 일치하면 <da\_matched>를 1로 설정하여, 'CNTRL\_STRG'로 전송한다. 또한 CRC 수행 후 나머지가 'C704DD7B'이면 정상적인 패킷으로 인식한다. 에러 패킷인 경우 <crc\_ok>를 0으로 설정하고 패킷은 폐기한다.

Step 3-2. 제어 및 데이터 패킷으로부터 필요한 정보를 수집하여 레지스터에 저장하고 수집한 정보에 대한 신호를 발생하여 제어부로 전송한다. 또한 검출된 에러 정보를 'CNTRL\_STRG'에게 전송하는 동시에 이를 기반으로 에러 플래그(flag)를 생성한다.

Step 3-3. 'PK\_INDCTR'로부터 패킷을 수신한 'CNTRL\_STRG'은 4byte씩 데이터를 조립하여 'RFIFO1'으로 전송한다.

Step 4. 'RFIFO1'은 프리앰블(preamble)과 CRC를 제외한 데이터를 32비트 워드(word) 단위로 저장한다. 이때, 'RFIFO1'에 데이터 패킷을 저장하는 도중에 에러가 발생하거나 저장 공간이 부족한 경

우 데이터 패킷은 폐기된다. 또한 폐기될 패킷에 대한 정보를 'RFIFO2'에게 전송한다.

그림 11은 수신부의 상태 천이도를 나타낸다. 수신부의 초기화가 종료된 후 <rx\_en> 신호가 1로 천이되면 'PK\_INDCTR'가 동작한다. 패킷의 Preamble, DA, SA, TYPE 필드에 따라 "preamble", "DA\_proc", "SA\_proc", "TYP" 상태로 순차적으로 천이함으로써 GMII로부터 전송된 패킷을 수신한다. 이때, 각 상태로의 천이 시점은 DA 필드 수신이 시작됨과 동시에 동작하는 필드 카운터(Field Counter)와 데이터 카운터(Data Counter)에 의해 결정된다. 이 두 카운터는 현재 수신중인 패킷의 위치 및 길이를 측정하기 위하여 사용된다. 필드 카운터(Field Counter)는 0~16byte, 데이터 카운터(Data Counter)는 0~1500byte까지 측정 가능하다. 이외에 두 개의 카운터(IN\_OCTET COUNTER, RXDIN\_COUNTER)를 두어 수신되는 패킷 길이가 허용 범위를 초과하거나 패킷의 length 필드 값과 실제 측정된 패킷의 길이가 일치하지 않는 경우를 판별하고 에러를 발생시킨다.

'PK\_INDCTR'는 수신되는 각 패킷 필드의 시작과 끝을 나타내는 타이밍 신호를 생성하여 패킷을 처리하는 각 모듈로 전송한다. 이때, 패킷 수신 중에 <rx\_en> 신호가 1에서 0으로 천이되면 현재 수신 중인 패킷은 정상적으로 처리되나 이후 패킷은 수신하지 않는다.

"TYP" 상태 이후 'CNTRL\_INFO'에서 패킷의 종류를 판별한 다음, 패킷의 종류에 따라 처리한다. 제어 패킷이 수신되는 경우 Op\_code의 값에 따라 제어 패킷의 종류를 판별하고 이더넷 패킷의 데이터 필드에 저장된 제어 정보를 저장한다. 이때, 수신되는 패킷들의 주소 정보와 패킷 길이 및 타입에 대한 정보들은 패킷의 계속적인 처리를 위하여 레지스터에 임시로 저장된다. 저장된 DA와 SA 정보는 수신 패킷의 주소 필터링과 ONU\_ID 등록 수행 시 사용되며, 패킷 길이 및 타입 정보는 에러 검출 및 제어 패킷의 판별에 사용된다.

'REGADDR\_DEC'은 각 필드의 정보를 저장하기 위하여 수신부의 모든 레지스터 주소를 관리한다. 먼저, 'RXFIFO1'의 데이터-출력-임계 레지스터(Data-output-threshold register)는 각 레지스터들에게 <read\_enable>, <write\_enable> 신호를 전송한다. 이때, REGADDR\_DEC'은 수신한 <reg\_rdb>, <reg\_csb> 신호가 '1'로 천이하면 <reg\_addr> 신호를 디코딩한다. 디코딩이 완료되면 해당 주소 값을 갖는 레지스터의 전체 또는 일부분에 대한



<read\_enable> 신호를 발생한다. 만약 입력신호 <reg\_wrb>, <reg\_csb>가 활성화 되면, <reg\_addr> 신호를 디코딩하여 해당 주소를 갖는 레지스터의 전부 또는 일부에 대한 <write\_enable> 신호를 발생한다.

수신부에서 비정상적인 상황이 발생하는 경우 RFIFO1 모듈은 수신한 패킷 프레임의 프레임을 폐기한다. 표 1은 수신부에서 발생하는 비정상적인 에러의 종류를 나타낸다. 'RFIFO1'에 기록되는 패킷 프레임들에 대하여 제어기는 프레임의 첫 데이터가 기록된 데이터의 위치를 저장한다. 따라서 프레임 폐기가 발생하면 'FIFO write' 포인터는 현재 수신된 프레임의 첫 위치로 돌아간다. 만약 'RFIFO2'가 해당 프레임을 읽는 경우 상위 모듈에게도 'Frame\_Discard' 신호를 활성화하여 전달하는 동시에 'FIFO read' 포인터를 'Write' 포인터와 동일하게 수정한다. 이때, 현재 사용되는 FIFO의 'Write' 포인터, 'Read' 포인터와 현재 프레임에 대한 첫 데이터 위치에 대한 포인터를 비교하여 상위 모듈이 현재 수신되는 데이터를 읽고 있는지를 결정한다.

제어 패킷은 에러의 발생에 관계없이 CTRLFRM\_WR='0'로 설정되어 'RFIFO1'에 기록되지 않도록 한다. 그러나 제어 패킷의 여부는 수신된 패킷의 타임 필드가 입력된 이후 확인 가능하므로 제어 패킷으로 판명되는 시점에 현재 패킷 프레임의 데이터는 'RXFIFO1'에 기록 중인 상태이다. 따라서 이 경우에도 프레임 폐기가 발생한다.

#### IV. 성능평가 및 분석

표 1. 수신부에서의 에러 종류  
Table 1. Errors occurred in Rx\_Unit

에러의 종류	발생 원인
CRC 에러	수신 프레임에 대한 처리가 종료되는 시점에서 수신 프레임에 대한 CRC 체크 결과가 올바르지 않을 경우 발생
언더사이즈 (under size) 에러	수신된 패킷 프레임의 크기가 64 byte보다 작은 경우 발생
오버사이즈 (over size) 에러	수신된 패킷 프레임의 크기가 1518 byte보다 큰 경우 발생
오버플로우 (over flow) 에러	수신된 프레임을 'RX FIFO1'에 써야 할 시점에 'RXFIFO full'이 발생한 경우 'FIFO overflow'가 발생
길이 필드 에러	수신한 프레임의 길이 필드의 값이 실제 수신 프레임의 길이와 다른 경우 발생

표 2. 시뮬레이션 파라미터  
Table 2. Simulation parameters

Parameters	Value
ONU개수	4
송신을 위한 채널 수	4
수신을 위한 채널 수	1
프레임 시간	2ms
제어 패킷 길이	64Byte
가드 타임	1us
제 1 송신부 TX_PORT 번호	0x00
제 2 송신부 TX_PORT 번호	0x01
제 3 송신부 TX_PORT 번호	0x02
제 4 송신부 TX_PORT 번호	0x03
MAC 주소	0xAA99E6555553

본 장에서는 VHDL을 이용하여 설계한 MAC 기능을 구현하고 이에 따른 동작 검증 및 성능 평가를 수행하기 위하여 ALTERA사의 Quarters II 4.0 과 Mentor Graphics Corporation의 ModelSim SE 6.0을 사용한다. 시뮬레이션은 sub-MAC을 기반으로 수행되었으며, 하나의 단위-시스템을 구성하는 4개의 ONU와 상·하향 전송을 위하여 각각 별도의 채널을 사용한다. 각 채널의 용량은 1Gbps이다. 시뮬레이션을 위한 파라미터는 표 1과 같다.

그림 12는 최초 장비 동작 시의 타이밍을 나타낸다. 16ns에서 <nrst> 신호가 '1'로 천이하면서 장비의 동작이 시작된다. 그 후 제어부로부터 36ns에 <d\_gate\_en>(①)신호를 수신한 송신부는 <d\_gate\_tx>(②)신호를 '1'로 천이 시키고 <tx\_cntrl\_sending\_o>(③)신호를 생성한다.

<tx\_cntrl\_sending\_o>신호가 발생하면 52ns에 <sending>(④)신호가 '1'로 설정됨으로써 Discovery GATE 패킷 송신 준비를 완료 한다.

그림 13와 14는 각각 타임 슬롯 동기화 및 1us 가드 타임(Guard time) 후 패킷 전송 동기를 위한 프리엠블과 SFD의 전송과정(①)을 보여준다. 그림 13에서 프리엠블과 SFD는 60ns에서 124ns까지 8byte가 정확하게 전송되며, 1클럭(125MHz, 8ns) 당 1byte가 전송됨을 확인할 수 있다. 그림 14는 1us(1124ns)의 가드 타임(Guard time) 후 전송되는 패킷의 동기를 맞추기 위하여 프리엠블과 SFD(①)가 정확히 전송됨을 확인할 수 있다. 그림에서 패킷 프레임의 헤더와 데이터의 전송이 완료 되면 FCS 전송에 앞서 <tx\_sending\_o>(②)신호를 발생시킨다. 이 신호는 transmitter 모듈의 <sending>(③)신호를 '0'으로 천이시킨다. <tx\_sending\_o>신호 발생 후 16ns 이 후에 'sending' 신호는 '0'으로 천이 된다.

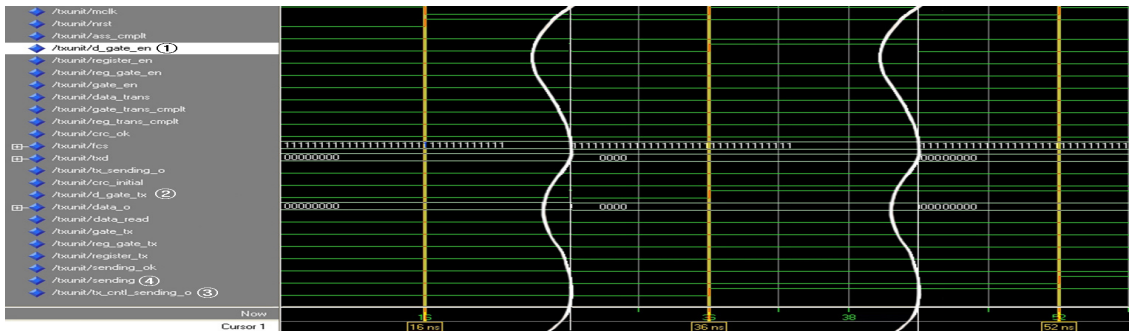


그림 12. 최초 장비 동작 시 타이밍  
Fig. 12. Timing for initial operations of network

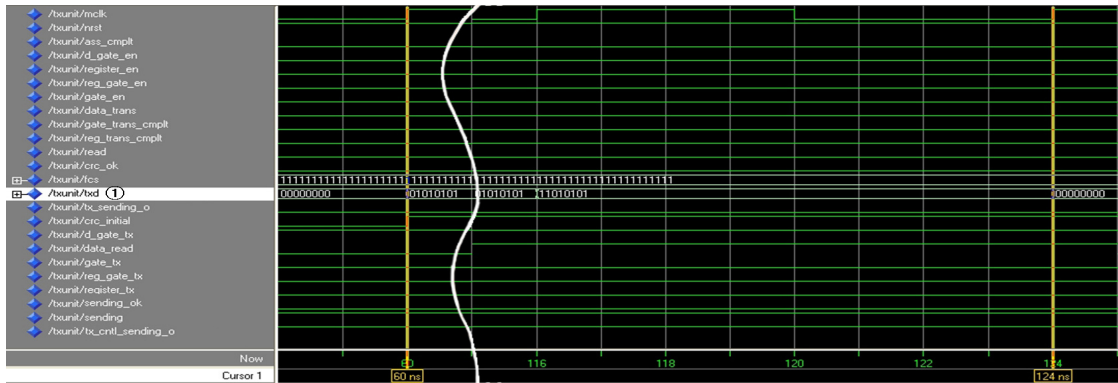


그림 13. 타임 슬롯 동기화를 위한 프리앰블과 SFD  
Fig. 13. Preamble and SFD for synchronization of time slot

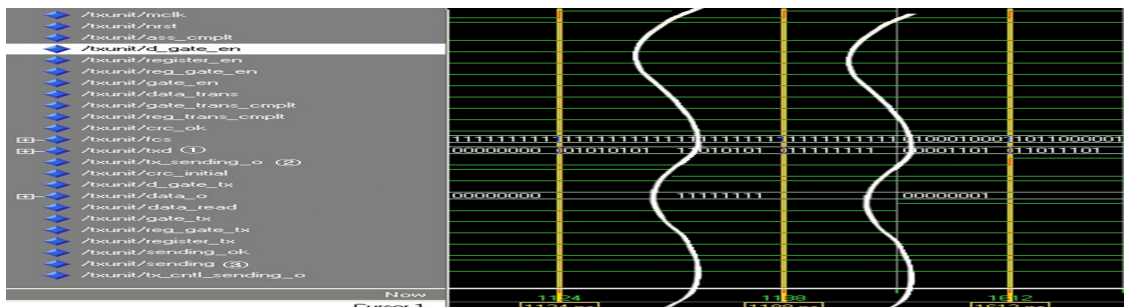


그림 14. 프리앰블, SFD 전송 및 패킷 전송을 위한 타이밍도  
Fig. 14. Timing for preamble, SFD and packet transmission

그림 15는 프레임 전송 완료 후, 프레임 전송이 성공적으로 완료 되었다는 <sending\_ok>(①) 신호와 그 이후 수신부에서 REGISTER 패킷 프레임 전송 신호 발생을 나타낸다. 프레임 전송 완료 후, <sending\_ok> 신호가 발생함에 따라 다음 패킷의 전송 준비가 시작된다. 그림에서 알 수 있듯이 패킷 전송은 512ns 동안 (1124ns~1636ns) 정확히 이루어진다. Discovery-GATE 패킷 프레임 전송 후,

20012ns(20.012us)에 <register\_en>(②)신호가 입력되고, 'TX\_CNTRL'에서 <register\_tx>(③)신호가 발생하므로 송신부는 다시 REGISTER 패킷 프레임 전송을 시작한다.

그림 16은 REGISTER 패킷과 GATE 패킷 전송을 위한 전체 타이밍도를 나타낸다. <register\_tx>(①)신호에 따라 REGISTER 패킷이 전송된다. REGISTER 패킷이 전송된 후, ONU가 등록되었음을

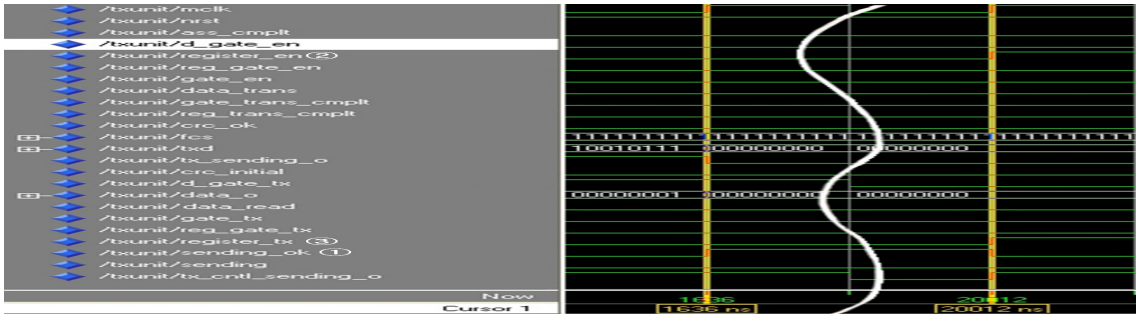


그림 15. <sending\_ok> 와 <register\_tx> 신호 발생  
 Fig. 15. Signaling of <sending\_ok> and <register\_tx>

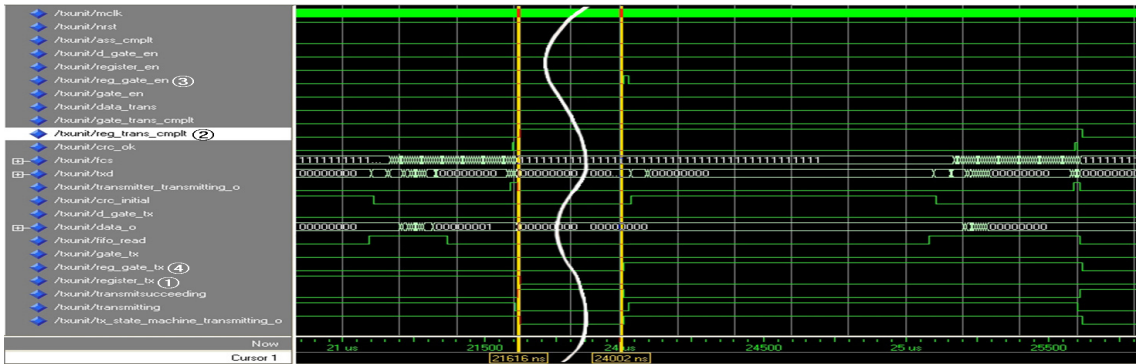


그림 16. REGISTER와 GATE 패킷 전송 타이밍  
 Fig. 16. Timing for transmission of REGISTER and GATE packets

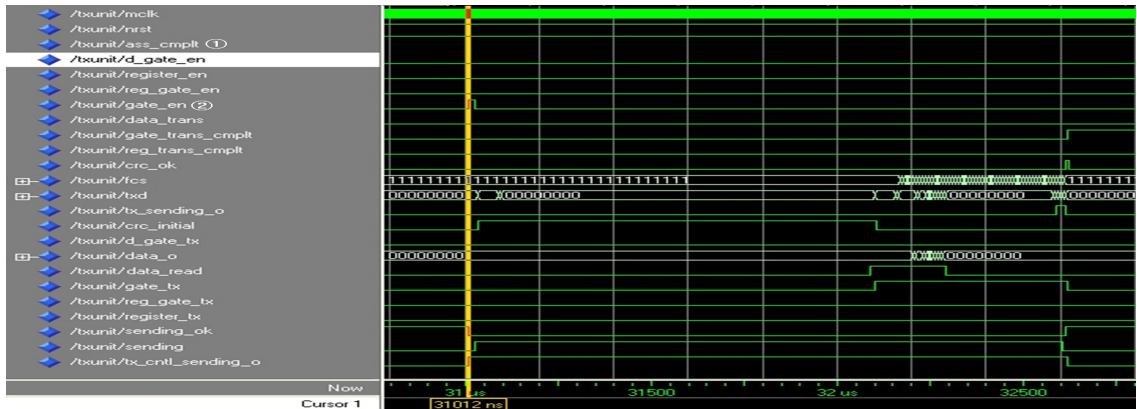


그림 17. 하향 전송을 위한 GATE 패킷 타이밍도  
 Fig. 17. Timing for GATE packet for downstream transmission

알리기 위한 GATE 패킷을 전송한다. REGISTER 패킷 전송이 완료되면 <reg\_trans\_cmplt>(2)신호가 '1'로 천이 되어 REGISTER 패킷 전송이 완료됨을 제어부에게 알린다. 그 후 송신부는 제어부에서 <reg\_gate\_en>(3)신호를 수신하게 된다. <reg\_gate\_en>(3) 신호를 수신한 송신부는 <reg\_gate\_tx>(4)

신호를 1로 천이하게 되고 GATE 패킷을 전송하게 된다. REGISTER와 GATE 패킷 전송이 완료되면, 제어부는 등록과정이 완료되었음을 알리는 <ass\_cmplt>신호를 송신부로 전달한다. <ass\_cmplt>와 <gate\_en>신호가 1로 천이되면, 하향 전송을 위한 GATE 패킷을 전송한다. 그림 17은 <ass\_cmplt>(1)

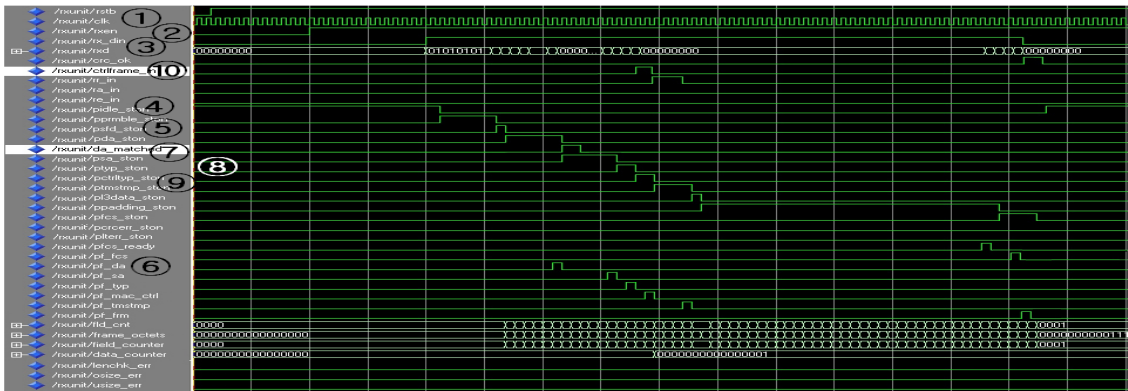


그림 18. 수신부 전체 동작 및 중요 신호 타이밍도  
Fig. 18. Operation of Rx-Unit and timing of major signals

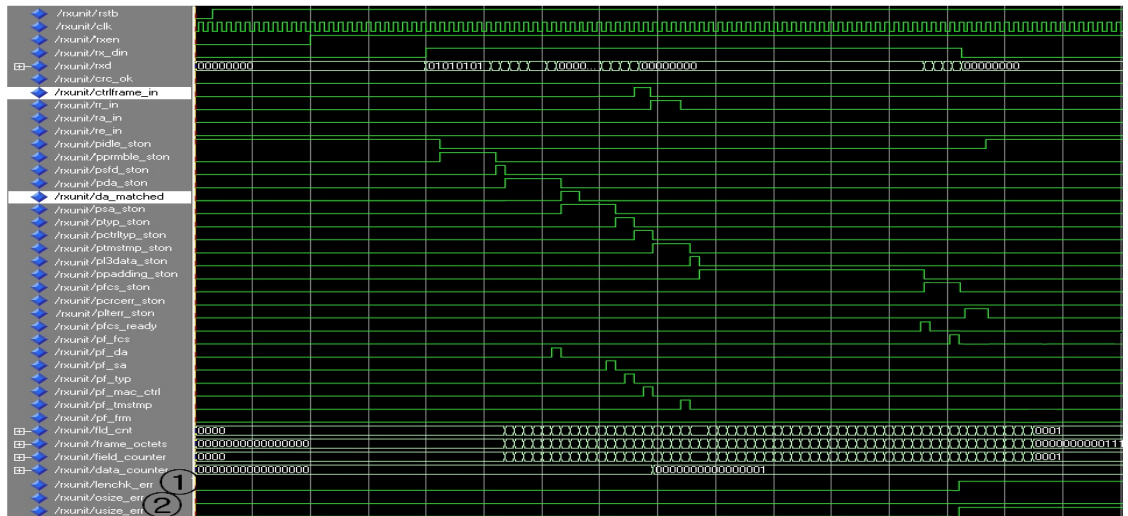


그림 19. 길이 필드 에러 발생 시 수신부 동작 타이밍도  
Fig. 19. Operation of Rx-Unit against with length field error

신호와 <gate\_en>(②)신호가 1로 천이됨에 따라 최초의 GATE 패킷이 전송되는 전체 타이밍을 보여준다.

그림 18은 수신부 전체 동작 과정을 보여주는 타이밍도이다. 최초 수신부 장비 동작 시, 수신부 동작에 필요한 초기화가 끝난 후 <rstb>(①)신호가 1로 천이되며, <rxen>(②)신호가 1로 천이됨과 동시에 수신 준비가 완료된다. GMII에서 수신 패킷을 감지하면 <rxdin>(③)신호가 1로 천이되고 패킷의 프리앰블(preamble)부터 입력된다. 수신 패킷의 처음 1bit가 입력되면 ‘state machine’의 “pidle\_ston”(④)에서 “pprmble\_ston”(⑤)으로 천이하고 패킷을 수신한다. 검사된 필드 길이를 기반으로 패킷 전송 완료 1byte 전에 <pf\_xx>(⑥)신호를 발생시킴으로

써 각 필드의 마지막 부분이 입력됨을 알리고 다음 상태로 천이한다. “pda\_ston”(⑦)상태에서 목적지 주소가 수신 되면 ‘da\_matching’ 모듈에서 목적지 주소가 올바른지 판별한다. 목적지 주소가 올바르면 <da\_matched>(⑧)신호를 1로 천이시키고 패킷을 계속 수신한다. “ptyp\_ston”(⑨)상태에서는 제어 패킷 여부를 판별하여 제어 패킷이면 <ctrlframe\_in>(⑩)신호를 1로 천이한다. 그림에서는 REGISTER-REQUEST 패킷인 경우를 보여준다.

그림 19는 언더사이즈 (under size) 에러가 발생한 경우 수신부의 동작을 나타낸다. 수신된 제어 패킷의 길이가 64byte보다 짧은 경우 <lenchk\_err>(①)신호와 <usize\_err>(②)신호가 ‘1’로 천이한다.

이 경우 FCS 검사 상태를 거치지 않고 패킷을 폐기 시킨 후, "pidle\_ston"상태로 천이한다.

### V. 결 론

본 논문에서는 혼합형 2단 AWG 기반의 WDM-PON 시스템을 하드웨어적으로 구현하기 위한 초기 단계로서 입출력 모듈을 설계하고 로직 시뮬레이션을 통해 동작을 검증하였다. 혼합형 2단 AWG 기반의 WDM-PON 시스템은 32개의 파장을 통하여 128개의 ONU에게 서비스를 제공한다. 이때, 하향 전송에서 각 ONU는 각기 할당된 별도의 파장을 이용하는 반면 상향 전송의 경우 4개의 ONU가 단일의 파장을 공유하는 형태이다. 구현한 WDM-PON 시스템은 sub-MAC을 기반으로 하며, 각 sub-MAC마다 제어부, 수신부 그리고 네 개의 송신부로 구성된다. 따라서 본 논문에서는 sub-MAC을 구성하는 수신부와 송신부의 기능을 정의하였으며 이를 기반으로 기능 블록과 사용되는 핀 번호 및 신호의 입출력을 설계하였다. 구현된 sub-MAC의 입출력 기능의 검증 및 성능 평가를 위하여 ModelSIM에서 각 기능별로 시나리오를 작성하고 이를 기반으로 로직 시뮬레이션을 수행하였다. 로직 시뮬레이션을 통하여 성능 및 검증을 수행한 결과 각 기능 모듈이 올바르게 동작함을 확인할 수 있었다. 본 논문을 통해 명시된 기술은 차후 상용화될 가입자용 광 단말장치 개발 및 광 액세스 시스템 개발에 기초 자료로 활용될 수 있다.

### 참 고 문 헌

[1] Langer, K.-D.; Vathke, J.; Habel, K.; Arellano, C., "Recent Developments in WDM-PON Technology", *Transparent Optical Networks*, Volume 1, Page(s):12 - 13, June 2006.

[2] G. Mayer, M.Martinelli, A. Pattavina and E.Salvadori, "Design and Cost Performance of the Multistage WDM-PON Access Networks", *J. Lightwave Technology*, vol.18, pp.125-143, February 2000.

[3] K. Han, W. Yang, D.Datta and Y. Kim, "An AWG-based WDM-PON Architecture Employing WDM/TDMA transmission for Upstream Traffic with Dynamic Bandwidth Allocation", *Photonic Network Communications*, Vol. 15, No. 3, 2008

[4] Kyeong-Eun Han, Seung-Hyun Lee, Wan Yu, Chol-Ku Kang, Sang-Heon Shim, Young-Chon Kim, "MAC Protocol with WDM/TDMA Scheme for AWG-based WDM-PON," *Proceeding of NCC2006*, pp.125-130, 2006.

[5] IEEE 802.3ah Ethernet in the First Mile Task Force.

[6] ANSI/IEEE Standard 802.3ah, 2002 ed., "Media Access Control Parameters, Physical Layers and Management Parameters for subscriber access networks," IEEE 802.3ah, 2002.

양 원 혁 (Won-Hyuk Yang)

준회원



2006년 2월 전북대학교 컴퓨터 공학과 졸업  
2008년 2월 전북대학교 컴퓨터 공학과 석사  
2008년 3월~현재 전북대학교 컴퓨터공학과 박사과정  
<관심분야> 광통신공학, WDM 네트워크, SoC설계

한 경 은 (Kyeong-Eun Han)

정회원



2001년 2월 전북대학교 컴퓨터 공학과 졸업  
2003년 2월 전북대학교 컴퓨터 공학과 석사  
2008년 2월 전북대학교 컴퓨터 공학과 박사  
2008년 3월~현재 전북대학교 영

상정보신기술연구센터 Post-Doc.

<관심분야> 광통신공학, WDM-PON, EPON, 매체접근 제어프로토콜, 네트워크 프로토콜

김 영 천 (Young-Chon Kim)

종신회원

한국통신학회 논문지 제19권 제2호 참조  
현재 전북대학교 컴퓨터공학과 교수