

멀티 레벨 셀 메모리의 채널 모델링

준회원 박 동 혁*, 종신회원 이 재 진*

Channel Modeling for Multi-Level Cell Memory

Donghyuk Park* *Associated member*, Jaejin Lee* *Lifelong Member*

요 약

메모리는 최근 많은 전자제품에 이용되면서 많은 연구자들이 메모리에 대한 연구를 진행하고 있다. 그중, 단위 면적당 저장용량을 증가하기 위한 많은 연구들이 진행되고 있는데, 단위 면적당 저장용량을 증가하기 위하여 메모리의 공정의 크기를 줄이는 연구 뿐 아니라, 최근에는 한 셀에 2비트 이상의 데이터를 저장 할 수 있는 멀티 레벨 셀 메모리의 연구가 진행되고 있다. 하지만, 한 셀에 멀티 비트를 저장하게 되면서 다양한 오류들로 인하여 저장된 데이터를 정확히 읽는 데 어려움이 많다. 본 논문에서는 멀티 레벨 셀 메모리의 오류의 요인을 분석하고 그에 대한 멀티 레벨 셀 메모리의 채널을 모델링 하였다.

Key Words : Multi-Level Cell Memory, Memory Channel, Coupling Effect

ABSTRACT

Recently, the memory is used in many electronic devices, thus, the many researchers make a study of the memory. To increase a storage capacity per memory block, the researchers study for reducing the fabrication process of memory and multi-level cell memory which is storing more than 2-bits in a cell. However, the multi-level cell memory has low bit-error rates by various noises. In this paper, we study the noise of multi-level cell memory, and we propose the channel model of multi-level cell memory.

I. 서 론

최근 메모리가 디지털 카메라, 디지털 음악 플레이어, PDA (Personal Digital Assistants), 전자사전, 휴대폰, 게임기 등의 전자 제품에 사용되면서 메모리의 사용이 증가하였으며 많은 저장용량이 필요하게 되었다. 단위 크기에 더 많은 데이터를 저장 할 수 있도록 메모리 공정의 크기가 점점 작아지고 있지만 공정의 크기가 작아지는 데는 한계가 있다. 따라서 같은 크기의 메모리 저장 장치에 더 많은 데이터를 저장 할 수 있는 멀티 레벨 셀 (MLC) 메모리의 연구가 진행되고 있다^{[1],[2]}. 싱글 레벨 셀(SLC) 메모리에 비해 멀티 레벨 셀 메모리는 같은 크기의

메모리에 더 많은 데이터를 저장 할 수 있어, 같은 가격으로 더 많은 데이터를 저장 할 수 있는 장점이 있으며, 단점으로는 데이터를 저장하는 프로그램 속도와 데이터를 읽는 리드 속도가 조금 느려 지는 것과 데이터 오류율이 높아지는 것이다. 따라서 멀티 레벨 셀 메모리의 프로그램/리드 속도를 향상시키기 위한 연구가 진행 중에 있다^{[3],[7]}.

메모리는 데이터를 이루는 한 단위인 셀의 플로팅 게이트에 전하를 충전/방전 하여 '1' 과 '0' 의 데이터를 표현한다. 즉, 셀을 이루는 트랜지스터의 문턱 전압을 기준으로 '1' 과 '0'의 데이터를 구분한다. 멀티 레벨 셀 메모리는 문턱 전압을 멀티 레벨로 나누어 데이터를 결정하는 방법이다. 하지만

* 이 논문은 2008년 정부(교육과학기술부)의 재원으로 한국학술진흥재단의 지원을 받아 수행된 연구임(KRF-2008-313-D00759)

* 숭실대학교 정보통신전자공학부 정보저장 및 통신 연구실(manakq@hotmail.com), (zlee@ssu.ac.kr)

논문번호 : KICS2009-07-271, 접수일자 : 2009년 7월 2일, 최종논문접수일자 : 2009년 8월 20일

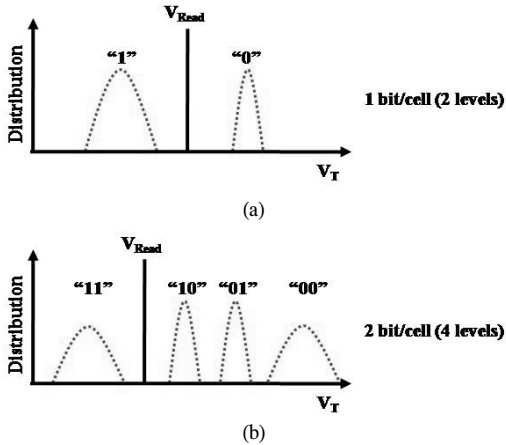


그림 1. 싱글 레벨 셀 메모리와 멀티 레벨 셀 메모리의 문턱 전압에 따른 심볼의 분포 (a) 2 레벨 메모리의 문턱 전압에 따른 분포, (b) 4 레벨 메모리의 문턱 전압에 따른 분포

멀티 레벨로 나누어 데이터를 구분하기 때문에 문턱 전압의 마진이 줄어들어 비트 오류가 많이 발생하게 된다. 그림 1은 1-비트/셀 과 2-비트/셀의 문턱 전압에 대한 분포를 각각 나타내며, 그림에서 알 수 있듯이 멀티 레벨로 저장 할수록 문턱 전압의 마진이 줄어드는 것을 확인 할 수 있다. 이러한 이유로 멀티 레벨 셀 메모리의 오류율이 높아지는데, 그에 대한 오류 정정 부호의 연구도 진행되고 있다¹⁸⁾¹¹⁾.

메모리에서 오류의 요인으로는 트랜지스터의 플로팅 게이트의 전압 소실과 메모리 블록의 구조적 특성에 의하여 인접한 플로팅 게이트에 의한 커플링 효과, 또한 메모리에 쓰는 과정에서 선택 되지 않은 셀에 생기는 프로그램 전압 스트레스, 통과 전압 스트레스 등이 있다¹²⁾. 본 논문에서는 오류의 요인들을 분석하여 멀티 레벨 셀 메모리의 채널을 모델링 하는데 목적이 있다.

II. 멀티 레벨 셀 메모리 채널

플래시 메모리는 플로팅 게이트 트랜지스터를 이용하여 메모리 셀의 집합을 이루고, 그 셀 안에 정보를 저장하는 데이터 저장장치이다. 일반적으로 삭제 (erased) 셀과 프로그램 (programmed) 셀로 구분되어 '0' 과 '1'을 구분하는 싱글 레벨 셀 메모리와 최근에 연구 되고 있는 한 셀에 멀티 레벨로 나누어 전하를 충전하여 1-비트 이상의 데이터를 저장하는 멀티 레벨 셀 메모리가 있다. 플래시 메모리의 종류로는 NOR 타입의 플래시 메모리와 NAND 타

입의 플래시 메모리가 있다. NOR 메모리는 병렬 논리 회로로 이루어져 랜덤 액세스가 빠르며, NAND 메모리는 직렬 논리 회로로 되어있어 순차적인 액세스가 빠르다. 또한 NAND 메모리는 NOR 메모리에 비하여 byte 프로그램 속도는 느리지만, page 프로그램 속도는 빠르다.

2.1 리드 동작 (Read Operation)

플래시 메모리에서 데이터를 읽는 과정에서 읽으려는 워드라인의 값이 나머지 워드라인의 값에 영향을 받지 않게 하기 위하여 읽으려는 워드라인을 0 volt 로 바이어스 걸고, 나머지 워드라인을 Vread volt 값으로 바이어스를 준다. 그림 2에 리드 동작의 도식도를 나타내었다. 그림에서 읽으려는 워드라인 (WL31) 의 플로팅 게이트에 0-volt 의 바이어스를 걸어 주고, 나머지 워드라인에는 Vread volt 의 바이어스를 걸어주어 안정된 데이터를 얻는다. 메모리 블록 배열 특성상 BLeven 와 BLOdd의 2종류의 비트라인이 존재한다. 선택된 워드라인을 읽을 때, BLeven 인지 BLOdd 인지를 결정하게 된다.

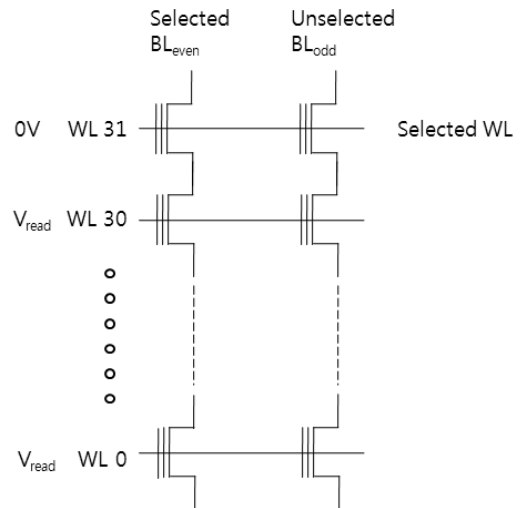


그림 2. 플래시 메모리의 리드 동작

2.2 프로그램 동작 (Program Operation)

플래시 메모리에 프로그램 동작은 기본적으로 셀의 플로팅 게이트에 저장하는 전하의 양을 조절하여 각 심볼을 구분하게 된다. 또한, 저장하려는 전하의 양을 조금 씩 증가시키면서 저장하는 ISPP (incremental step pulse programming) 방식으로 전

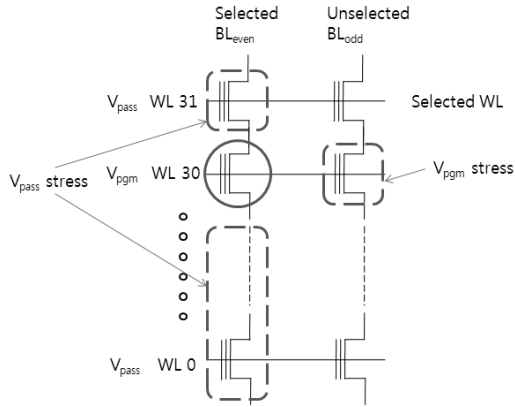


그림 3. 플래시 메모리의 프로그램 동작과 프로그램 동작 시 생기는 장애 현상

하를 주입한다. 즉, 전하를 주입하고 (프로그램) 그 값을 다시 읽어 검증하면서 저장된 전하의 양이 원하는 전압을 가지도록 프로그램과 검증을 반복한다. 그림 3은 플래시의 프로그램 동작에 대해 보여준다. 그림에서 프로그램 하려는 셀에는 V_{pgm} volt 로 바이어스 걸고, 나머지 셀에는 V_{pass} volt 로 바이어스를 걸어준다.

2.3 프로그램 장애 (Program Disturbance)

스스로 상승된 프로그램 억제 (self-boosted program-inhibit) 방식으로 플래시 메모리에 프로그램 할 때^[13], 인접한 셀에 전기장(electric field)의 영향으로 원하지 않는 프로그램이 인접한 셀에 일어나게 되는데, 다음과 같이 두 가지 장애 타입으로 나누어 설명 할 수 있다^{[14],[15]}.

먼저, V_{pgm} 장애는 선택된 워드라인 상에서 선택된 비트라인이 아닌 그 외의 워드라인 즉, 억제 (inhibit) 비트라인에 있는 셀의 채널 상승 레벨 (channel boosting level) 이 낮은 경우 콘트롤 게이트와 채널 간의 전위 차이로 인해 F-N 터널링에 의한 소프트 프로그램이 발생한다. 소프트 프로그램은 메모리 셀들의 문턱 전압을 일정레벨 상승시키는 것을 말한다.

V_{pass} 장애는 프로그램 하는 셀과 같은 비트라인에서 선택 되지 않은 워드라인 상에 있는 셀의 채널 전위가 GND 이므로, V_{pass}가 높은 경우 F-N 터널링에 의하여 소프트 프로그램이 발생하게 된다.

2.4 기타 장애 (Other Disturbance)

플래시 메모리에서 플로팅 게이트에 저장된 전하의 양이 조금씩 빠져나가는 전하 소실(charge retention)

이 발생하게 된다. 전하 소실은 다음의 네 가지의 이유로 발생하게 된다. 1) 터널 산화막 (tunnel oxide)의 결점, 2) 인터폴리 유전층 (interpoly dielectric)의 결점, 3) 이동하는 이온의 오염, 4) 플로팅 게이트 주변의 절연 층으로 부터의 전하의 디트랩핑 (detrapping)으로 전하의 소실이 발생하게 된다^[16].

일반적으로 플로팅 게이트의 전압은 콘트롤 게이트의 전압과 커플링 비율(γ)에 의해 결정되는데,

$$\gamma = C_{ONO} / C_{TOT} \quad (1)$$

여기서, C_{ONO} 는 콘트롤 게이트와 플로팅 게이트 사이의 축적 전하를 나타내고, C_{TOT} 는 플로팅 게이트의 전체 축적 전하를 나타낸다^[17]. 즉, 플로팅 게이트의 전압은 플로팅 게이트 주변의 전압과 콘트롤 게이트에 의하여 영향을 받는다. 플로팅 게이트 전압의 이동에 의해서 인접한 셀들의 문턱 전압이 이동하는 현상을 “플로팅 게이트 방해”라고 하며, 기생 축전기 (parasitic capacitor)를 통과한 인접한 셀의 플로팅 게이트 전압의 전하에 의하여 결합된 것이므로, “커플링 효과”라고도 한다^[18]. 이 커플링 효과에 의한 전압의 이동이 다른 오류의 요인에 비하여 크다^[19].

$$\begin{aligned} \Delta V_{th}^{(p,q)} = & \gamma_{fg1} \Delta V_{th}^{(p,q+1)} \\ & + \gamma_{fg2} \Delta V_{th}^{(p-1,q)} \\ & + \gamma_{fg2} \Delta V_{th}^{(p+1,q)} \\ & + \gamma_{fg3} \Delta V_{th}^{(p-1,q+1)} \\ & + \gamma_{fg3} \Delta V_{th}^{(p+1,q+1)} \end{aligned} \quad (2)$$

p는 워드라인을 인덱스 하고, q는 비트라인을 인덱스 하는 변수이다. $\Delta V_{th}^{(p,q)}$ 는 p, q 위치에서 커플링 효과에 의한 전압의 변화량이다.

$$\gamma_{fg1} = \frac{C_{fg1}}{C_{ono} + C_{tun} + 2C_{fg1}} \quad (3)$$

$$\gamma_{fg2} = \frac{C_{fg2}}{C_{ono} + C_{tun} + 2C_{fg2}} \quad (4)$$

$$\gamma_{fg3} = \frac{C_{fg3}}{C_{ono} + C_{tun} + 2C_{fg3}} \quad (5)$$

C_{tun} 는 플로팅 게이트와 채널 간의 축적 전

하를 나타내며, C_{fg1} , C_{fg2} , C_{fg3} 는 각각 같은 비트라인에 있는 인접한 플로팅 게이트와의 축적 전하, 같은 워드라인에 있는 인접한 플로팅 게이트와의 축적 전하, 대각선 위에 위치한 플로팅 게이트와의 축적 전하의 양을 나타낸다.

III. 시뮬레이션을 위한 멀티 레벨 셀 메모리의 채널 모델링

II절에서 알아본 것처럼 멀티 레벨 셀 메모리의 잡음은 일반적인 저장장치 혹은 통신에서의 잡음과 상당히 다르다. 따라서 멀티 레벨 셀 메모리에 대한 잡음을 고려한 새로운 방식의 채널 모델링 기법이 필요하다. 식 (2)를 토대로 커플링 효과에 대한 영향력을 모델링 하였으며, $\gamma_{fg1}:\gamma_{fg2}:\gamma_{fg3}$ 의 실험 값은 1/15, 1/30, 1/60을 사용하였다. $\Delta V_{th}^{(p,q)}$ 는 (p,q) 위치의 전하 주입에 의한 전압 변화량이다. 이 값으로 커플링 효과를 모델링 하여 인접한 셀의 플로팅 게이트의 전압의 상승을 유도하였다. 커플링 효과는 프로그램 하는 방법에 따라 그 영향력이 달라지는데, 본 논문의 모델링에서는 각 메모리 블록에서 모든 비트라인과 모든 워드라인의 첫 번째 페이지를 저장한 다음 두 번째 페이지, 그리고 세 번째 페이지를 저장하는 순서로 3-비트의 데이터를 저장하였다.

이런 방법으로 프로그램을 하게 되면, ISPP에 의하여 산포의 분산을 작게 할 수 있는 장점이 있으며, 프로그램 순서에 의하여 커플링 효과가 각 페이지를 저장 할 때 마다 누적되지 않게 되어 새로 저장 할 때 마다 이전의 커플링 효과는 없어지게 된다. 그림 4는 각 페이지별로 ISPP 방식으로 프로그램 할 때의 산포의 이동을 나타낸다. 각 페이지를 저장 할 때마다 산포가 이동하게 되며 3-비트 모두 저장 되었을 때, 산포가 어느 구간에 있느냐에 따라서 데이터의 값이 결정되게 된다. 따라서 이러한 프로그램/리드 환경의 메커니즘을 모델링하였다.

ISPP 방식에 의하여 프로그램 하게 되면 어느 구간에 프로그램 되어있는지는 알지만, 정확히 어떤 전압 값에 위치했는지는 알 수가 없다. 또한, 프로그램 후의 산포의 분산이 크지 않게 된다. 따라서 프로그램 후의 분산이 크지 않게 부가적인 백색 가우시안 잡음(AWGN, additive white Gaussian noise)을 이용하여 각 페이지를 프로그램 하여 ISPP에 의한 프로그램을 모델링 하였다. 실험에 사용한 부가적인 백색 가우시안 잡음은 평균이 1.9×10^{-5} 이고 분산은 2.77×10^{-4} 이다. 그림 5는 플래시 메모리를 이루고 있는 한 셀에 대한 채널의 모델링이며, 각

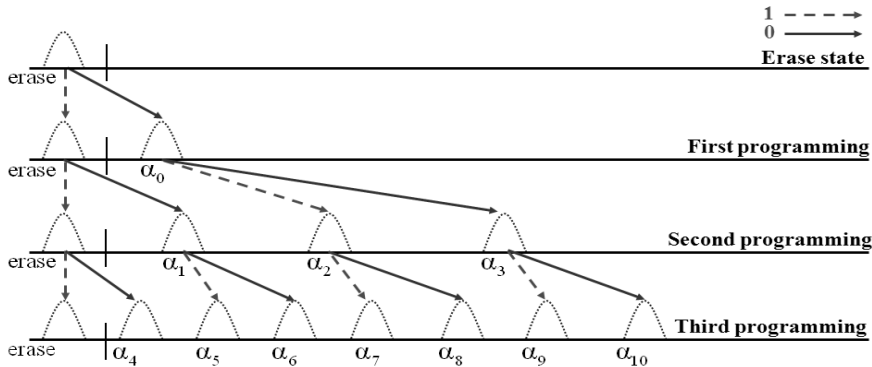


그림 4. ISPP 방식으로 프로그램 할 때의 각 페이지 별로 저장되는 값에 따라 이동하는 산포의 변화

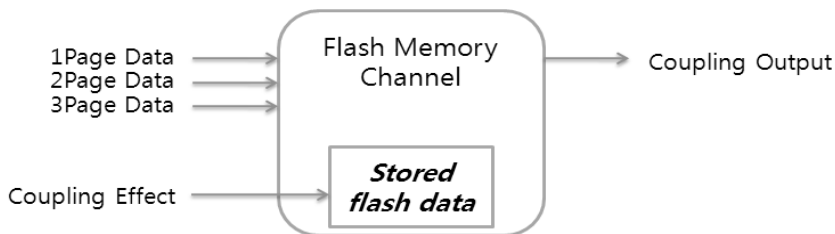


그림 5. 인접한 셀 데이터의 커플링을 고려한 3-비트 저장 플래시 메모리의 채널 블록 다이어그램

페이지 데이터가 입력 될 때 마다 부가적인 백색 가우시안 잡음을 이용하여 ISPP를 모델링 하였고, 그에 대한 커플링 효과를 계산하여 출력으로 하여 인접한 셀에 전달하도록 설계하였다.

그림 6은 메모리 채널의 세부 블록도로 각 페이지 데이터를 저장한 후의 부가적인 백색가우시안 잡음은 ISPP를 모델링하기 위한 방법을 자세히 나타내고 있다. 각 페이지 마다 더해지는 부가적인 백색 가우시안 잡음에 의하여 최종적으로 산포의 분산이 커지게 되며, 3번째 페이지 데이터를 저장하고 더해지는 부가적인 백색 가우시안 잡음에 의하여 인접한 셀에 더해지는 커플링 효과의 양이 변하게 된다. 커플링 효과는 2번째 페이지 데이터를 쓴 후의 전압 레벨과 3번째 페이지 데이터를 쓴 전압 레벨의 차이에 의해 그 양이 결정된다. 이 커플링 효과에 의하여 인접한 셀의 전압이 상승하게 된다. 이러한 채널 모델링 기법으로 데이터를 최종 읽을 때는 인접한 셀에 의한 전압의 이동, 즉 커플링 효과에 의한 잡음이 고려되고 ISPP에 의한 프로그램 기법이 고려된 메모리의 채널 데이터가 된다.

그림 7은 제안한 플래시 메모리 채널 모델을 가지고 실험하여 얻은 데이터의 산포이다. erase 상태를 제외한 나머지 7-state의 산포를 나타낸다. Even Line의 산포가 Odd Line의 산포에 비해서 더 퍼져 있는데, 그 이유는 프로그램의 순서가 Even Line이 Odd Line 보다 먼저이므로 인접한 Odd Line에 의한 커플링 효과가 생기기 때문이다. 이처럼 커플링에 의하여 일어난 전압 상승이 데이터를 리드할 때

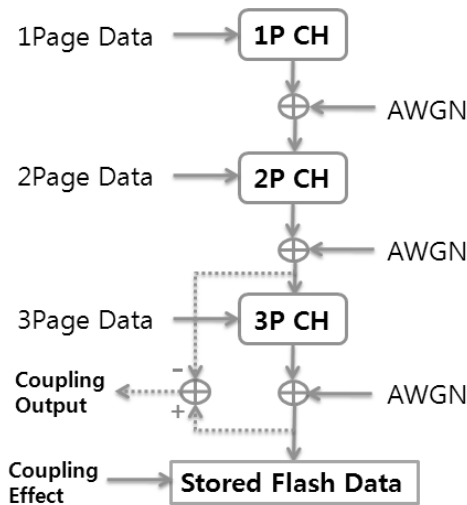
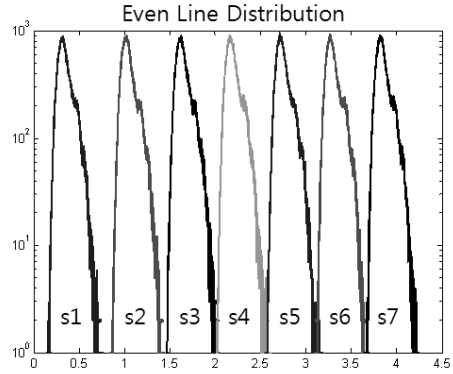
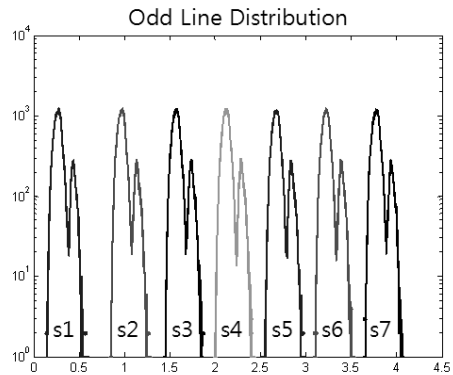


그림 6. 3-비트 저장 플래시 메모리 채널의 세부 블록 다이어그램



(a)



(b)

그림 7. ISPP를 고려한 플로팅 게이트 방해를 고려한 3-비트 (8 레벨) 플래시 메모리 채널 모델을 통한 데이터의 산포 (erased state의 산포 제외), (a) Even Line의 산포, (b) Odd Line의 산포

큰 장애의 요인이 되는 것을 알 수 있다.

IV. 결론

플래시 메모리에서의 가장 큰 에러의 요인인 커플링 효과와 ISPP 방식의 프로그램 방법에 의한 모델링을 통해, 멀티 레벨 셀 플래시 메모리의 채널을 모델링 하는 방법을 소개하였다. 프로그램 순서를 결정하여 커플링 효과에 의한 부가 잡음의 헛수를 결정하였으며, 각 페이지 데이터 마다 더해지는 부가적인 백색 가우시안 잡음의 분산을 이용하여 ISPP의 펄스폭을 모델링 하였다. 또한 커플링 효과에 의한 전압의 이동에 직접적인 영향을 주는 γ_{fg} 값을 결정하여 커플링에 대한 영향력을 결정하였다. 따라서 본 논문에서는 조절 가능한 변수인 부가적

인 백색 가우시안 잡음의 분산, 커플링 효과에 의한 전압 상승의 정도를 결정하는 γ_{fg} , 프로그램 순서에 의한 커플링 효과의 횟수를 통하여 플래시 메모리 채널을 간략화 하였다.

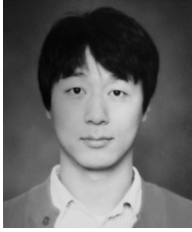
이 채널 모델을 바탕으로 멀티 레벨 셀 플래시 메모리의 채널에 적용할 수 있는 신호처리 기법 및 오류정정부호의 연구가 기대된다.

참 고 문 헌

- [1] T. Tanzawa et al., "A compact on-chip ECC for low cost Flash Memories," *IEEE Journal of Solid-State Circuits*, Vol. 32, No. 5, pp. 662-669, May, 1997.
- [2] B. Polianskikh and Z. Zilic, "Induced error-correcting code for 2bit-per-cell multi-level DRAM," *Proceeding of the 44th IEEE 2001 Midwest Symposium on Circuits and Systems*, Vol. 2, pp. 352-355, Aug., 2001.
- [3] H. Nobukata et al., "A 144-Mb, Eight-level NAND flash memory with optimized pulsewidth programming," *IEEE Journal of Solid-State Circuits*, Vol. 35, No. 5, pp. 682-690, May, 2000.
- [4] T. Hara et al., "A 146-mm² 8-Gb multi-level NAND flash memory with 70-nm CMOS technology," *IEEE Journal of Solid-State Circuits*, Vol. 41, No. 1, pp. 161-169, Jan., 2006.
- [5] K. Takeuchi, T. Tanaka, and T. Tanzawa, "A multi-page cell architecture for high-speed programming multilevel NAND flash memories," *IEEE Journal of Solid-State Circuits*, Vol. 33, No. 8, pp. 1228-1238, Aug., 1998.
- [6] M. Grossi, M. Lanzoni, and B. Ricco, "Program schemes for multilevel flash memories," *Proceedings of the IEEE*, Vol. 91, No. 4, pp. 594-601, April, 2003.
- [7] N. Shibata, and T. Tanaka, "Semiconductor memory device for storing multivalued data," U.S. Patent 6 657 891, Dec., 2, 2003.
- [8] H Chang et al., "Multi-level memory systems using error control codes," *IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. II-393-II-396, May, 2004.
- [9] B. Chen, X. Zhang, and Z. Wang, "Error correction for multi-level NAND flash memory using Reed-Solomon codes," *IEEE Workshop on Signal Processing Systems*, pp. 94-99, Oct., 2008.
- [10] S. Fe et al., "Multilevel flash memory on-chip error correction based on trellis coded modulation," *IEEE International Symposium Circuits and Systems (ISCAS)*, pp. 1443-1446, May, 2006.
- [11] H. Lou, and C. Sundberg, "Increasing storage capacity in multilevel memory cells by means of communications and signal processing techniques," *IEE Proceedings Circuits, Devices and Systems*, Vol. 147, No. 4, pp. 229-236, Aug., 2000.
- [12] J. Lee et al., "A 90-nm CMOS 1.8-V 2-Gb NAND flash memory for mass storage applications," *IEEE Journal of Solid-State Circuits*, Vol. 38, No. 11, pp. 1934-1942, Nov., 2003.
- [13] K. Suh et al., "A 3.3 V 32 Mb NAND flash memory with incremental step pulse programming scheme," *IEEE Journal of Solid-State Circuits*, Vol. 30, No. 11, pp. 1149-1156, Nov., 1995.
- [14] K. Takeuchi et al., "A source-line programming scheme for low-voltage operation NAND flash memories," *IEEE Journal of Solid-State Circuits*, Vol. 35, No. 5, pp. 672-681, May, 2000.
- [15] S. Satoh et al., "A novel channel boost capacitance (CBC) cell technology with low program disturbance suitable for fast programming 4 Gbit NAND flash memories," *Symposium on VLSI Technology Digest of Technical Papers*, pp. 108-109, June, 1998.
- [16] R. Bez et al., "Introduction to flash memory," *Proceeding of the IEEE*, Vol. 91, No. 4, pp. 489-502, April, 2003.
- [17] Y. Hisamune et al., "A high capacitive-coupling ratio (HiCR) cell for 3 v-only 64 Mbit and future flash memories," *IEEE International Electron Device Meeting Technical Digest 1993*, pp. 19-22, Dec., 5-8 1993.
- [18] J. Lee, S. Hur, and J. Choi, "Effects of floating-gate interference on NAND flash memory cell operation," *IEEE Electron Device Letters*, Vol. 23, No. 5, pp. 264-266, May, 2002.
- [19] T. Cho et al., "A dual-mode NAND flash memory: 1-Gb multilevel and high-performance 512-Mb signal-level modes," *IEEE Journal of Solid-State Circuits*, Vol. 36, No. 11, pp. 1700-1706, Nov., 2001.

박 동 혁 (Donghyuk Park)

준회원



2007년 2월 숭실대학교 정보통신전자공학부 학사
2007년 2월 숭실대학교 정보통신전자공학부 석박통합과정
<관심분야> 스토리지 시스템, LDPC 부호, 채널코딩, 멀티레벨 셀 플래시 메모리

이 재 진 (Jaejin Lee)

중신회원



1983년 2월 연세대학교 전자공학과 학사
1984년 12월 U. of Michigan, Dept. of EECS 석사
1994년 12월 Georgia Tech. Sch. of ECE 박사
1995년 1월~1995년 12월 Georgia Tech. 연구원
1996년 1월~1997년 2월 현대전자 정보통신 연구소 책임 연구원
1997년 3월~2005년 8월 동국대학교 전자공학과 부교수
2005년 9월~현재 숭실대학교 정보통신전자공학부 부교수
<관심분야> 통신이론, 채널코딩, 기록저장 시스템