

Wibro RF 중계기를 위한 TDD 동기 검출기의 설계

종신회원 서영호*, 김동욱**

Design of TDD Synchronizer for Wibro RF Repeater

Young-Ho Seo*, Dong-Wook Kim** *Lifelong Members*

요약

본 논문에서는 시분할이중화(TDD) 방식을 이용하는 무선통신 분야에서 부분적인 음영지역을 해소하기 위한 RF 중계기의 TDD 신호를 효율적으로 발생시킬 수 있는 방법과 디지털 방식의 회로를 제안하고 구현하였다. 송신 혹은 수신되는 RF 신호로부터 TDD 동기신호를 검출한 후에 이를 다시 RF 중계기에 입력하여 중계기가 정상적으로 동작할 수 있도록 한다. 하향신호의 포락선을 검파한 후 이를 증폭하고, 무선채널환경에 의해서 왜곡된 신호를 디지털 필터링 방식을 이용하여 복원한 후 동기를 획득하는 방식을 제안하였다. TDD 동기신호를 획득하는 알고리즘을 제안하는데 있어서 가능하면 단순하고 비용이 적게 소요되면서도 강력한 알고리즘을 개발하는데 주안점을 두었다. 제안한 방식은 FPGA를 기반으로 하는 RF와 디지털의 통합형 시스템으로 구현되었고, 실제 WiBro 서비스 환경과 동일한 조건하에서 실험하여 동작을 검증하였다.

Key Words : TDD Signal, Synchronization, Wibro, Design, FPGA, RF Repeater

ABSTRACT

In this paper, we proposed and implemented the method to efficiently generate TDD synchronization signal and the digital circuit for the RF repeater which can eliminate the shadow region in the wireless communication field using the time division duplex (TDD) method. After detecting the TDD signal from the transmitted or received RF signal, the detected TDD signal is fed to the RF repeater for the normal operation. The proposed technique detects the envelop of the downlink signal and amplifies the detected envelop, and then restores the degraded envelop with the proposed digital filtering method. Finally the restored envelop is manipulated to the TDD synchronization signal. Our focus on the proposed algorithm is to develop it with simple feature and low cost but robust performance. The proposed scheme was implemented to the integrated system which has both RF and digital circuit and tested under the same condition with the commercial WiBro service.

1. 서론

초고속 유선 인터넷 시장이 성숙된 상황에서 정지 및 이동 중에 언제, 어디서나 인터넷에 접속하여 고속의 인터넷 서비스를 제공 받으려는 사용자의 욕구가 증대되었고 서비스 접속의 편리성과 유무선 통신 네트워크의 통합, 멀티미디어서비스에 대한 요

구로 새롭게 도입된 WiBro는 정지 또는 이동 중인 가입자에게 언제, 어디서나 약 3Mbps 정도의 초고속으로 무선 인터넷 서비스를 제공할 수 있다. WiBro가 제공하는 서비스로는 VOD, MPEG과 같은 스트리밍 서비스, VoIP와 같은 실시간 서비스, FTP, E-mail, SMS, 멀티케스트/방송서비스와 같은 백그라운드 서비스, 웹 브라우징과 같은 인터랙티브

* 광운대학교 교양학부 실감미디어연구실(yhseo@kw.ac.kr)

** 광운대학교 전자재료공학과 디지털설계 및 테스트연구실(dwkim@kw.ac.kr)

논문번호 : KICS2008-09-395, 최종논문접수일자 : 2009년 11월 9일

서비스 등을 들 수 있다. WiBro는 이동성 측면에서 볼 때 무선 LAN과 이동통신시스템과 중간 정도인 60Km/h 정도의 중저속 이동성을 보장하며, 데이터 전송속도측면에서는 이동통신시스템과 초고속유선망과의 중간 정도인 3Mb/s급 정도의 속도를 지원해 주고 있어 제4세대 이동통신의 전 단계라 할 수 있다^[14].

본 논문은 무선휴대인터넷(WiBro)과 같이 시분할 이중화(time division duplex, TDD) 방식을 이용하는 무선통신 분야에서 부분적인 음영지역을 해소하기 위한 RF중계기가 기지국에서 단말 방향의 신호(하향신호)와 단말에서 기지국 방향의 신호(상향신호)를 시간적으로 교차하여 전송할 때 상위시스템(기지국)과 상향신호·하향신호·휴지기의 동기를 맞추기 위한 동기신호 획득 및 발생 기술을 개발하고자 한다^{[5], [6]}.

시분할이중화 방식을 이용하는 무선통신 분야의 RF중계기는 상위시스템과 정확하게 동기를 맞추어 상향신호·하향신호·휴지기를 제어해야 하는데, 상향 동기신호 전송을 위한 매체가 따로 존재하지 아니하므로 상위시스템에서 무선매체를 통해 전파되는 신호를 처리하여 상위시스템과 동일한 주기와 위상을 갖는 동기신호를 생성해야 한다^{[7], [8]}.

기존의 동기신호 생성방법으로는 상위시스템 신호를 복조하여 동기를 추출·분석하여 동기를 획득하는 방법이 일반적이며, 복조신호의 preamble 신호를 상관처리(correlation)하여 비교적 간단하게 하향신호의 시작점을 찾아 동기를 획득하는 방법도 있다. 이 방법들은 모두 낮은 입력신호세기에서 동작하며 RF 중계기에서 요구하는 성능을 충분히 만족하나 비교적 고가의 modem chip이 소요되어 저가의 TDD 방식 RF 중계기 개발의 장애요인이 되어왔다^{[9]-[11]}.

이에 본 논문에서 제안하는 하향신호를 포락선(envelop) 검파 후 증폭하고 무선채널환경에 의해 왜곡된 신호를 디지털 필터링 방식을 이용하여 복원 후 동기를 획득하는 방식을 적용하면 비교적 저가의 부품으로 구현이 가능하여 시분할이중화 방식 RF 중계기의 제조원가를 주파수분할이중화 방식의 중계기 수준 정도로 낮출 수 있다. 이는 modem chip의 사용에 의한 높은 제조원가로 널리 상용화되지 못했던 TDD 방식의 대내형 RF 중계기 상용화 확대에 기여할 것이며, 결과적으로 WiBro 등 시분할이중화 방식을 이용하는 무선통신의 소규모 음영지역을 경제적으로 해소하는데 기여할 수 있다.

II. Wibro RF 중계기와 TDD

WiBro는 FDD 방식과 달리 보호대역이 필요 없으며, 상향링크(uplink, UL)와 하향링크(downlink, DL)의 트래픽 상황에 따라 할당 시간의 조정이 가능하며, 상하향 채널의 가역적 특성으로 MIMO, 스마트 안테나 등의 개념을 효과적으로 도입하여 주파수 사용 효율을 증대시킬 수 있는 TDD 방식을 적용하고 있다. 또한 주파수 자원의 효율적인 사용을 위한 granularity 보장 측면에서 유리한 OFDMA 방식을 채택하고 있다. OFDM방식은 다경로 지연 확산 무선환경에서 강인하고, 셀 내의 채널간 간섭 현상이 없으며 자원할당의 용이성 등의 장점을 지닌다. OFDMA 방식에서는 여러 개의 서브캐리어를 묶어 한 개의 서브채널을 구성하며, 서브채널별로 트래픽 자원을 할당하는 방식을 적용하고 있으며, FUSC(full usage of the subchannels), PUSC(partial usage of the subchannels), TUSC(tile usage of subchannels) 등 다양한 방식으로 서브채널을 할당할 수 있다. WiBro 심볼의 물리계층은 그림 1과 같이 5ms의 프레임으로 구성된다^[7].

WiBro RF 중계기는 TDD 방식을 기본으로 하고, WiBro RF 중계기의 하드웨어 특성은 2.3G대역 휴대인터넷 표준에 준하여야 한다. WiBro RF중계기는 TDD 특성에 따라서 DL신호 송출 시 UL부에 대한 과입력을 보호하는 기능을 수행하고, DL구간에서는 DL부 ON, UL부 Off, UL 구간에서는 DL부 Off, UL부 ON인 스위칭 동작을 수행한다. 스위칭 시간은 그림 1의 RTG, TTG 구간 내에서 조정 가능하여야 한다. 최초 동작은 DL 구간으로 설정이 되며, 정상적인 TDD 스위칭 동작 전에는 DL 종단 PA가 동작되어서는 안된다. 또한 심볼을 변경 시 자동적으로 TDD 신호도 변경되어야 한다. TDD 동기신호 발생기(TDD Synchronization Generator)는 DL과 UL 비율을 검출해야 하고, WiBro 시스템에서 DL과 UL의 비율이 변경될 경우 외부로부터의 조작 및 변경을 하지 않고 자동으로 변경될 비율을 검출해야 한다. 현재 정해진 DL 대 UL 심볼수의 비율은 3가지 경우(DL : UL = 30:12, 27:15, 24:18) 중 하나이다. TDD 동기신호 발생기에 의해서 생성된 TDD 신호는 다시 WiBro RF 중계기로 입력되어 통신이 가능하게 한다. 그림 2에 이러한 관계를 그림으로 나타내었다.

그림 2와 같이 TDD 동기신호 발생기는 WiBro RAS DL 신호로부터 동기를 추출하여 WiBro 시스

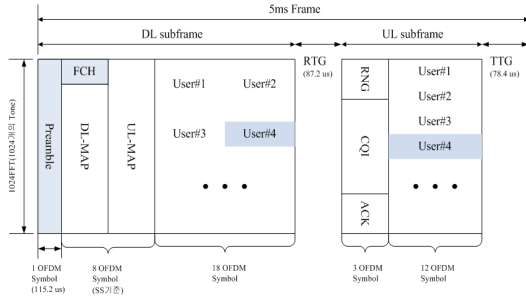


그림 1. OFDM 방식의 Wibro 심볼
Fig. 1. Wibro symbol based on OFDM

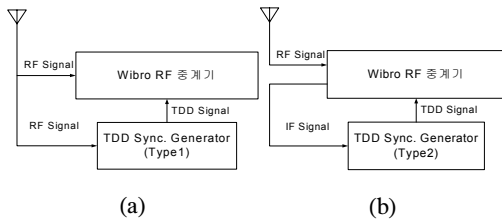


그림 2. Wibro RF 중계기와 TDD 신호의 발생
Fig. 2. Wibro RF repeater and generation of TDD signal

템에서 정해진 DL 및 UL 주기에 적합한 스위칭 제어 신호를 안정적으로 출력하는 회로이다. TDD 동기신호 발생기에 의해서 검출된 동기 신호는 multipath fading 등 신호의 왜곡, 중첩, 감쇄, 지연에도 불구하고 안정적으로 출력되어야 한다. 단, 입력신호세기가 더 높은 새로운 RAS 신호가 지속적으로 감지될 때는 일정 시차를 두고 새로운 신호에 동기를 맞추어야 한다.

III. 제안한 동기 검출 방식

본 장에서는 RF 혹은 IF 신호로부터 Wibro 동기신호를 검출하는 방식에 대해서 제안한다.

3.1 동작 원리

제안하는 방식은 그림 3과 같이 RF 신호가 입력되면 비교적 간단한 검출 회로를 이용하여 포락선을 검파한 후에 이를 연산증폭기를 이용하여 증폭한다. 정상상태의 경우에 RF 신호에 잡음이 첨가되어도 증폭과정에서 제거되어 안정적인 동기신호를 검출할 수 있다. Fading 환경에서는 신호의 열화가 너무 심해서 신호의 열화도 함께 증폭되어 검출된 신호에 왜곡이 발생한다. 이러한 경우에는 디지털 필터링을 이용하여 왜곡된 신호를 보상함으로써 안정

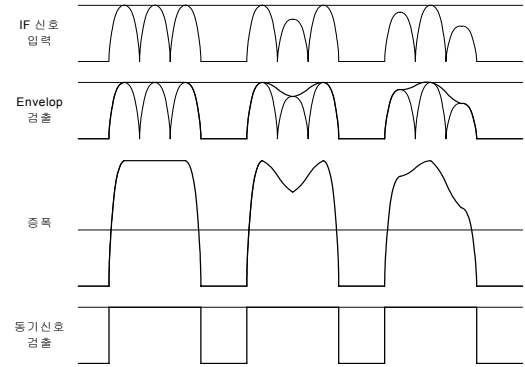


그림 3. 클램핑을 이용한 포락선 검파 원리
Fig 3. Principle of envelop detection using clamping

적인 동기신호를 검출한다.

3.2 디지털 필터링

입력되는 RF 신호는 fading이 없다면 그림 3과 같이 연산증폭기의 클램프 회로를 이용하고 포락선을 검파함으로써 안정적으로 TDD 신호를 생성할 수 있다. 그러나 다양한 형태의 fading 조건이 주어지면 신호는 왜곡되고, 단순한 클램핑만으로는 TDD 신호를 발생시킬 수 없다. 따라서 이러한 환경에 적합한 디지털 필터링 방식을 제안한다. 그림 4의 첫 번째 그림과 같이 fading에 의해 신호가 왜곡된다면 low-level 필터링을 통해서 먼저 안정적인 UL 구간을 확보한다. 이때 64-tap 필터를 사용하였다. 그 후에 high-level 필터링을 통해서 안정된 DL 구간을 확보한다. 그러나 그림 5의 첫 번째 그림과 같이 신호가 너무 많이 왜곡되어 주기의 시작점을 찾기 어렵거나 시작점의 위치가 일정하지 않을 경우가 발생할 수 있다. 따라서 생성된 TDD 신호는 그림 5의 두 번째 그림과 같이 된다. 이러한 상황을 위해서 그림 5의 세 번째 그림과 같이 신호의 변화 허용 구간을 설정하고 그 구간 내에서만 신호의 변화를 인정하도록 하였다. (A)와 같은 경우에는

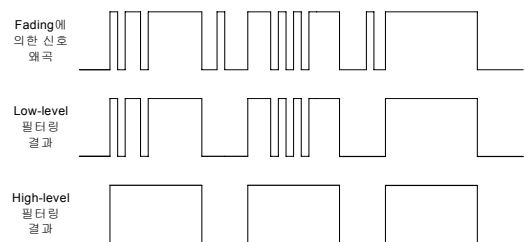


그림 4. 디지털 필터링을 이용한 왜곡된 신호의 보정
Fig. 4. Refinement of distorted signal using digital filtering

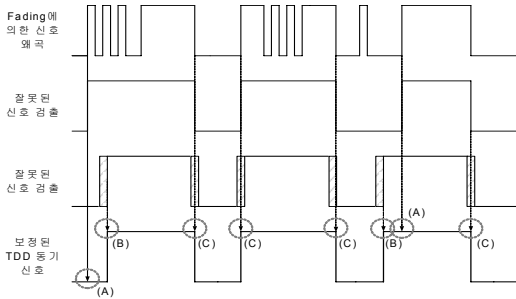


그림 5. 마스크를 이용한 TDD 주기 및 신호 비율의 보정
Fig. 5. Refinement of period and duration of TDD signal using mask

TDD 신호를 변화시키지 않고, 변화 허용 구간 내에서 신호가 변화된 (C)의 경우에는 신호를 그대로 출력한다. 만일 변화 허용 구간 내에서 신호의 변화가 없다면 (B)와 같이 변화 허용 구간이 끝남과 동시에 신호를 강제로 변화시킴으로써 주기를 확보한다.

3.3 시스템 지연

입력되는 TDD 신호를 버퍼 등을 이용하여 지연시킨 후에 지연된 신호를 그대로 출력하는 것이 아니다. TDD 신호가 입력되면 이 신호의 주기와 지연시간을 분석한 후에 원하는 지연시간을 갖는 TDD 신호를 새롭게 생성하여 출력하는 것이다. TDD 신호를 생성하여 출력함으로써 입력 신호에 따라서 적응적으로 대응할 수 있고, 입력된 TDD 신호가 손상된 경우에는 정해진 임계값에 따라서 손상 정도를 판단한 후에 TDD 신호를 계속적으로 발생시켜줌으로써 올바른 출력이 가능하게 한다.

FPGA는 TDD 신호를 지연시킨다는 명령과 지연시킬 값이 주어지면 지연 동작을 새롭게 수행한다. 먼저 입력되는 TDD 신호의 High 레벨과 Low 레벨의 길이를 분석하고 이전 값들과 비교한 후에 새롭게 TDD 신호를 생성할 것인지 유지할 것인지 판단한다. 만일 새로운 신호라 판단이 되면 새로운 신호를 만들기 위한 레지스터들을 셋팅하고 제어기를 셋업한다. 그리고 지연시간 동안 이전 신호를 출력하는 동작을 수행한 하고 한 주기보다 약간 작은 시간을 보낸 다음에 새로운 지연시간을 갖는 TDD 신호를 출력한다. 지연시간 이후에 곧바로 새로운 TDD 신호를 출력하지 않고 한 주기보다 약간 작은 시간을 보낸 다음에 출력하는 것은 디지털 시스템의 특성 상 신호를 출력하는데 이미 내부적으로 명령을 보내고, 해석하고, 수행하는데 시간이 소요되기 때문이다. 이러한 디지털 시스템의 수행을 위한 자체적인 지연시간 때문에 원하는 지연시간보다 긴

지연시간을 갖게 된다. 따라서 한 주기에서 디지털 시스템의 동작을 위한 지연시간을 뺀 만큼의 시간을 보낸 후에 TDD 신호를 생성하는 동작을 수행한다. 따라서 정확히 원하는 지연시간과 동일한 시간 이후에 TDD 신호가 발생한다.

RF 시스템에서 검출된 TDD 신호의 지연시간의 범위(Td)는 20에서 215까지 다양한 값이 가능한데 지연시간의 해상도는 식 (1)과 같이 클록의 주파수에 비례하게 된다. 그러나 사용된 FPGA에 따라서 사용할 수 있는 클록의 종류는 한정된다.

$$Td = \text{Period of Clock} \times (20\sim 215) \quad (1)$$

예를 들어 100MHz의 clock을 사용하는 경우에 10ns에서 327,680ns(327.68μs)의 지연시간을 가질 수 있다. FPGA의 동작 주파수의 반주기 이하 (10MHz의 경우 50ns 이하)와 FPGA 보드의 배선 지연시간(일반적으로 5ns) 만큼의 오차를 가질 수 있다. 그러나 오차는 매우 작기 때문에 실제 사용에 있어서 문제가 되지 않는다. 왜냐하면 그림 1에서 나타난 것과 같이 TTG(78.4μs)와 RTG(87.2μs) 구간에서 시간적으로 충분한 여유가 있기 때문이다^[13]. 입력 신호에 의해서 동기 검출된 신호는 지연시간을 포함한다면 그림 6과 같은 형태로 출력될 수 있다.

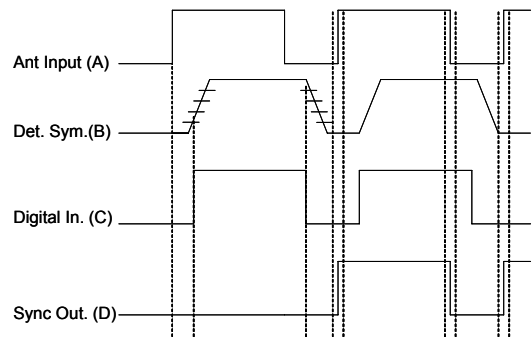


그림 6. 시스템 지연에 의한 타이밍 조절
Fig. 6. Timing adjustment of system delay

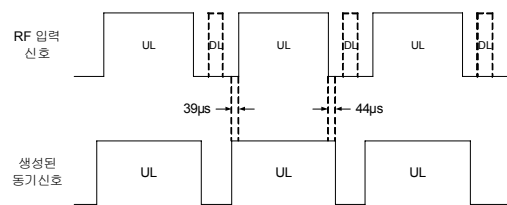


그림 7. 최종적인 TDD 동기 신호
Fig. 7. Final TDD synchronization signal

동기가 검출된 후에 출력된 신호의 타이밍은 그림 7과 같다. 표준으로 정해지지는 않았지만 일반적으로 TDD 신호의 스위칭은 TTG와 RTG 구간의 중간에서 이루어진다.

IV. 제안한 하드웨어 구조

이번 장에서는 본 논문에서 제안하는 하드웨어 구조를 나타낸다.

4.1 TDD 모듈의 전체 구조

그림 8과 같이 전체구조는 RF부와 디지털부로 나누어진다. RF부는 일반적으로 사용되는 RF 신호를 위한 블록에 해당하는데, 본 논문의 초점은 아니므로 자세한 설명은 하지 않는다. 디지털부에서 TDD 동기신호 생성기가 본 논문의 초점에 해당하고 FPGA를 이용하여 하드웨어로 설계된다.

그림 9에는 그림 8에서 제안한 시스템의 구조가 실제로 어떻게 회로로 구현되는지를 보여준다.

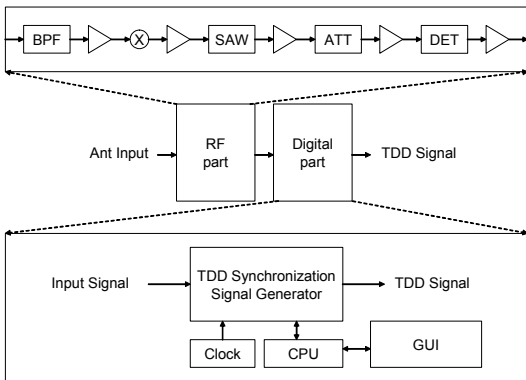


그림 8. 제안한 시스템의 구조
Fig. 8. Architecture of the proposed system

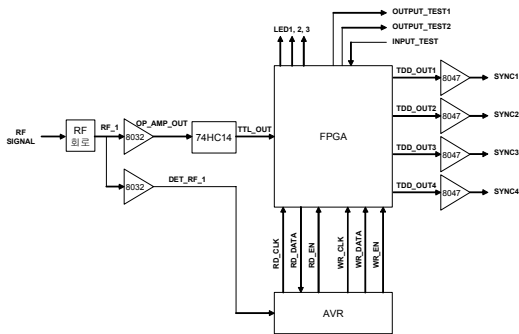


그림 9. 제안한 시스템의 회로 구조
Fig. 9. Circuit placement of the proposed system

4.2 세부 구조의 설명

디지털부에서 FPGA 내부는 그림 10과 같이 크게 5 가지 블록으로 구성된다. 입출력 인터페이스와 디지털 필터링을 담당하는 Input Interface&Filter, 신호를 분석하고 주기를 검출하는 Signal Analyzer, 시스템 지연을 내포한 TDD 신호를 생성하는 Signal Generator, 동작 조건을 프로그래밍하기 위한 Operation Programmer, 그리고 제어를 담당하는 Controller로 구성된다.

그림 10의 디지털부를 더욱 자세히 나타내면 그림 11과 같다. Input Interface 블록은 TTL 신호로 변환된 TDD 입력 신호를 받아들이는 모듈이다. High-level Filter와 Low-level Filter는 입력된 신호에서 레벨 1 이 레벨 0으로 왜곡된 부분을 레벨 1로 혹은 레벨 0이 레벨 1로 왜곡된 부분을 레벨 0으로 다시 변환하는 필터링을 수행한다. Duration Calculator는 필터링 과정을 거치면서 보정된 입력 신호의 레벨 1과 레벨 0 부분의 주기를 구하고, Level Comparator는 이전에 입력된 신호의 정보와 현재 입력된 신호의 정보를 비교하여 동일한 주기의 신호인지 비교한다. 이러한 비교 후에 Mode Selector에 의해 이전에 검출된 모드에 비해서 일정 시간 동안 규칙적인 다른 모드가 검출되는지를 찾는다. 다음으로 Sync Generator에 의해 입력 신호의 분석을 바탕으로 현재 입력 신호에 대한 동기 신호를 검출하고 Sync Re-Generator는 페이딩에 의해서 동기 신호의 검출에 실패하거나 잘못된 동기 신호

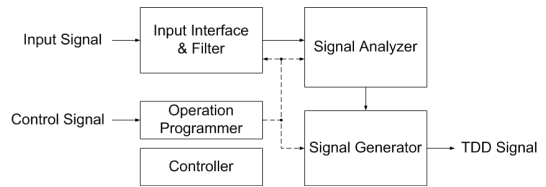


그림 10. 디지털부의 하드웨어 구조
Fig. 10. Hardware architecture of digital part

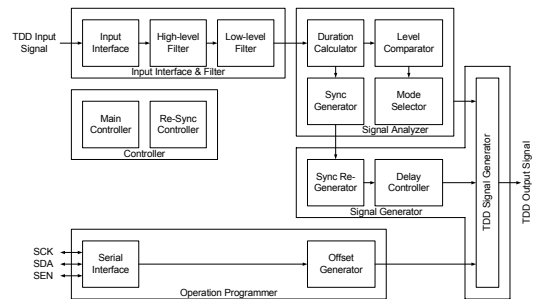


그림 11. 디지털부의 상세 구조
Fig. 11. Detail architecture of digital part

를 검출했을 경우에 이를 보정하거나 새로이 동기 신호를 검출한다. 또한 Delay Controller는 정해진 시간만큼 지연 시간을 발생하여 현재 검출된 동기 신호를 지연시키는 역할을 수행한다. 그 밖에 Serial Interface는 외부의 프로세서와 직렬 통신을 하여 다양한 정보를 송/수신하고, Offset Generator는 다양한 회로 내/외적인 환경에 의해서 발생한 오차를 외부 프로세서에 의해서 보정하기 위한 신호를 발생한다. 최종적으로 TDD Signal Generator는 여러 모듈에 의해서 얻어진 정보와 데이터를 바탕으로 TDD 출력 신호를 발생시킨다.

V. 실험결과 및 구현

본 장에서는 시험조건을 제시하고 그에 따른 실험결과 및 하드웨어 구현결과를 설명한다.

5.1 시험 조건

본 논문을 통해서 구현된 TDD 신호 발생기는 기본적으로 아래의 표 1 및 2와 같은 조건하에서 실험을 수행하였다. 표 1에서는 일반적인 WiBro 통신 조건을 나타내고 있고, 표 2에서는 WiBro 심볼의 조건과 실제 주기(us)를 아래의 표들에 요약하였다.

표 1. 통신 조건
Table 1. Communication condition

구분	규격	비고
Frequency Range(MHz)	2,300 ~ 2,327	TDD
RF Input Range(dBm)	-80 ~ -50(TBD)	
Characteristic Impedance	50 Ω	
Switching Time Accuracy	±1us	
Switching Time Adjustment Range	TTG, RTG 구간 내	
Switching Stability	±5us(TBD)	Pedestrian A, B Vehicular A(ITU)
Output Signal	TTL(TBD)	Dual(Positive & Negative)

표 2. Wibro OFDM 심볼
Table 2. Wibro OFDM symbol

Symbols	1 Symbol (us)	DL duration	TTG/2 (us)	RTG/2 (us)	Total (us)
30	115.2	3456	44	39	3539
27	115.2	3110	44	39	3193
24	115.2	2765	44	39	2848

표 1과 2의 조건은 현재 우리나라에서 서비스되고 있는 WiBro 환경에 맞추었다. 그림 12에는 구현한 시스템을 검증하기 위한 검증 환경을 도식적으로 표현하였다. WiBro 신호 발생기로는 Agilent사의 E4438C(WiBro)를 사용하였고, multipath fading 조건을 적용하기 위해서는 Sprint사의 TAS4500 FLEX를 사용하였다. 그림 12에서 TDD 동기 발생기 부분 논문을 통해서 구현된 시스템에 해당한다. 최종적으로 검출된 출력신호(The generated TDD Signal)는 신호발생기의 TDD 신호(TDD Output)와 비교한다.

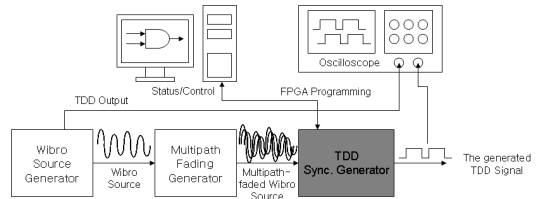


그림 12. 실험 환경
Fig. 12. Experimental environment

5.2 구현 및 실험결과

시험 결과를 표 3에 자세히 나타내었는데, 결론적으로 결과는 다양한 환경 하에서 Wibro 서비스를 위한 조건을 충분히 만족시킬 수 있는 값에 해당하였다. 각 multipath fading 조건에서 3초 이내에 초기 동기가 획득되었고, 최대 ±5us에서 최소 ±2us의 안정도를 보였으며, 각 상황에서 1us의 정밀도로 조절이 가능하였다. OFDM 심볼의 개수가 변화하는 상황에서도 동기의 변화에 적응적으로 정확히 반응하였고, 주기도 정확히 복원하였다. 최소 동기 획득 레벨은 -90dBm이므로 Wibro RF 중계기가 갖추어야 할 최소 입력 레벨인 -80dBm을 충분히 만족시킬 수 있었다.

안정적으로 동기를 검출하고 동작할 수 있는 레벨은 -90dB이고, 동기 검출 후에 동기를 유지할 수 있는 레벨은 -100까지였다. 최초 동기 획득하는 시간은 약 3초로 측정되나 이는 소스 발생기의 on/off에 의한 지연이 반영된 시간이다. 만일, 소스 발생기를 on 상태로 두고 시스템을 초기화하면 1초 내에 동기가 획득되었다. 입력 레벨이 -80dBm이고 페이딩 조건이 없으면 검출된 TDD 신호는 ±1us의 안정도를 유지하고 페이딩 환경이라면 ±2us의 안정도를 유지할 수 있었다. 최저 0.1us에서 최대 5ms(주기)의 단위로 조절이 가능하였다. WiBro 신호가 없다면 약 3~5초 후에 동기 신호의 발생을 중단할

표 3. TDD 동기 검출의 실험 결과
Table 3. Experimental result of TDD synchronization detection

Fading condition	Veh_A VA120	Veh_A VA30	Ped_A PA3	Ped_B PB3
Input Level	-80dBm	-80dBm	-80dBm	-80dBm
First Sync. Detect (sec)	<2	<2	<3	<3
Stability	±5us	±4us	±3us	±2us
Adjust Accuracy	1us	1us	1us	1us
Desynchronization (sec)	<3	<3	<3	<3
Resynchronization (sec)	<3	<3	<3	<3
Symbol Rate Change	30	3539	3539	3539
	27	3193	3193	3193
	24	2848	2848	2848
Min. Input Level	-90dBm	-90dBm	-90dBm	-90dBm

수 있었는데, 동기 신호의 발생을 중단하는 시간은 조절이 가능하도록 하였다. 재동기 시간은 약 3초로 측정되나 이것도 또한 소스 발생기의 on/off에 의한 지연이 반영된 시간이다. DL 심볼이 변화하면 약 1~2초 이후에 변화된 심볼에 대한 TDD 동기를 검출할 수 있었다. 현재는 3개의 심볼에 대해서 반응하도록 설계되었지만 대응할 수 있는 심볼의 개수는 얼마든지 추가가 가능하다.

FPGA는 Altera사의 Cyclone EP1C3T144C6 디바이스를 사용하였고, 2,641/2,910(91%)의 하드웨어 사용율을 보였다. 최소 클럭 주기는 10.948ns이고, 최대 클럭 주파수는 91.34MHz이다. 그림 13에는 검증을 위해 구현된 디지털부 및 RF부의 PCB 보드의 사진이다. 구현된 보드는 디지털과 RF 시스템이 하나의 PCB 기판에 구성이 되어있고, 아래 부분이 RF부에 해당하는데 원래는 차폐를 위해서 금속 캡 혹은 기구로 쌓여져 있다.

그림 14에서 16은 구현된 시스템의 동작에 대해

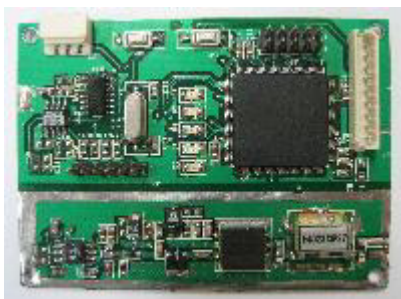


그림 13. PCB로 구현된 일체형 시스템
Fig. 13. The implemented integrated-system using PCB

서 오실로스코프를 이용하여 획득한 결과들에 해당한다. 모든 그림에서 위쪽 그림은 신호발생기에 의한 기준 TDD 신호이다. 그림 14는 fading이 없는 환경에 대한 결과로써 포락선을 검출하고 난 후에는 그림 14(a)와 같은 상태가 된다. 그림 14(a)의 아래 그림을 살펴보면 신호는 약 800mV의 크기를 가진다. 이 신호를 증폭 및 클램핑을 시키면 그림 14(b)와 같은 신호를 얻게 된다. 그림 14(b)를 살펴보면 실제로 신호에 왜곡이 존재하는 것을 확인할 수 있다. 이러한 신호의 왜곡은 디지털 필터링을 통해서 제거된다.

그림 15는 multipath fading 환경에서의 결과이다. 그림 15(b)의 아래 그림을 살펴보면 그림 14(a)에 비해서 왜곡 정도가 훨씬 심한 것을 확인할 수

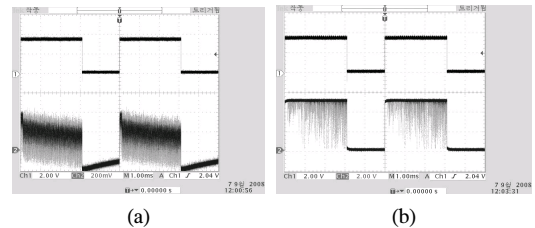


그림 14. Multipath fading이 없는 통신조건 (a) 원래 검출된 포락선 (b) 증폭 및 클램핑 이후의 신호
Fig. 14. Communication condition (a) the detected original envelop signal (b) the signal after amplification and clamping

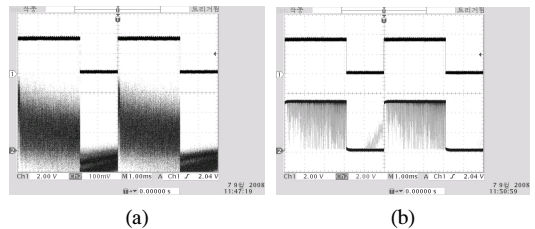


그림 15. Multipath fading(Ped_A PA3) 통신조건 (a) 원래 검출된 포락선 (b) 증폭 및 클램핑 이후의 신호
Fig. 15. Multipath fading(Ped_A PA3) communication condition (a) the detected original envelop signal (b) the signal after amplification and clamping

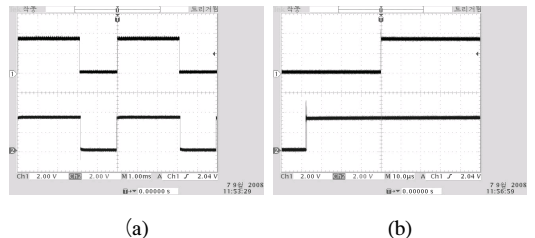


그림 16. TDD 동기신호 출력 (a) 두 주기 (b) RTG 구간
Fig. 16. TDD synchronization signal output (a) two periods (b) RTG region

있다. 뿐만 아니라 그림으로는 표현할 수 없지만 그림 14(a)는 그림에서 보는 것과 같이 일정하게 출력되는 반면에 그림 15(a)는 신호가 최대 1V 크기만큼 출력거린다. 따라서 실제로 측정된 결과를 비교해보면 그림 14(a)와 그림 15(a)는 많은 차이를 갖는다고 볼 수 있다. 그림 15(b)의 결과도 그림 14(b)의 결과와 비교해보면 왜곡이 더욱 크다는 것을 확인할 수 있고, 특히 UL 구간에 큰 잡음성분이 삽입되어 있다는 것을 확인할 수 있다. 이러한 잡음 성분으로 인해서 multipath fading 환경에서는 DL 구간과 UL구간의 구별이 쉽지 않다. 그러나 제안한 디지털 필터링 방식을 적용하면 그림 14와 15의 조건은 안정된 TDD 동기신호를 검출할 수 있었다. 그림 16(a)는 구현한 시스템을 통해서 생성된 TDD 신호를 나타내고 있고, 그림 16(b)는 RTG 구간에서 TDD 동기신호가 원래의 신호보다 정확히 39 μ s만큼 선행하여 출력되는 것을 보여주고 있다.

국내외적으로 Wibro의 TDD 신호를 검출한 후에 중계기의 동기 신호로 사용하는 것을 제안하고 하드웨어로 구현한 논문이 없어서 성능을 직접적으로 비교하기는 어려웠다. 하지만 본 논문에서 구현된 시스템을 이용하여 무선 방식으로 Wibro RF 중계기에 TDD 신호를 제공할 수 있음을 보일 수 있었다.

VI. 결 론

본 논문은 TDD 방식을 이용하는 WiBro 통신 분야에서 부분적인 음영지역을 해소하기 위한 RF 중계기가 기지국에서 DL 신호와 단말에서 UL 신호를 시간적으로 교차하여 전송할 때 기지국과 상향신호·하향신호·휴지기의 동기를 맞추기 위한 동기 신호 획득 및 발생할 수 있는 방법 및 회로를 디지털 방식으로 구현하였다. DL 신호의 포락선을 검파한 후 증폭하고 무선채널환경에 의해 왜곡된 신호를 디지털 필터링 방식을 이용하여 복원 후 동기를 획득하는 방식을 적용하여 안정적으로 TDD 신호를 발생할 수 있었다. 구현된 디지털 회로는 Altera사의 Cyclone EP1C3T144C6 FPGA를 이용하였다. 2,641/2,910(91%)의 하드웨어 사용율을 보였고, 최대 91.34MHz의 주파수에서 동작이 가능하였다.

참 고 문 헌

[1] TTA, "2.3GHz 휴대인터넷 표준 - 물리계층," 2004. 10. 15.

[2] TTA, "2.3GHz 휴대인터넷 표준 - 매체접근제어 계층," 2004. 10. 15.

[3] TTA, "2.3GHz 휴대인터넷 표준 - 물리계층 및 매체접근제어 계층," 2005. 6. 30

[4] IEEE Standards 802.16-2004, "802.16 Part 16: Air Interface for Fixed Broadband Wireless Access Systems," 1 October 2004.

[5] IEEE Standards P802.16e, "Part 16: Air Interface for Fixed and Mobile Broadband Wireless Access Systems, Amendment for Physical and Medium Access Control Layers for Combined Fixed and Mobile Operation in Licensed Bands," Jun 2005.

[6] IEEE Standards P802.16e/D9, "Part 16: Air Interface for Fixed and Mobile Broadband Wireless Access Systems, Amendment for Physical and Medium Access Control Layers for Combined Fixed and Mobile Operation in Licensed Bands," Jun 2005.

[7] 황승구, 권동승, 예충일, "2.3GHz 대역에서 초고속 휴대 인터넷 서비스" 한국전파진흥협회, 전파진흥, 2003. 6.

[8] 양정록, 김영일, 안지환, "휴대인터넷 기술 동향," Telecommunications Review

[9] Steve C. Cripps, "RF Power Amplifier for Wireless Communications," Artech House, 1999.

[10] Peter B. kennington, "High Linearity RF Design," Artech House, 2000.

[11] J. Vuolevi and T. Rahkonen, "Distortion in RF Power Amplifiers," Artech House Inc., Norwood, MA, 2003.

[12] M. Andrews, K. Kumaran, K. Ramanan, A. Stolyar, and P. Whiting, "Providing quality of service over a shared wireless link," IEEE Communications Magazine, Vol. 39, No. 2, pp. 150-154, Feb. 2001.

[13] "PF scheduling and performance in OFDMA/TDD systems," Technical Report, WNL, HYU, Sep. 2004.

서 영 호 (Young-Ho Seo)

중신회원



1999년 2월 광운대학교 전자재료공학과 공학사

2001년 2월 광운대학교 공학석사

2000년 3월~2001년 12월 인티스닷컴(주) 연구원.

2004년 8월 광운대학교 공학박사

2003년 6월~2004년 6월 한국전기연구원 연구원

2004년 12월~2005년 8월 유한대학 연구교수

2005년 9월~2008년 2월 한성대학교 조교수

2008년 3월~현재 광운대학교 조교수

<관심분야> 2D/3D 영상 및 비디오 처리, 디지털 홀로그램, SoC 설계, 워터마킹/암호화

e-mail : yhseo@kw.ac.kr

김 동 옥 (Dong-Wook Kim)

중신회원



1983년 2월 한양대학교 전자공학과 공학사

1985년 2월 한양대학교 공학석사

1991년 9월 Georgia 공과대학 전기공학과 공학박사

1992년 3월~현재 광운대학교 전자재료공학과 정교수 광운

대학교 신기술 연구소 연구원

2000년 3월~2001년 12월 인티스닷컴(주) 연구원

2009년 3월~현재 광운대학교 실감미디어연구소 연구소장

2006년 3월~(사)실감미디어산업협회 이사

<관심분야> 디지털 VLSI Testability, VLSI CAD, DSP 설계, Wireless Communication