

연산시간/회로면적 설계 공간 탐색을 통한 혼합가산기 기반 디지털 회로 설계

정회원 나 영 남*

Design of Digital Circuit on Heterogeneous Adder using Delay/Area Design Space Search

Young-nam Na* *Regular Member*

요 약

가산기는 디지털 시스템에서 많이 사용하는 연산 장치이다. 가산기의 캐리 전달 방법에 따라 연산 속도가 달라진다. 디지털 시스템 설계자가 요구하는 연산 속도와 회로 면적을 만족하는 가산기가 존재하지 않을 경우가 발생하면, 성능을 위해 가산기 연산 장치의 회로 면적이 넓어져서 단가가 올라가는 문제가 발생한다. 본 논문은 디지털 시스템의 설계 과정에서 혼합 가산기를 이용하여 가산기 연산 장치의 설계 공간을 탐색하여 최적의 혼합 가산기를 검색한 후 디지털 시스템을 설계하는 과정을 제안한다.

Key Words : Digital Circuit Design

ABSTRACT

The adder is the most frequently used arithmetic unit in the digital system. Calculation speed depends on the carrying method of the adder. Without the calculation speed satisfying the digital system designer and the adder of the circuit area, the circuit area of the adder calculation unit becomes wider and the cost will increase. In this paper we search the designer space of the adder calculation unit using the adder in the process of designing the digital system. When we search the optimal adder, we propose a designing process for the digital system.

I. 서 론

가산기는 디지털 시스템에서 가장 기본적인면서도 많이 사용하는 중요한 연산 장치이다. 따라서 가산기의 선택에 따라 전체 시스템의 성능과 비용이 결정된다. 이러한 가산기를 설계할 때 고려할 사항으로 속도, 회로 면적, 전력 소모량 등이 있으며, 이에 대하여 다양한 분석과 연구가 진행되고 있다^[1]. 최근 디지털 시스템은 성능의 양극화가 뚜렷해지고 있다. 최소한의 회로면적을 요구하는 모바일 임베디드 시스템부터 고성능을 요구하는 GPU(Graphics

Processing Unit)까지 목적에 적합한 연산 속도를 요구하고 있다. 특히 모바일 임베디드 시스템의 경우 제한적인 회로 면적에 최상의 성능이 발휘되는 것이 요구되기도 한다. 이렇게 다양한 설계 조건을 모두 만족하는 가산기를 설계하는 것은 매우 어려운 일이다. 그러나 여러 종류의 가산기를 혼합하여 설계하면 다양한 시스템에서 요구하는 설계 조건을 만족하는 가산기를 구현할 수 있다.

본 논문은 디지털 회로의 설계 흐름 중 논리 합성 단계에서 가산기에 대한 연산시간과 회로면적의 설계 공간을 이용하여 혼합 가산기 기반 회로 설계

* 조선이공대학 정보통신과(ynna@chosun-c.ac.kr)
논문번호 : 09055-1001, 접수일자 : 2009년 10월 1일

방법을 제시한다.

II. 가산기

2.1 가산기의 특성과 종류

가산기는 대부분의 디지털 회로에서 많이 사용되는 연산 장치이다. 이러한 가산기는 캐리 전달 방법에 따라 성능이 좌우된다. 즉, 캐리 전달 시간이 빠를수록 가산기의 연산 속도 또한 빨라진다. 그러나 캐리 전달 시간을 빠르게 하는 방법을 사용하기 위해서는 회로 면적 또한 증가하므로 시스템의 전체적인 크기가 커지면서 회로 제작 단가가 올라가는 단점이 있다. 따라서 가산기의 성능 향상을 위해 효율적인 캐리 전달 방법의 많은 연구가 이루어지고 있다^[2].

가산기의 종류에 따라 연산 속도와 회로 면적의 차이가 발생한다. 특히, 입력 비트의 너비가 클수록 큰 차이가 발생하게 된다. 그림 1의 (a)와 (b)는 RCA(Ripple Carry Adder), CSKA(Carry Skip Adder), CLA(Carry Lookahead Adder) 등의 가산기에서 입력 비트 너비에 대한 연산속도와 회로면적의 사이의 관계를 보여준다. 그림 1에서 RCA는 회로면적이 가장 작지만 연산속도가 느려지며, CLA는 연산속도가 가장 빠르지만 회로면적이 매우 커지는 것을 알 수 있다.

따라서 어떤 종류의 가산기를 선택하는가에 따라 전체 시스템의 연산속도와 회로면적이 달라진다는 것을 알 수 있다. 만약, 디지털 회로가 요구하는 설계 조건이 음영 부분에 위치한다면, 설계 조건보다 연산속도가 빠르거나 회로면적이 작은 가산기를 선

택해야만 한다. 이와 같은 선택은 당연히 회로면적이 커지거나 연산속도가 늦어지는 문제를 발생시키게 된다. 이는 생산 비용의 증가와 시스템 성능 저하의 원인이 된다.

그림 2는 기존의 가산기에 대한 연산속도와 회로 면적에 대한 설계 곡선을 보여준다. 기존의 CLA, CSKA, RCA는 실선의 설계 공간만이 가능하며, 점선으로 표시한 설계 공간에 대해서는 설계가 불가능하다. 따라서 최적의 칩을 설계하기 위해서는 점선의 설계 공간을 만족하는 가산기가 필요하다^[3].

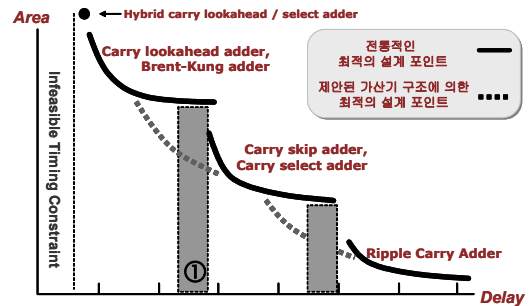
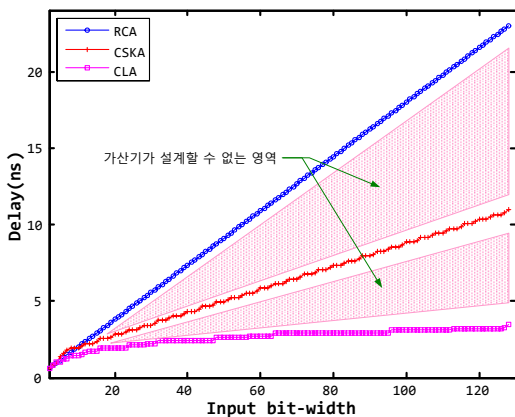


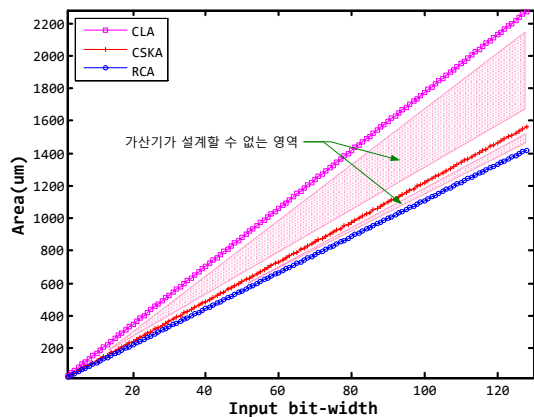
그림 2. 가산기의 설계 공간(연산시간/회로면적의 절충 관계)

2.2 혼합가산기 구조

전통적인 단일 가산기만 사용하면 연산속도 또는 회로면적을 만족하기 위해서는 필요 이상 회로면적과 연산속도가 증가할 수 있다. 하지만 두 종류 이상의 가산기를 혼합하여 사용하면, 그림 3에서 점선으로 표현한 연산시간과 회로면적의 절충관계를 만족하는 가산기를 설계할 수 있다. 이러한 가산기를 혼합 가산기(Heterogeneous Adder)라고 하며^[4], 이



(a) 연산속도 관계도



(b) 회로면적 관계도

그림 1. 가산기의 입력 비트 너비와 연산속도/ 회로면적의 관계

에 대한 기본 예제는 그림 4와 같다.

혼합 가산기의 설계 변수는 제한 조건을 만족하는 연산 속도, 회로 면적, 캐리 전달 속도, 비트 폭 등이 비선형적이다. 이러한 문제를 해결하기 위해서 정수 선형 프로그램(ILP; Integer Liner Program)을 사용한다⁵⁾.

혼합 가산기 설계에 필요한 변수를 구하기 위해서 2~128 비트 폭을 갖는 RCA, CSKA, CLA의 합과 캐리 전달 지연 시간, 회로 공간을 구하였다. 여기서 CSKA의 기본 블록은 4비트로 고정하였다. 그리고 Synopsys 툴과 0.25 μ m CMOS 라이브러리⁶⁾를 이용하여 변수를 구했으며, 그 결과는 표 1과 같다.

128비트 혼합 가산기를 예로 설명하면 그림 6은 연산 속도인 up_{delay} 에 따른 회로 면적 관계를, 그림

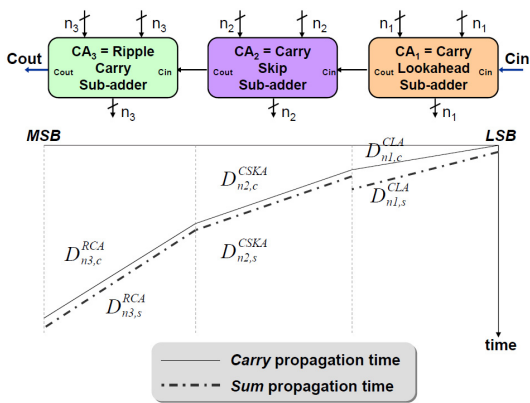


그림 3. 혼합형 가산기 예

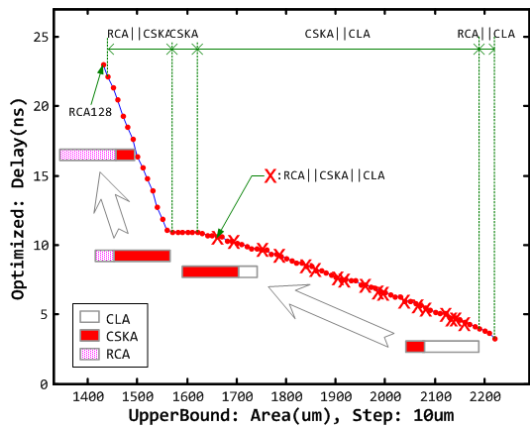


그림 4. 회로 면적 제한 값에 따른 연산 속도 관계

표 1. $D_{n_i}^{CA}$ 와 $A_{n_i}^{CA}$ 에 대한 연산 속도와 회로 면적 값

Adder Type	Input bit	Sum(ns)	Carry(ns)	Area(μ m)
RCA	2	0.61	0.56	22.2
	3	0.78	0.73	33.3
	⋮	⋮	⋮	⋮
	127	22.80	22.75	1409.7
CSKA	2	0.63	0.78	26.1
	3	0.81	0.96	37.5
	⋮	⋮	⋮	⋮
	127	10.78	10.45	1550.3
CLA	2	0.63	0.37	29.0
	3	0.82	0.55	46.8
	⋮	⋮	⋮	⋮
	127	3.25	1.63	2254.0
	128	3.44	1.67	2271.8

7은 회로 면적인 up_{area} 에 따른 연산 속도 관계를 보여준다. 각 그래프를 보면 RCA와 CSKA 사이구간에서는 RCA|CSKA, CSAK와 CLA 사이에서는 CSAK|CLA와 RCA|CLA 조합을 알 수 있다.

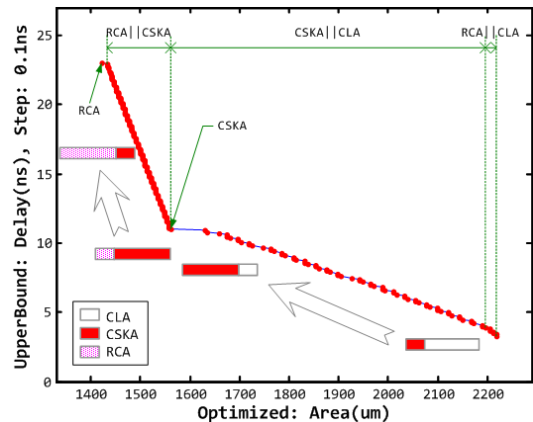


그림 5. 연산 속도 제한 값에 따른 회로 면적의 관계

III. 설계 흐름

3.1 디지털 회로 설계 흐름

그림 6은 HDL(Hardware Description Language)을 이용하여 설계자가 디지털 회로를 개발하는 설계 흐름이다. 그림 6에서처럼 설계 중간에 회로 타이밍의 분석 결과에 따라 다시 설계하기도 한다⁷⁾. Logic Synthesis 단계에서는 보고서를 이용하여 정확하지는 않지만 대략적인 연산속도, 회로면적, 전원 사항 등을 알 수 있다.

최근 EDA(Electronic Design Automation)에서

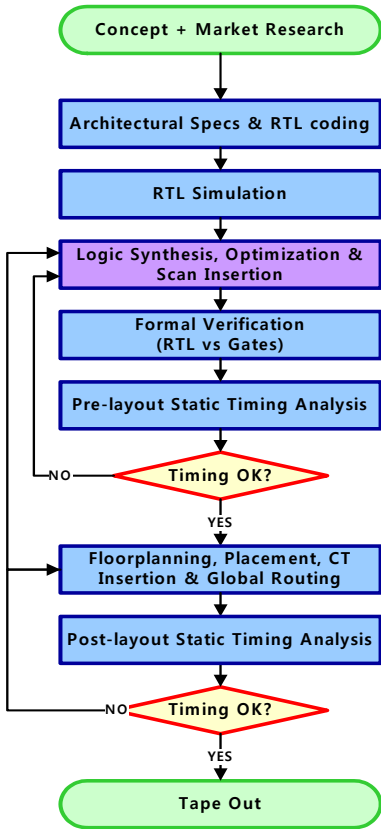


그림 6. 디지털 회로 설계 흐름

제공하는 라이브러리와 최적화 기술을 이용하면 최소 회로 면적이나 빠른 연산속도의 디지털 회로를 설계하는데 도움을 받을 수 있다. 하지만 그림 2에서 점선의 설계 공간은 이용할 수 없다.

3.2 혼합가산기를 이용한 설계 공간 탐색 흐름

그림 7은 HDL 합성(Synthesis) 결과를 이용하여 연산속도와 회로면적에 대한 설계 공간 탐색하여 혼합 가산기 기반 디지털 회로를 설계하는 과정을 보여준다. 연산속도/회로면적 설계 공간 탐색 과정은 다음과 같다. 먼저 합성 결과 보고서를 이용하여 회로 변경이 불가능한 모듈과 변경이 가능한 가산기 모듈로 분리한다. 변경이 가능한 가산기 모듈만을 대상으로 설계자가 지정한 설계 변수에 따라 부가산기의 종류와 입력 비트 너비를 구한다. 이때에는 설계 변수에 따라 미리 계산한 RCA, CSKA, CLA의 속도, 면적, 입력 비트 너비 DB를 이용한다. 마지막으로 가산기 연산 모듈을 혼합 가산기 연산 모듈로 교체한 후 다시 합성을 한다.



그림 7. 혼합 가산기 기반 설계 공간 탐색 흐름

IV. 결론

본 논문에서는 디지털 시스템의 설계과정에서 혼합 가산기를 이용하여 가산기 연산 장치의 설계 공간을 탐색하여 최적의 혼합 가산기를 검색한 후 디지털 시스템을 설계하는 과정을 제안하였다. 혼합 가산기는 단일 가산기의 종류와 수 그리고 순서조합에 따라 다양한 가산기 조합이 존재하므로 최적의 가산기를 검색하는데 시간이 많이 소요된다. 이러한 문제는 ILP를 사용하여 혼합 가산기 구조에 의해 생성되는 가산기 조합 중 최적의 가산기를 검색하였다. 본 논문의 혼합 가산기 구조는 단일 형태의 가산기들을 비트 수준에서 재합성하기 때문에 미세한 수준의 최적화도 수행할 수 있다. 비트폭을 패러미터로 하고 있으므로 상위수준 합성에도 효과적으로 사용할 수 있을 것이다.

향후 혼합 가산기를 이용하여 연산 속도, 회로 면적 뿐만 아니라 저 전력까지 고려한 CORDIC 연산 구조에 대한 연구가 필요하다.

참고 문헌

[1] C. Nagendra, M.J. Irwin, R.M. Owens, "Area-time- power tradeoffs in parallel adders," In IEEE Trans. on Circuits and Systems II: Analog and Digital Signal

Processing, vol. 43, pp. 689-702, Oct. 1996

[2] Y. Wang, C. Pai, X. Song, "The design of hybrid carry-lookahead/carry-select adders," In IEEE Trans. on Circuits and Systems II: Analog and Digital Signal Processing, vol. 49, Jan. 2002

[3] M.D. Ercegovac and T. Lang, "Digital Arithmetic," Morgan Kaufmann Publishers, 2004

[4] J.G. Lee, J.A Lee, B.S. Lee, and Milos D. Ercegovac, "A Design Method for Heterogeneous Adders," LNCS 4523, Springer, 2007, pp.121-132

[5] M. Berkelaar, "lp_solve - version 4.0," Eindhoven Univ. of Technology, ftp://ftp.ics.ele.tue.nl/pub/lp_solve/, 2003

[6] "IDEC-C221: IDEC Cell Library Data Book," IC Design Education Center, 2000

[7] Himanshu Bhatnagar, "Advanced ASIC Chip Synthesis," Kluwer Academic Publishers, 2002

나 영 남 (Young-nam Na)

정회원



1991년 2월 조선대학교 전자계산학과 졸업

1993년 2월 조선대학교 전자계산학과 석사

1998년 2월 조선대학교 전산통계학과 박사

1998년 3월~현재 조선이공대학 교수

<관심분야> 인공지능, 퍼지제어시스템, 멀티미디어