

Hot Carrier와 NBTI에 따른 나노 스케일 초박막 SOI pMOSFET 소자의 신뢰도에 관한 연구

정회원 장성준*, 홍성희*, 이재기**

Study on the Reliability of nano-scale UTB SOI pMOSFETs with Hot Carrier and NBTI

Sung-Jun Jang*, Sung-Hee Hong*, Jae-Ki Lee** *Regular Member*

요 약

실리콘 박막 두께가 1nm-10nm인 초박막 SOI pMOSFET를 제작하여 실리콘 박막 두께와 결정면에 따른 NBTI (Negative Bias Temperature Instability)와 hot carrier에 의한 소자 신뢰성을 측정 분석하였다. 박막의 두께가 얇을수록 NBTI에 의한 소자열화가 적게 되는 것을 알 수 있었다. 실리콘 박막의 두께에 따른 hot carrier 소자열화를 측정 분석한 결과 실리콘의 박막의 두께가 얇을수록 소자열화가 많이 됨을 알 수 있었다.

Key Words : SOI pMOSFET, Hot Carrier, NBTI, Reliability

ABSTRACT

Negative Bias Temperature Instability of SOI pMOSFET is investigated as a function of Si film orientation and film thickness. It is observed that NBTI induced threshold voltage shift is bigger for (110) MOSFETs in comparison to (100) MOSFETs and it decreases with the decrease of Si film thickness.

The dependence of hot carrier effects on the silicon film thickness in nanometer scale SOI pMOSFETs has been investigated. For drain thickened structure, it is observed that the hot carrier effects are increased as a silicon film thickness decreases. Therefore, the hot carrier induced device degradation in nanometer scale MuGFET should be seriously considered for the elevated source/drain structure. The device degradation with substrate bias and elevated temperature has also been discussed.

I. 서 론

기존 planar CMOS의 크기 축소가 한계점에 도달하고 있으므로 SIA의 end-of-roadmap에 대한 연구가 진행되고 있다^[1]. 관련된 연구로는 spintronic 소자, 카본 나노 튜브 및 분자 전자 소자 등이 있다^[2-4]. 그런데 불행히도 이런 소자들은 기존의 IC 공정과 양립될 수 없으므로 VLSI로 만들기 위해서는 새로 회로설계 개념과 새로운 공정이 필요하다. 그림 1은 ITRS 에서 2003년에 발표한 road map 이

다^[1]. 그림 1에서 보는 것과 같이 물리적 게이트 길이는 매 2년 마다 30% 이상 축소되어 왔다. 이처럼 물리적 게이트 길이의 계속된 축소로 2009년 이전에 게이트 길이가 약 15nm에 달할 것으로 예상되고 있다. 앞으로 반도체 산업은 결국 나노 소자의 개발 정도에 따라 결정될 것이다.

2003년도 IEDM에서는 게이트의 길이가 5nm, 게이트 산화층 두께 (EOT)가 0.5nm되는 bulk CMOS 소자가 동작이 가능함이 발표되었다^[5]. 그러나 나노 스케일 게이트 길이에서는 단채널 및 DIBL현상, 낮

* 여주대학 컴퓨터정보과({sjjang, shhong} @yit.ac.kr) ** 가천의과학대학교 IT학과(jaekilee@gachon.ac.kr)
논문번호 : 09071-1201, 접수일자 : 2009년 12월 1일

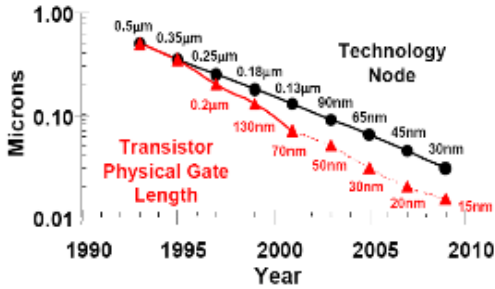


그림 1. 연도별 Logic technology node 와 물리적인 게이트 길이

은 on-off 전류 비율로 인하여 실제 회로에 응용할 수 있는 소자로는 불가능하다. 이런 bulk CMOS의 물리적 한계를 어느 정도 극복하기 위해서는 SOI (Silicon on Insulator) 기술 개발이 필수적인 것으로 최근의 연구결과에서 발표되고 있다^{[2],[3],[6]}.

나노 전자 응용을 위한 나노 스케일 소자로 여러 종류의 소자가 제안되고 있지만, 가장 적합한 소자가 SOI MOSFET이다. 나노 스케일 SOI MOSFET는 단채널 현상이 가능한 적게 일어나야 하며 소자 제작이 기존의 SOI CMOS 공정으로 가능해야 한다. 그리고 나노 스케일 소자에서 일어나는 양자현상을 고려한 소자 분석모델 (BSIM model update)이 만들어져 집적회로 설계에서 이를 이용할 수 있어야 한다.

본 연구에서는 실리콘 박막 두께가 1nm-10nm인 초박막 SOI pMOSFET를 제작하여 실리콘 박막 두께와 결정면에 따른 NBTI(Negative Bias Temperature Instability)와 hot carrier에 의한 소자 신뢰성을 측정 분석하였다.

II. 소자 제작 및 측정

그림 2는 제작된 실리콘 결정방향이 (100)와 (110)인 나노스케일 초박막 SOI MOSFET의 단면도를 나타낸 것이다. 실리콘 박막을 23% TMAH 용액에서 에칭하여 소자의 채널 부위의 실리콘 단면도를 나타낸 것이다. 실리콘 두께는 1nm부터 10nm 되도록 하였다. 실리콘 박막의 rms roughness는 0.15nm 정도 인 것을 알 수 있었다. 드레인과 소스 영역은 두께가 100nm 되게 하였다. 그리고 드레인 및 소스 도핑은 플라즈마 도핑으로 에너지 5KeV 조건에서 수행되었다. 게이트 산화층 두께는 6nm이며 매몰 산화층 두께는 200nm 이다. 소자의 채널

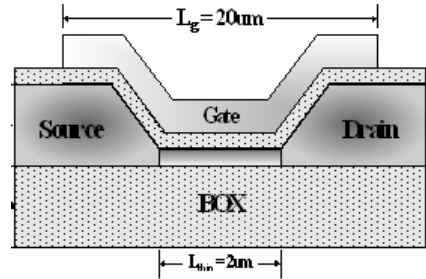


그림 2. 나노 스케일 초박막 SOI pMOSFET 단면도

영역의 길이는 2µm 이며 폭은 20µm이다. 그리고 채널의 불순물 농도는 $1 \times 10^{15} \text{cm}^{-3}$ 이며 게이트는 n+ 다결정 실리콘을 사용하였다.

III. 결과 및 고찰

3.1 나노 스케일 초박막 SOI pMOSFET의 NBTI 특성 연구

실리콘 박막의 두께에 따른 NBTI 특성을 측정하기 위하여 소스와 드레인은 접지를 하고 게이트에 3.0V 전압을 인가하였다. 그리고 기판의 온도는 100°C로 하였다. 그림 3은 제작된 초박막 SOI pMOSFET의 실리콘 박막 두께에 따른 문턱전압을 나타낸 것이다. 박막의 두께가 감소할수록 문턱전압이 증가 하는 것을 알 수 있다. 이런 현상은 다른 연구들의 결과와 일치 하는 것으로 양자효과 현상에 의한 것이다^{[7],[8]}. 특히 실리콘 결정방향이 (110)의 문턱전압이 (100)보다 큰 것을 알 수 있는데 이는 (110)면에 성장된 게이트 산화층의 계면상태가 더 많기 때문이다.

그림 4는 스트레스 시간에 따른 NBTI 현상에 의한 문턱전압의 변화를 나타낸 것이다. 스트레스

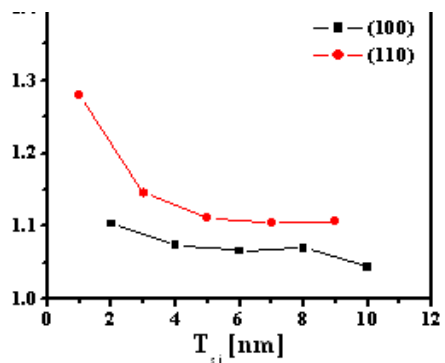


그림 3. 실리콘 두께에 따른 문턱전압

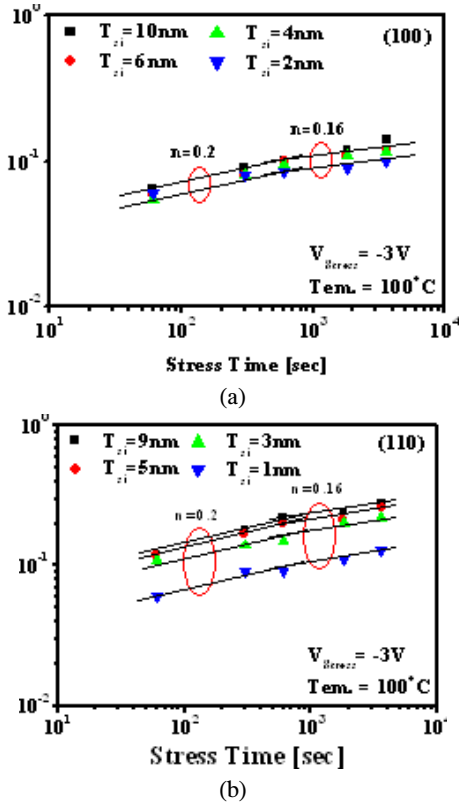


그림 4. 실리콘 결정면에 따른 문턱전압 변화 (100) MOSFETs(a), (110) MOSFETs(b)

시간이 증가할수록 문턱전압의 변화가 크며 실리콘 박막의 두께가 클수록 문턱전압의 변화가 큰 것을 알 수 있다. 즉 실리콘 박막의 두께가 얇을수록 NBTI 현상에 의한 소자 열화가 적게 되는 것을 알 수 있다. 그리고 실리콘 결정면이 (100) 보다 (110) 소자가 더 소자열화가 많이 되는 것을 알 수 있다.

그림 5는 실리콘 박막의 두께에 따른 NBTI에

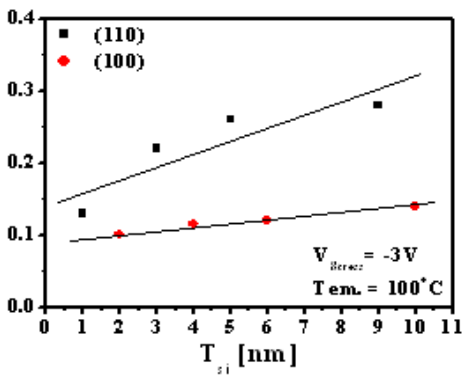


그림 5. 실리콘 두께에 따른 문턱전압 변화

의한 문턱전압의 변화를 나타낸 것이다. 실리콘 박막의 두께가 증가할수록 문턱전압의 변화가 큰 것을 알 수 있다. 그리고 실리콘 결정면이 (100) 보다 (110) 소자가 더 소자열화가 많이 되는 것을 알 수 있다. 실리콘 박막의 두께가 클수록 문턱전압의 변화가 큰 것을 설명하기 위하여 게이트 전류를 측정하였다.

그림 6은 게이트 전압에 따른 게이트 전류를 측정하여 나타낸 것이다. 실리콘 박막의 두께가 클수록 게이트 전류가 많이 흐르는 것을 알 수 있다. NBTI는 게이트 전류의 양에 비례하여 소자가 열화되므로 결국 실리콘 박막의 두께가 클수록 문턱전압의 변화가 크게 된다.

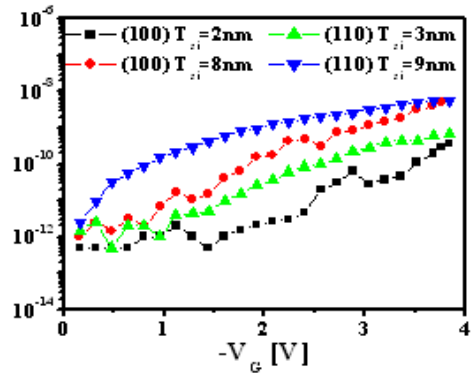


그림 6. 실리콘 두께에 따른 게이트 전류 특성

3.2 나노 스케일 초박막 SOI pMOSFET 의 hot carrier에 의한 소자 열화

실리콘 박막의 두께가 나노 스케일로 축소되므로 hot carrier에 의한 소자열화를 측정하여 분석하는 것이 필요하다. 본 연구에서는 실리콘 박막의 두께가 1-10nm인 소자를 제작하였으므로 실리콘 박막의 두께에 따른 소자열화를 측정 분석하였다. 기존의 연구에서 실리콘 박막의 두께가 감소하면 hot carrier에 의한 소자열화가 감소한다는 연구가 있었다⁹⁾. 하지만 다른 연구에서는 실리콘 박막의 소스/드레인의 기생 저항을 고려하면 오히려 소자의 열화가 증가 한다는 연구가 있었다¹⁰⁾. 본 연구에서는 소스 및 드레인이 채널보다 두꺼운 구조를 사용하였으므로 소스/드레인 기생저항 성분을 무시할 수 있는 구조이기 때문에 실리콘 박막의 두께에 다른 소자열화를 연구하기 좋은 구조이다. Hot carrier 스트레스는 드레인에 -5.8V 전압을 1시간 인가하면서 수시로 드레인 전류 변화를 측정하였다. 그리고 게

이트 전압은 -1.5V에서 0V까지 인가하였다.

일반적으로 pMOSFET의 소자열화 정도는 게이트 전류를 측정하므로 예견할 수 있으므로 게이트 전류를 측정하였다. 그림 7은 게이트 전압에 따른 게이트 전류를 측정하는 것이다. 게이트 전압이 0V일 때 게이트 전류가 가장 많이 흐르고 게이트 전압이 증가할수록 게이트전류가 감소한 것을 알 수 있다. 그리고 실리콘 박막의 두께가 작을수록 게이트 전류가 많이 흐른 것을 알 수 있다. 이 그림으로부터 실리콘 박막의 두께가 얇을수록 소자열화가 많이 될 것으로 예견할 수 있다.

게이트 전압이 0V일 때 게이트 전류가 많이 흐르는 것을 설명하기 위하여 Sivaco사의 ATLAS 소자 시뮬레이터로 드레인 부근의 전계를 계산하여 그림 8에 나타내었다. 게이트 전압이 0V 일 때 드레인 전계가 큰 것을 알 수 있다. 특히 최대 전계가 큰 차이가 있음을 알 수 있다.

그림 9는 스트레스 시간에 따른 포화 드레인 전류 변화를 측정하여 나타낸 것이다. 그림 7의 게이트 전류 측정에서 예견한 것과 같이 게이트 전압이 0V 일 때 소자열화가 가장 많이 됨을 알 수 있다.

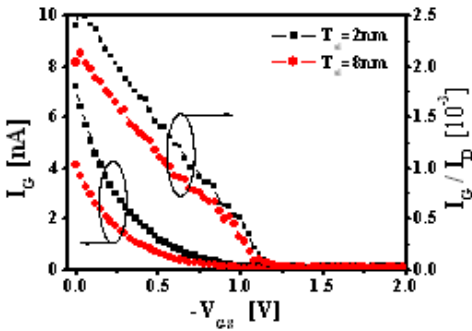


그림 7. 게이트 전압에 따른 게이트 전류 특성

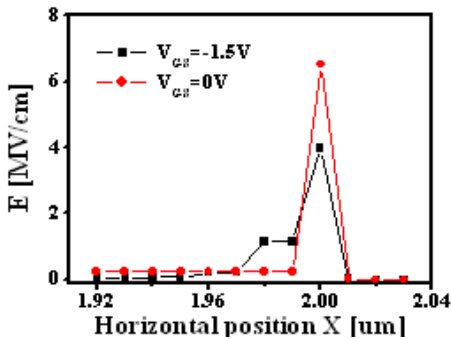


그림 8. 게이트 전압에 따른 드레인 전계(TSi=10nm)

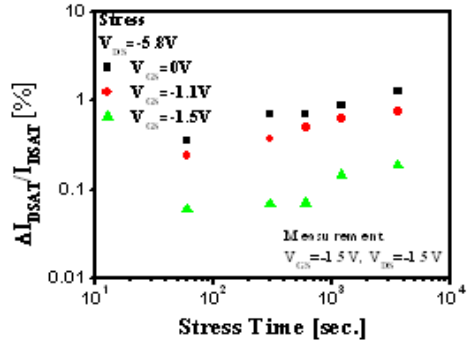


그림 9. 스트레스 시간에 따른 드레인 전류 열화

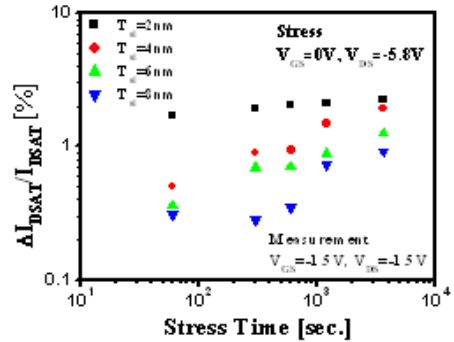


그림 10. 실리콘 두께에 따른 드레인 전류 열화

그림 10은 실리콘 박막의 두께가 다른 소자의 스트레스 시간에 따른 포화 드레인 전류변화를 나타낸 것이다. 그림 6의 실리콘 박막의 두께에 따른 게이트 전류 특성에서 예견한 것과 같이 실리콘 박막의 두께가 얇을수록 포화 드레인 전류 변화가 큰 것을 알 수 있다.

실리콘 박막의 두께가 얇을수록 소자열화가 많이 되는 것을 설명하기 위하여 ATLAS로 시뮬레이션을 수행하여 드레인 전계분포를 그림 11에 나타내었다. 그림 11 (a)는 drain thickened 구조이고 그림 11 (b)는 uniform film thickness 구조이다. 그림 11 (a)로부터 실리콘의 박막 두께가 클수록 드레인 전계가 작은 것을 알 수 있다. 그런데 그림 11 (b)로부터는 실리콘 박막의 두께가 얇은 소자의 최대 드레인 전계는 드레인 접합 부위에 존재하지 않고 오히려 드레인 안쪽에 존재하게 되어 hot carrier 생성을 적게 하게 됨을 알 수 있다. 즉 uniform film thickness 구조에서는 실리콘 박막의 두께가 얇을수록 소자열화가 적게 된다는 것을 알 수 있다.

그림 12는 실리콘 박막의 두께에 따른 게이트 전류를 측정하여 나타낸 것이다. 실리콘 박막의 두께가 얇을수록 게이트 전류가 많이 흐르고 또한 게이

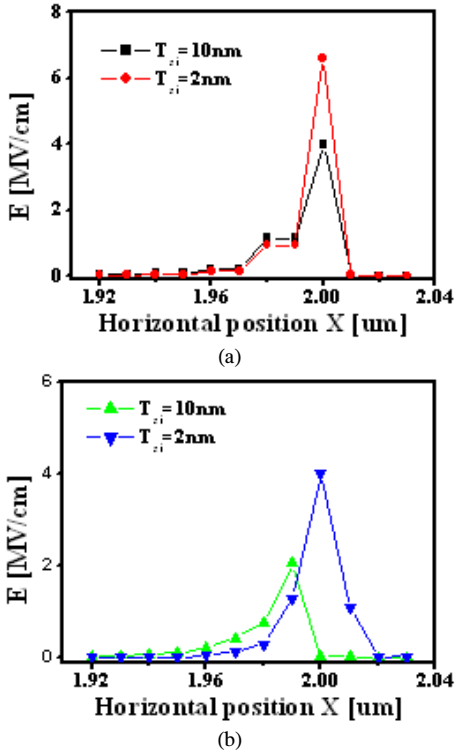


그림 11. drain thickened structure (a) 와 uniform film thickness (b)의 드레인 전계 분포

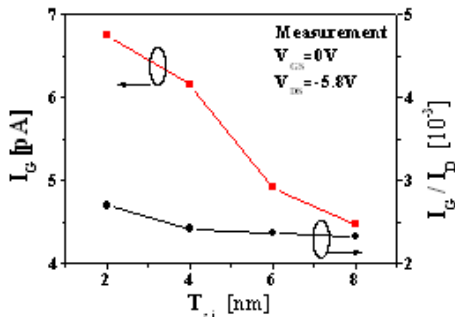


그림 12. 실리콘 두께에 따른 게이트 및 게이트/드레인 전류 비
트/드레인 전류비도 큰 것을 알 수 있다.

IV. 결론

본 연구는 나노 전자 소자 응용을 위한 multiple gate 소자의 최적화를 연구하는 과정으로 ATLAS 소자 시뮬레이션, 나노 스케일 초박막 SOI pMOSFET 소자의 신뢰성 측정 분석을 통하여 다음과 같은 결론을 얻을 수 있었다. 실리콘 박막 두께가 1nm-10nm인 초박막 SOI pMOSFET를 제작하여 실리콘 박막 두께와 결정면에 따른 NBTI (Negative Bias

Temperature Instability)와 hot carrier에 의한 소자 신뢰성을 측정 분석하였다. 박막의 두께가 얇을수록 NBTI에 의한 소자열화가 적게 되는 것을 알 수 있었다. 실리콘 박막의 두께에 따른 hot carrier 소자 열화를 측정 분석한 결과 실리콘의 박막의 두께가 얇을수록 소자열화가 많이 됨을 알 수 있었다. 그 결과 multiple gate 소자에서 소스/드레인의 기생 저항을 줄이기 위하여 elevated drain 구조를 사용하게 되는 데 이를 경우 실리콘 박막의 두께가 얇은 소자의 소자열화를 고려하여 소자를 설계해야 됨을 알 수 있었다.

참고 문헌

- [1] International Technology Roadmap for semiconductor, <http://public.itrs.net>
- [2] J.P Colinge et al., "Thin Film SOI Technology: The solution to Many submicron CMOS Problems," Tech. of Digest IEDM., pp.817-820, 1989.
- [3] J.-T. Park, J.-P. Colinge, and C. H. Diaz, "Pi-Gate SOI MOSFET," IEEE Electron Device Letters, Vol.22, No.8, pp.405-406, Aug 2001.
- [4] F-L. Yang, H-Y Chen, F-C. Cheng, C-C Huang, C-Y Chang, H-K. Chiu, "25 nm CMOS Omega FETs," Technical Digest of IEDM, pp.255-258, 2000.
- [5] Yang K. Choi, Dae W. Ha, Eric Snow, Jeffrey Bokor, and Tsu-Jae King, "Reliability study of CMOS FinFETs," Technical Digest of IEDM, pp.177-180, 2003.
- [6] W.Xiong, J.W. Park, and J.P. Colinge., "Corner effect in multiple-gate SOI MOSFETs," Proceedings of the IEEE International SOI Conference, 2003, pp.111-113.
- [7] H. Aono, E. Murakami, K. Okuyama, A. Nishida, M. Miniami, Y. Ooji, and K. Kube, "Modeling of NBTI degradation and its impact on electric field dependence of the lifetime," Proc. of IRPS, 2004; 23-27.
- [8] M. Denais, V. Huard, C. Parthasarathy, G. Ribes, F. Perrier, N. Revil, and A. Bravaix, "Interface traps and oxide traps creation under NBTI and PBTI in advanced CMOS technology with a 2nm gateoxide," Proc. of IIRW final

report, 2003; 1-6.

- [9] Lisa T. Su, Hao Fung, James E.Chung, and Dimitri A. Antoniadis, "Hot-carrier effects in fully-depleted SOI NMOSFETs," Technical Digest of IEDM, pp.349-352, 1992.
- [10] M. Song, K.P. MacWilliams, J.C.S. Woo,, "Comparison of NMOS and PMOS hot carrier effects from 300K to 77K," IEEE Trans. on Electron devices, Vol.44, No.2, pp.268-276, 1997.

홍 성 희 (Sung-Hee Hong)

한국통신학회 논문지 제 32권 제 12호 참조

이 재 기 (Jae-Ki Lee)

한국통신학회 논문지 제 32권 제 12호 참조

장 성 준 (Sung-Jun Jang)

정회원



1985년 2월 인천대학교 전자공
학과 졸업
1997년 2월 인천대학교 전자공
학과 석사
2008년 2월 인천대학교 전자공
학과 박사
1998년 2월 ~ 현재 여주대학
컴퓨터정보과 부교수