

IEEE P802.3ba 기반의 40 Gb/s 백플레인 이더넷 전송채널의 설계

정회원 양 충 열*, 김 광 준*, 종신회원 김 환 우**

A Design of Transmission Channel for 40Gb/s backplane Ethernet based on IEEE P802.3ba

Choong-reol Yang*, Kwang-joon Kim* *Regular Members*, Whan-woo Kim** *Lifelong Member*

요 약

본 논문에서는 40 인치 까지의 FR-4 백플레인 트레이스를 통해 40 Gb/s 데이터 전송을 위해서 10 Gb/s 4 라인으로 구성되는 백플레인 채널 모델을 설계하였다. 시뮬레이션 결과에서 10 Gb/s 데이터 속도에서 IEEE P802.3ba 표준에서 규정하는 요구사항보다 더 나은 백플레인 채널 특성을 확인하였다. 본 논문에서 제시한 유형의 전송채널에 대한 연구를 수행하여야 40 Gb/s 백플레인 이더넷 수신 적응 등화기 등의 설계가 가능할 것이다.

Key Words : Backplane, Crosstalk, Medling, Strip Line, Insertion Loss

ABSTRACT

For 40 Gb/s data transmission through electrical backplane trace up to 40 inch length on four layer fire-resistant (FR-4), we have designed the 40 Gb/s backplane channel model consisting of four channel 10 Gb/s. Simulation results show an enhancement of backplane channel characteristics excellent more than requirements specified in IEEE P802.3ba at 10 Gb/s. This paper provides a review of the structures and algorithms used in receive and adaptive equalization for 40 Gb/s backplane Ethernet. The use of this backplane channel model could achieves better receive equalizer at great data rate than 10 Gb/s.

I. 서 론

최근 IEEE P802.3ba 표준기반 이더넷에 관한 개발은 40Gb/s까지 증가된 고속 시리얼 데이터 전송을 갖는다. 40Gb/s의 고속 통신 링크에서 데이터는 4개의 10Gb/s 전송 라인으로 전송된다. 본 연구는 2010년 9월 완성을 목표로 IEEE P802.3ba에서 표준화 과정 중에 있는 40Gb/s 이더넷 MAC/PHY 의 한 부분으로 수행^[1]되는 40Gb/s 백플레인 이더넷 성능을 향상시키기 위하여 수신등화기를 제안하기 위한 것이다. 그러

기 위해서는 우선 전송등화기, 채널 그리고 수신등화기로 구성되는 시뮬레이터가 필요한데 사전 수행으로 컴퓨터에 의한 전송채널 시뮬레이터 모델링에 관한 것이다.

FR4 백플레인의 40 인치 트레이스 상에서 40 Gb/s의 고속 신호 전송은 현재 IEEE P802.3ba 표준에 간여하고 있는 통신 시스템 설계자와 물리계층 디바이스 (PHY) 트랜시버 벤더에게 중요한 관심사이다. 40 Gb/s 백플레인 이더넷 표준은 40 Gb/s의 데이터 전송을 현재 40인치 FR-4 (frame retardant four) 백플레인

* 본 연구는 지식경제부 및 정보통신연구진흥원의 IT 원천기술개발사업의 일환으로 수행한 연구로부터 도출된 것입니다. [과제관리번호 : 2008-F-017-01, 과제명 : 100Gbps 급 이더넷 및 광전송기술개발]

* 한국전자통신연구원 광인터넷연구부 광전송기술연구팀 책임연구원(cryang@etri.re.kr)

** 충남대학교 전기정보통신공학부, 전자공학과

논문번호 : KICS2009-10-464, 접수일자 : 2010년 10월 19일, 최종논문접수일자 : 2010년 3월 24일

(36 inch trace, connector and two 2 inch daughter cards)에서 10Gb/s, 4 라인 (lane)에서 10^{-12} BER (bit error rate)을 갖도록 요구한다. 따라서 IEEE 40GBASE-KR4 표준 (IEEE P802.3ba) 개발은 FR-4 백플레인에서 XLAUI (40Gigabit Attachment Unit Interface) 유사신호의 전송을 40 인치까지 보증하는 것이다.

채널은 자주 왜곡되고 전송된 신호에 랜덤 노이즈가 유입된다. 이들 채널 왜곡은 결국 Inter-Symbol Interference (ISI)가 되고, 보상하지 않으면 BER을 발생한다. ISI는 최대 전송거리 및 백플레인 데이터 전송의 데이터 속도를 제한하는 주요한 인자이다 ISI는 진폭감쇄 (amplitude attenuation) 및 그룹 지연 왜곡 (group delay distortion) 같은 채널 손상에 의해 발생한다. 네트워크 채널에서 발생하는 ISI를 제거하기 위하여 등화기술이 요구되는데 등화기 설계 후 성능검증을 위해서는 수행하는 40 Gb/s 전송채널 채널에 대한 시뮬레이션^[2]이 우선되어야 한다. 그러한 고속 송수신 시뮬레이션 시스템은 그림 1에 보인 것과 같이 전송장치, 백플레인 및 수신장치를 연결하는 방법으로 구축된다. 이를 실제 하드웨어적으로 구축하는 것이 그림 2와 같이 4 라인 40 Gb/s 라인 백플레인 전송 시스템을 보여준다. 백플레인 채널에 있어서 송신부를 통해 나온 고속 신호는 패드를 거쳐서 칩 패키지를 통해 백플레인 패턴을 지나게 된다. 채널을 구성하는 각 부분의 특성에 대하여 기술한다.

이를 위해 본 논문의 II장에서 40 Gb/s 전송채널

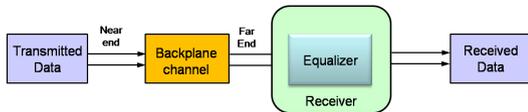


그림 1. 전송 채널의 구조
Fig. 1. Structure of transmission channel

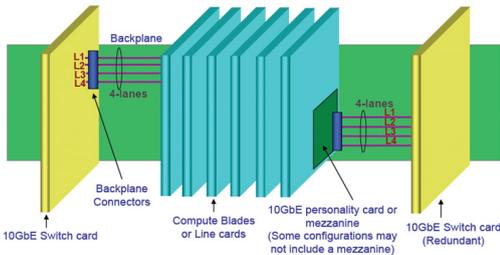


그림 2. 10Gb/s × 4 라인의 40Gb/s 백플레인 전송 시스템
Fig. 2. 40Gb/s backplane transmission system having 4 lanes 10 Gb/s

시뮬레이션 모델링에 대하여 기술하고, III장에서 CST (Computer Simulation Technology) 및 ADS (Advanced design simulator) 툴을 이용하여 수행된 전체 백플레인 채널 시뮬레이션에 대한 결과를 기술하고, 끝으로 IV장에 결론을 맺는다.

II. 40Gb/s 전송채널 시뮬레이션 모델링

2.1 백플레인 채널 모델

최근에는 데이터 속도가 날로 높아지고 통신장비의 통합으로 인해 수 Gb/s에서 수십 Gb/s까지 전기적 백플레인 및 PCB 전송속도가 급속도로 증가하고 있다. 기존 백플레인에는 평면 (lumped) 회로모델과 PCB 상에서 상호접속은 부적합하다. 측정된 S-parameter가 PCB 신호 통합 해석 및 백플레인 트랜지머 설계에서 빠르게 표준 방법^[2]이 되고 있다.

그림 3은 하드웨어적 백플레인 채널 모델링을 위하여 34 인치 백플레인 트레이스를 갖는 대표적인 Tyco 34인치 (30 인치 트레이스 2 개의 커넥터 및 2개의 2 인치 도터 카드) 백플레인의 실제 형상과 실험 셋업을 보여준다. 본 시뮬레이션을 위한 백플레인 채널 모델은 백플레인 트레이스가 4 인치 더 긴 34 인치 백플레인 트레이스와 2 커넥터 및 2 도터 카드 트레이스 (daughter card trace)를 포함하는 총 40 인치의 트레이스 길이를 갖는다.

본 논문에서는 44 인치 (약 1m)의 백플레인 채널구조이다. 그림 4는 40 인치 길이의 백플레인 트레이스와 2개의 2 인치 도터 카드 트레이스를 디퍼런셜 스트립 라인 (differential strip line) 구조로 설계하였다. 40 Gb/s 이더넷에 정의된 구조는 10 Gb/s의 디퍼런셜



그림 3. Tyco 34인치 백플레인 및 실험 셋업
Fig. 3. Tyco 34 inch backplane and experimental setup

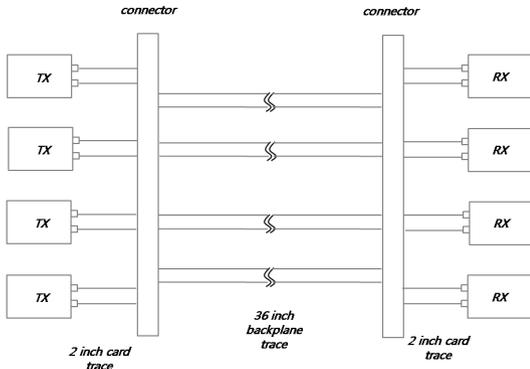


그림 4. 설계된 백플레인 구조
Fig. 4. Design of backplane

스트립 라인이 병렬로 4개가 연결되어 총 40 Gb/s를 구성하도록 설계하였다. 따라서 각 스트립라인의 종단간 (end-to-end) 모델은 10 Gb/s를 제공하고, 병렬로 연결된 모든 채널을 이용할 경우 총 40 Gb/s를 제공하도록 설계하였다.

일반적으로 총괄 회로 (lumped)를 구하여 설계하는 것은 실제 스트립 라인 구현 시 오차가 발생할 수 있기 때문에, 보다 정확한 설계를 위하여 3D 시뮬레이션 툴 (Micro Wave Studio, CST사)을 이용하여 채널을 모델링 하였다.

TX (transmitter)에서 보내는 신호는 패드를 거쳐 패키지를 통해 2 인치 도터 카드 트레이스와 커넥터, 36 인치 백플레인 트레이스를 통하여 RX (receiver)로 전송된다. 커넥터는 MOLEX사의 10 Gb/s 커넥터로서 Gbx-itrac을 사용하였고, 패키지는 Maxim사에서 제작한 10 Gb/s Equalizer MAX3804에서 사용된 T1633F-3 칩 패키지를 사용하였다. 패드는 단일 커패시터 (capacitor)를 이용하여 모델링 하였고, 채널의 대역폭을 떨어뜨린다.

2.2 백플레인 트레이스

2.2.1 백플레인 및 도터 카드 트레이스 구조

그림 5는 설계된 백플레인 트레이스의 구조^{[3],[4]}이다. 백플레인과 같은 고속의 데이터 전송을 위해서는 일반적으로 디퍼런셜 구조의 스트립 라인을 사용한다. 디퍼런셜 스트립 라인으로 구성된 각 페어는 100 ohm의 디퍼런셜 저항을 만족한다.

백플레인은 보통 스트립 라인이 커넥터에 연결된다. 전송 라인 이론에 따라 스트립 라인은 시리얼 임피던스 (serial impedance)와 셉트 어드미턴스 (shunt admittance)로 분리된다^[2].

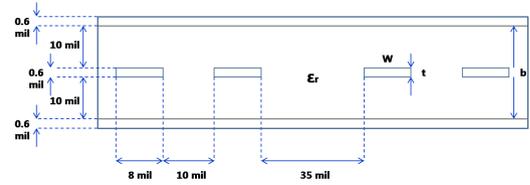


그림 5. 설계된 스트립 라인 구조
Fig. 5. Design of strip-line

$$z = j2\pi f \mu_0 g_1 + 2g_2 \sqrt{j \frac{2\pi f \mu_0}{\sigma}} \quad (1)$$

$$y = j2\pi f \epsilon_0 (j\epsilon_r^{eff} + \epsilon_r \tan \delta) / g_1 \quad (2)$$

여기서 z , y 는 각각 단위 길이당 임피던스, 단위 길이당 어드미턴스이고, g_1 , g_2 는 전송 라인 평면 (geometry)에 의해 결정된 파라미터이다. 특성 임피던스는 식 (1), (2)로부터 유도된다.

스트립 라인의 특성 임피던스는 식 (3)으로부터 얻을 수 있다.

$$Z_{stripline} = \frac{60}{\sqrt{\epsilon_r}} \ln \left[\frac{4 \times b}{0.67\pi W \left(0.8 + \frac{t}{W}\right)} \right] \quad (3)$$

각 스트립 라인은 폭을 8 mil로, 인접한 스트립 라인을 10 mil의 간격을 두고 설계하였다. 각 스트립 라인의 두께는 0.6 mil이고, 유전체의 두께는 20.6 mil로 설계하였다. 스트립 라인의 다른 페어 (pair) 간의 거리는 35 mil로 두었다. 일반적으로 다른 스트립 라인 페어는 멀리 있을수록 크로스토크에 의한 영향이 줄어들는데, 본 연구에서는 채널에서 생길 수 있는 영향을 고려하기 위하여 다음과 같이 채널을 모델링 하였다. 이와 같이 3D 시뮬레이션 툴을 이용하여 2 페어의 디퍼런셜 스트립 라인을 설계하였고, 이를 다시 4 페어의 디퍼런셜 스트립 라인으로 확장하였다.

2.2.2 채널의 S-parameter

백플레인 채널에서 트레이스의 길이는 송신 데이터의 전력이 얼마나 멀리 수신단에 전송되는지를 결정하는 중요한 요소이다. 전송되는 데이터 신호는 전송 과정에서 채널에 흡수되거나 열로서 빛 에너지 형태로 방출된다. 따라서 채널의 길이가 길수록 송신 데이터의 크기가 줄어들게 된다. 일반적으로 백플레인 채널의 설계 시 백플레인 트레이스는 도터 카드 트레이스에 비하여 길이가 훨씬 길기 때문에, 본 연구에서는

백플레인 트레이스 길이에 대비한 신호의 감쇄 정도를 알아보기 위하여 앞에서 정한 구조를 바탕으로 CST로 설계한 4 페어 스트립 라인의 길이를 20 인치, 30 인치, 40 인치의 각 페어에 대한 삽입손실 (insertion loss)과 반사손실 (return loss)을 각각 측정하였다. 반사손실은 스트립 라인의 입력포트에서 입사 신호의 전압과 반사전압의 비가 되고, 삽입손실은 입력 포트의 입사신호 전압과 출력 포트에 전달되는 신호전압의 비가 된다. 따라서 각 길이에 대한 반사손실과 삽입손실을 통하여 트레이스의 길이에 따른 주파수 별 채널의 감쇄 정도를 확인할 수 있다. 본 연구에서는 4개의 디퍼런셜 스트립 라인을 가정하였기 때문에 각 페어에 대한 채널의 감쇄 정도를 확인하였다.

그림 6은 길이 16 인치를 갖는 스트립 라인의 반사 손실과 삽입 손실을 나타낸 것이다. 첫 번째 그림이 반사 손실이고, 두 번째 그림이 삽입 손실이다. 가장 짧은 길이로 가정한 16 인치의 스트립 라인은 여기서 가정하는 10 GHz의 위치에서 약 -20 dB의 감쇄를 갖는 것을 확인할 수 있다.

그림 7과 그림 8은 20 인치와 24 인치의 길이를 갖는 스트립 라인에 대하여 삽입 손실과 반사 손실을 각각 나타낸 것이다. 첫 번째 그림이 반사 손실이 되고, 두 번째 그림이 삽입 손실이다. 두 그림에서 삽입 손실은 길이가 10 GHz에서 약 -25 dB와 약 -30 dB의 감쇄 정도를 각각 갖는 것을 확인할 수 있다.

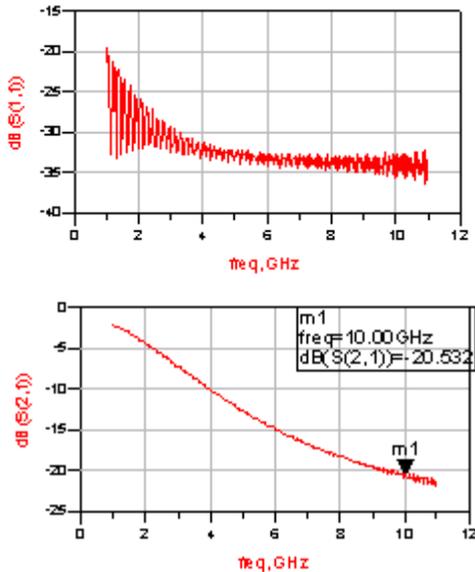


그림 6. 길이 16 인치의 스트립 라인에 대한 S-parameter 결과
Fig. 6. S-parameter on 16 inch length strip line

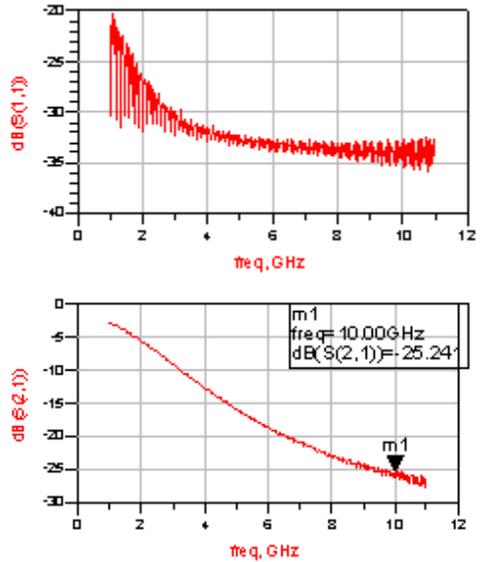


그림 7. 길이 20 인치의 각 스트립 라인에 대한 S-parameter 결과
Fig. 7. S-parameter on 20 inch length strip line

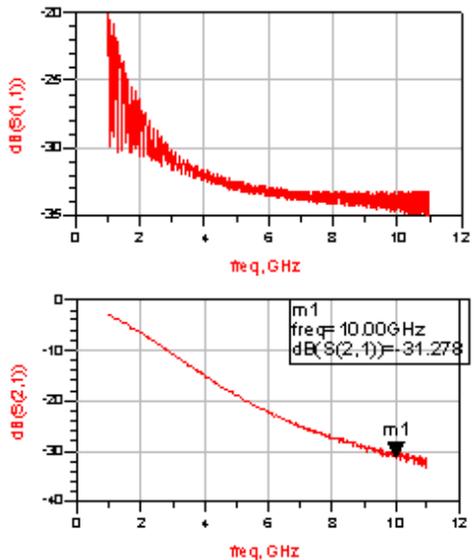


그림 8. 길이 24 인치의 스트립 라인에 대한 S-parameter 결과
Fig. 8. S-parameter on 24 inch length strip line

그림 9 및 그림 10은 본 연구에서 제안한 트레이스 구조로 설계한 각각 34 인치와 40 인치의 스트립 라인에 대한 S-parameter 결과를 나타낸 것이다. 이 결과에서 확인할 수 있듯이 삽입 손실은 각각 10 GHz의 주파수에서 -41.75 dB와 -47.74 dB가 되는 것을

확인할 수 있다. 여기서, 백플레인 트레이스의 길이가 길어질수록 삽입 손실이 커져 감쇄가 심한 것을 확인할 수 있다. 본 연구에서 제안된 구조인 40 인치 백플레인 트레이스에서 최대 약 50 dB까지 감쇄하는 것을 볼 수 있다. 또한 주파수가 높아질수록 삽입 손실의 변동 폭 또한, 증가하는 것을 알 수 있다.

이상과 같이 본 연구에서 제안한 구조의 백플레인 트레이스의 길이를 각각 다르게 설계하여 그림 11과

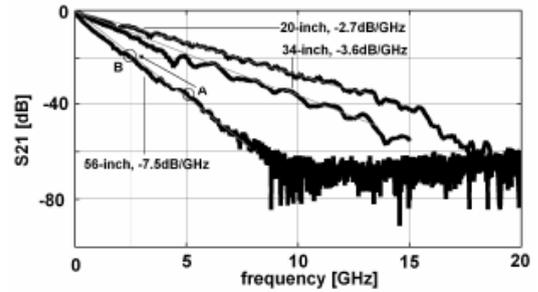


그림 11. 20 인치, 34 인치, 56 인치 스트립 라인에 대한 삽입 손실
Fig. 11. Insertion loss on each 20, 34, and 56 inch length strip line

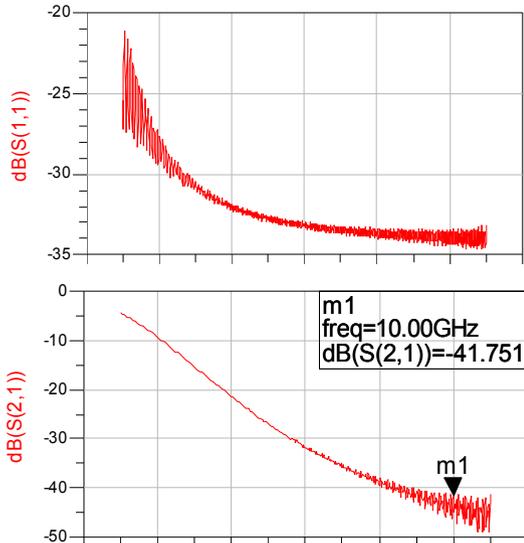


그림 9. 길이 34 인치의 스트립라인에 대한 S-parameter 결과
Fig. 9. S-parameter on 34 inch length strip line

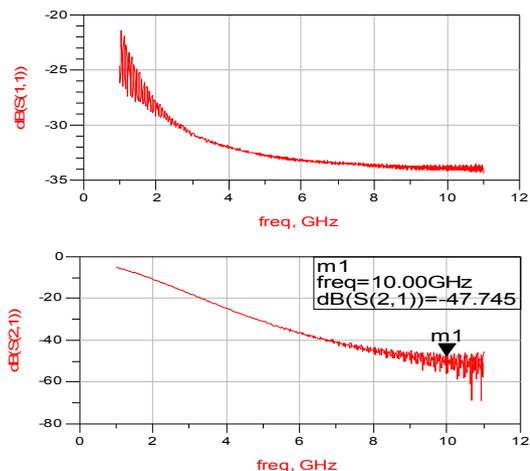


그림 10. 길이 40 인치의 스트립 라인에 대한 S-parameter 결과
Fig. 10. S-parameter on 40 inch length strip line

비교하여 성능차이가 있는지에 대해 비교하였다. 그림 11은 본 연구에서 제안한 구조와 비교하기 위해 백플레인 트레이스의 스트립 라인의 길이가 각각 20 인치, 34 인치, 56 인치 일 때의 삽입 손실을 구한 것이다. 비교 결과, 기존 연구의 예^[5]로서 그림 11과 비교하면 사용한 톨의 차이로 인하여 근소한 차이는 있으나, 근사한 성능을 보이는 것을 확인하였다.

2.3 커넥터 (Connector)

10GBASE-KR을 만족시키는 백플레인 용 커넥터로 MOLEX사의 Gbx-Itrac connector^[6]를 사용하였다. 여기서 사용한 커넥터의 주파수 별 특성은 그림 12에 나타내었으며, 10 GHz에서 최대 -3 dB 정도 감쇄함을 알 수 있다. 그림 12에서 S21 파라미터는 상단에 위치한 그래프로 상대적으로 손실이 주파수가 커지더라도 떨어지지 않는 것을 확인할 수 있다.

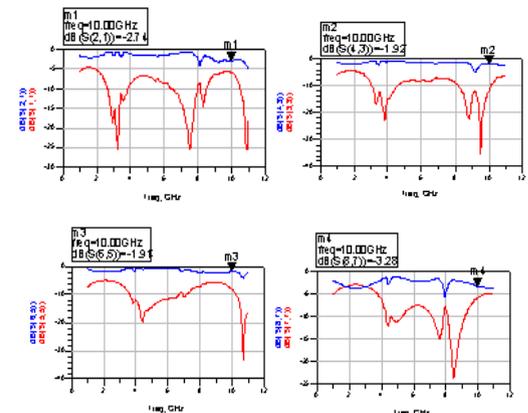


그림 12. 주파수 별 커넥터의 영향
Fig. 12. impact of connector each frequency

2.4 패키지 및 패드 (Package and Pad)

일반적으로 패키지와 패드는 칩 사이즈가 결정된 후 이를 기반으로 패키지 회사와 PCB 회사에서 제작을 하게 된다. 여기서는 채널의 시뮬레이션을 위하여 칩으로 설계되어 있는 MAX3804의 T1633F-3 패키지를 사용하였고, 패드는 10 GHz에서 50 ohm의 임피던스 (Impedance) 값을 갖도록 0.318 pF로 설계하였다.

그림 13은 MAXIM사의 MAX3804 등화기에 대한 패키지 모델을 나타낸 것이다⁷⁾. 그리고, 그림 14는 이 패키지 모델과 커패시터로 구성된 패드의 주파수에 대응하는 S-parameter 결과 값을 나타낸 것이다. 그림 15는 커패시터로 구성한 패드의 임피던스 값 (10 GHz에서)을 주파수를 변화시키면서 모니터링한 것을 보여준다.

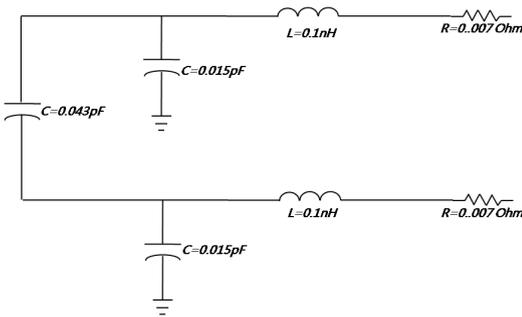


그림 13. 패키지 모델 (T1633F-3 RLC 모델링)
Fig. 13. Package model

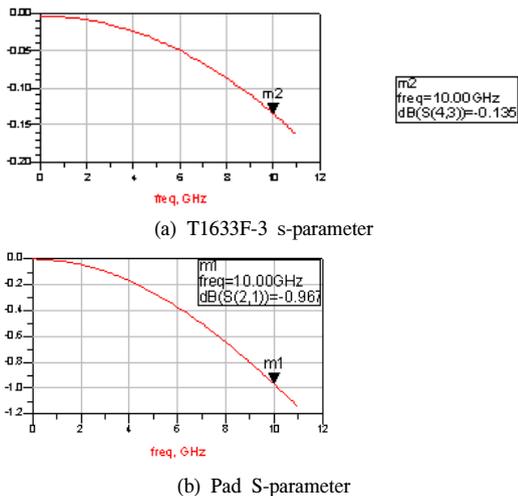


그림 14. 패키지와 패드의 주파수에 대응하는 S-parameter 결과
Fig. 14. S-parameter to frequency of package and pad

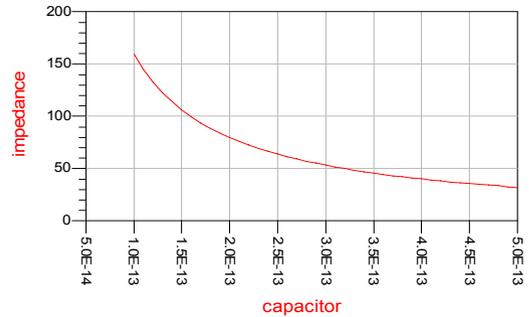


그림 15. 패드의 커패시턴스 (capacitance) 값에 대한 임피던스 값 (at 10 GHz)
Fig. 15. Impedance to capacitance of pad at 10 GHz

III. 전체 백플레인 채널 시뮬레이션 결과

3.1 모델링 및 검증

백플레인 채널을 모델링 하기 위하여 앞에서 이미 기술한 네 가지의 커넥터와 패키지, 패드 및 트레이스 등 모델로 백플레인을 구성하여 조사, 분석 및 모델링을 수행하였다. 따라서 본 장에서는 전체 백플레인 채널 시뮬레이션 (over all backplane channel simulation)을 위하여 각각의 구성요소가 포함된 총 44 인치 길이의 백플레인 채널을 구성하고, CST와 ADS 툴을 이용하여 이에 대한 특성분석을 하였다. 이 분석 결과로부터 40 Gb/s 이더넷 백플레인을 위한 40 인치 이더넷 백플레인 채널의 성능이 IEEE P802.3ba 표준에 부합하는지 기존 결과^{5,8-11)}와 비교를 통해 검증할 것이다.

0.05 GHz~15 GHz의 전송 주파수를 사용하는 백플레인 채널의 삽입 손실 조건을 구할 때 사용하는 파라미터¹¹⁾를 바탕으로 최대 감쇄량은 식 (4)로 표현된

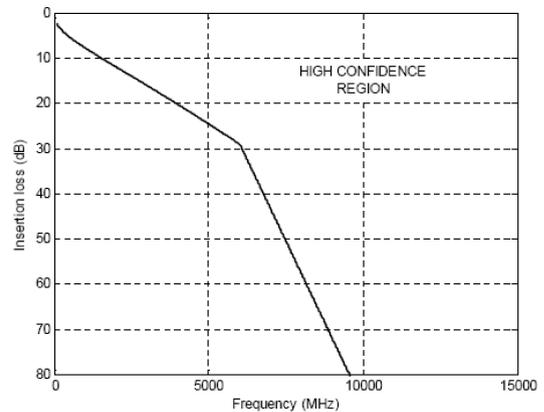


그림 16. 10GBASE-KR의 삽입손실 범위
Fig. 16. Insertion loss limit for 10GBASE-KR

다. 또한, 식 (4)로부터 표준에서 제안한 삽입손실의 제한범위는 식 (5)와 같다. 그림 16은 식 (5)를 그래프로 나타낸 것이다.

$$A_{\max}(f) = 20\log_{10}(e) \times (b_1\sqrt{f} + b_2f + b_3f^2 + b_4f^3) \quad (4)$$

$$I_{\max}(f) = A_{\max}(f)0.8 + 2.0 \times 10^{-10}f_2 + 1 \times 10^{-8}(f - f_2) \quad (5)$$

3.2 반사손실 및 삽입손실 (Return loss and Insertion loss)

설계된 백플레인 채널 구조에 대하여 반사손실과 삽입 손실을 측정하였다. 반사손실은 송신단의 입력 포트에서 입사신호 전압과 반사 전압의 비가 되고, 삽입 손실은 송신단에서의 입사신호 전압과 수신단에 전달되는 신호의 전압의 비가 된다.

그림 17에서 각 채널에서의 반사 손실은 주파수가 증가할수록 증가하고, 삽입 손실은 주파수에 대비하여 감소됨을 확인할 수 있다. 이는 길이가 백플레인 트레이스의 길이가 길어질수록 신호가 감쇄가 됨을 알 수 있고, 또한 백플레인을 구성하고 측정함으로써 커넥터, 패드, 도터 카드에 의해 일부 신호가 감쇄됨을 확인할 수 있다. 따라서 그림 17에서 나타낸 신호의 감쇄는 모든 영역에서의 감쇄 정도가 포함되어 있고, 또

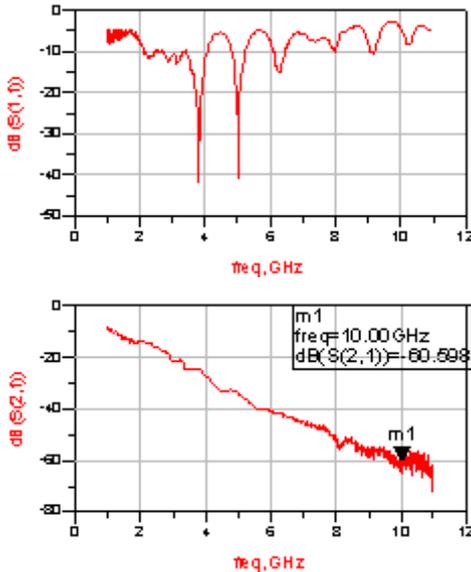


그림 17. 백플레인 채널에 대한 S-parameter 결과
Fig. 17. Result of S-parameter on backplane channel

한 이 신호에는 크로스토크 성분이 포함되어 있기 때문에 일정하게 감쇄되지 않음을 확인할 수 있다.

3.3 채널 펄스 응답

그림 18은 참고문헌 [9]에서 측정한 34 인치 백플레인 채널의 펄스응답을 보여준다. 그림 18에서는 34인치 백플레인 단일 채널에 대한 3.125 Gb/s, 6.25 Gb/s, 10 Gb/s의 전송률을 갖는 펄스 응답 결과이다. 이 결과로부터 데이터 전송률이 높아질수록 전송 채널에 영향을 많이 받게 되어 상대적으로 많은 성분의 pre-cursor와 post-cursor 성분을 갖게 되는 것을 확인할 수 있다.

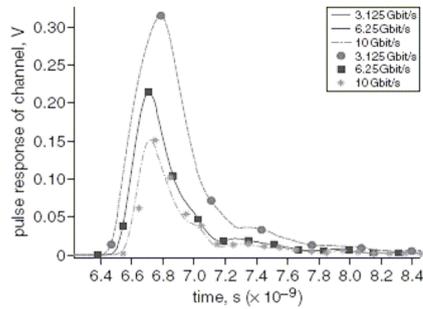


그림 18. 데이터 전송률에 따른 펄스응답
Fig. 18. Pulse response according to the data transmission rate

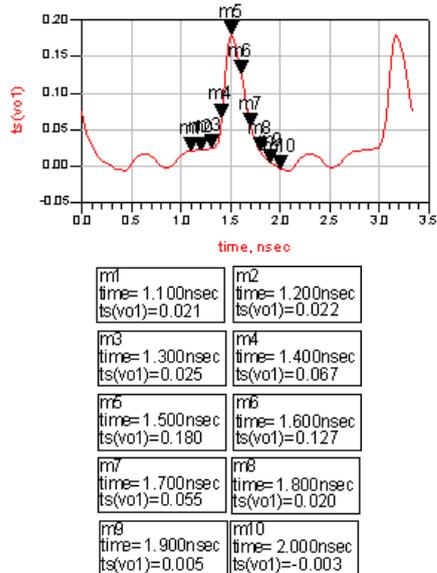


그림 19. 백플레인 채널의 디퍼런셜 페어에 대한 펄스 응답 결과
Fig. 19 Pulse response to differential pair for backplane channel

앞에서 설계한 40 인치 채널 모델에 대하여 채널의 펄스 응답을 확인하였다. 이는 채널의 상태를 확인하기 위한 것으로, 송신단에 1 volt의 피크 값(peak-to-peak)를 갖는 펄스 신호를 인가했을 때 채널의 출력을 펄스 응답을 이용하여 측정하였다.

그림 19에 나타난 파형은 백플레인 채널에 펄스 응답을 인가한 결과이다. 이를 0.1 ns의 간격으로 샘플링을 하고, 이 값을 취한 것이다. 위 각각의 그림에서 왼쪽은 파형이고, 넘버링 되어 있는 부분이 각 샘플에서의 값이다. 각 파형은 각 스트립 라인에 대한 파형이 되고, 이 파형을 통하여 채널의 펄스 응답을 획득한다. 따라서 이 시뮬레이션을 통해 모니터링된 펄스 응답을 가지고 채널을 모델링 하게 된다. 참고로, 전송 채널 시뮬레이션 구성은 그림 20과 같다.

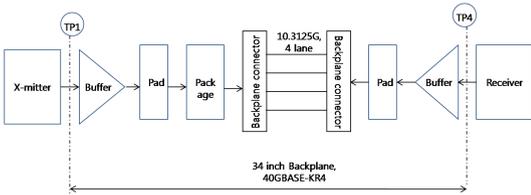


그림 20. 전송채널 시뮬레이션 구성
Fig. 20. Configuration of experimental setup of Transmission channel

3.4 시뮬레이션 결과

그림 21은 CST 툴에서 설계한 34 인치 백플레인 채널의 측정된 삽입손실이다. 측정 시뮬레이터의 차이가 있어 동일하지는 않지만, 주파수 별 특성이 유사함을 알 수 있다.

그림 22는 참고문헌[8]에서 6.25 Gb/s 결정 궤환 등화기(decision feedback equalizer) 설계를 위해 사용한 백플레인 시스템에서 채널 삽입 손실을 보여준다.



그림 21. 제안한 구조로 측정된 34 인치 백플레인 채널의 삽입손실
Fig. 21 Insertion loss of 34 inch length backplane channel from proposed structure.

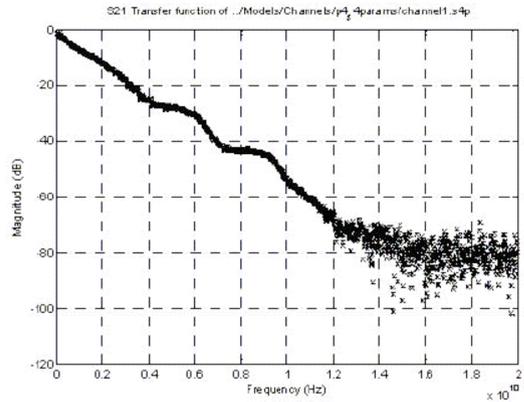


그림 22. 참고문헌 [8]에서 측정된 34 인치 백플레인 채널의 삽입손실
Fig. 22 Insertion loss of 34 inch length backplane channel in reference[8].

참고문헌[5]의 34 인치 백플레인 스트립 라인(1 pair)과 제안한 구조의 34 인치를 비교했을 때, 참고문헌 [5]의 경우 삽입손실이 약 36 ~ 38 dB정도를 보이며, 제안한 구조는 논문과 같은 길이의 1 페어를 설계했을 때 36.6 dB를 보였다.

참고문헌 [10]과 비교한 전체 백플레인 채널에 있어서는 참고문헌 [10]의 경우 1 페어 임에도 56 dB 이상을 보인 반면 제안한 구조의 4 페어 34 인치 백플레인 채널에서는 51 ~ 53 dB의 감쇄를 보였다. 펄스 응답에 관한 참고문헌 [11]의 34 인치 백플레인 채널에서 측정된 펄스 응답보다 제안한 구조의 40 인치 백플레인 채널에서 측정된 펄스 응답이 10 Gb/s에서 좀 더 높은 피크(peak) 값을 가짐을 확인 할 수 있었다. 따라서 제안한 전송채널은 고속 등화기의 성능을 분석하기에 적합한 결과로 판단하였고, 이를 토대로 40 Gb/s급 백플레인 이더넷에 수신 적응 등화기를 설계, 적용할 필요가 있다.

IV. 결론

본 논문에서는 IEEE802.3ba 기반의 40GBASE-KR4 표준 개발을 위한 40 인치의 백플레인 전송 채널에서 40 Gb/s 데이터를 어려없이 전송하기 위한 시뮬레이션 모델을 설계하고 검증하였다. 백플레인 전송 채널 모델은 4 라인의 백플레인 트레이스, 채널의 S-parameter, 패키지 및 패드 그리고 커넥터와 3차원 시뮬레이션 툴(CST), ADS 툴 등을 이용하였다. 시뮬레이션은 40 인치, 4 라인 스트립 라인 디퍼렌셜 페

어의 백플레인 채널을 갖는 표준 기반 컴퓨터 시뮬레이션 모델에서 수행되었다. 4 라인 스트리프 라인 디퍼런셜 페어로 총 40 인치 백플레인 채널을 구성한 백플레인 전송채널을 컴퓨터 시뮬레이션한 결과를 제시하였다. 시뮬레이션 결과는 백플레인 채널의 S-parameter와 채널 펄스 응답을 포함한다. 본 논문에서 제안한 백플레인 전송채널은 40 Gb/s급 고속 수신등화기를 설계하기 위한 시뮬레이터의 채널모델로 적합한 결과로 확인되었으며, 이를 토대로 40 Gb/s급 백플레인 이더넷을 위한 수신 적응 등화기의 설계가 가능하다.

참 고 문 헌

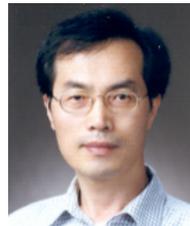
- [1] IEEE Std 802.3ba draft2.2, "CSMA/CD Access method and Physical Layer Specifications, Amendment : Access Control Parameters, Physical layers and Management Parameters for 40 Gb/s and 100 Gb/s Operation," Sep. 2009.
- [2] Dianyong, "A Simulator for High-Speed Backplane Transceivers," pp.589-593, *UKSim 2009: 11th International Conference on Computer Modeling and Simulation*, March 2003.
- [3] 이재욱, 순방향 신호 크기 제어방식과 디지털 제어 방식을 사용하는 고속 등화기 시스템과 등화 방법, 10-0620865, 2006.8.30.
- [4] <http://www.logicell.com/~jean/LVDS/>.
- [5] D. Chen, B. Wang, B. Liang, D. Cheng, and T. Kwasniewski, "A NOVEL CMOS EDGE EQUALIZER FOR 10-GB/S HIGHLY LOSSY BACKPLANE", *24th Biennial Symposium on Communications*, 2008.
- [6] www.molex.com/Molex Gbx-Itrac connector, S-parameter data.
- [7] MAX3805, 10.7Gbps Adaptive Receive Equalizer.
- [8] Mingzhu Zhou, En Zhu, Shoujun Wang, Zhigong Wang "A 6.25 Gb/s Decision Feedback Equalizer used in SerDes for High-speed Backplane Communications", *ICMMT'07: International Conference on Microwave and Millimeter Wave Technology*, 2007.
- [9] M. Li, S. Wang, Y. Tao and T. Kwasniewski,

"FIR filter optimization as pre-emphasis of high-speed backplane data transmission" *IEE, Electronics Letters online* no: 20040567, March. 2004.

- [10] D. Chen, B. Wang, B. Liang, D. Cheng and T. Kwasniewski, "Decision-Feedback- Equalizer for 10-Gb/s Backplane Transceiver for Highly Lossy 56-inch Channels," *ICCCAS 2008*.
- [11] M. Li, S. Wang, Y. Tao and T. Kwasniewski, "FIR filter optimization as pre-emphasis of high-speed backplane data transmission" *IEE, Electronics Letters online* no: 20040567, March. 2004.

양 충 열 (Choong-reol, Yang)

정회원



1983년 건국대학교 전자공학과 학사

1998년 충남대학교 대학원 전자공학과 (석사 통신 및 제어 전공)

2007년 충남대학교 대학원 전자공학과 박사

1992년 6월~현재 한국전자통신연구원 광인터넷연구부 광전송기술연구팀 책임연구원

<관심 분야> 광통신, 광패킷스위칭, 광인터넷

김 광 준 (Kwang-joon Kim)

정회원



1981년 서울대학교 자연과학대학 물리학과 이학사

1983년 서울대학교 대학원 물리학과 (이학석사 고체이론 전공)

1993년 미국 Ohio State University 물리학과 (이학박사, Conducting Polymer/비선형 광학 전공)

1984~현재 한국전자통신연구원 인터넷연구부 광인터넷연구부 광전송기술연구팀 팀장/책임연구원

<관심분야> 파장분할 다중화 광통신 기술, 고속 광전송 기술, 광패킷 스위칭 기술, ROADM 시스템 기술, 고속 이더넷 기술

김 환 우 (Whan-woo Kim)

중신회원



1977년 2월 서울대학교 전자공
학과 학사

1979년 2월 한국과학기술원 전
기전자공학과 석사

1988년 6월 University of
Utah, USA (Ph. D)

1979 년~현재 충남대학교 전
자공학과 교수

<관심분야> 신호처리, 디지털통신, 이동통신