

CORDIC 알고리즘을 이용한 QPSK 디지털 수신기의 위상 복원 및 진폭 보상 방안

준회원 서 광 남*, 정회원 김 중 훈*

A Phase Recovery and Amplitude Compensation Scheme for QPSK All Digital Receiver Using CORDIC Algorithm

Kwang-nam Seo* Associate Member, Chong-hoon Kim* Regular Member

요 약

QPSK 디지털 수신기는 전송 경로 또는 송수신기 간의 클럭 차이에 의해 발생하는 위상 편차를 보정하기 위해 위상 복원 방안이 필요하다. 널리 사용되고 있는 디지털 Costas 위상 복원 루프는 입력신호의 주파수/위상 복원 성능이 입력 신호의 전력에 따라 달라지므로 별도의 자동 이득조정(AGC) 루프가 필요하고, 이는 하드웨어 구현 시 시스템의 복잡도와 사용 자원을 증가시킨다. 본 논문에서는 입력 전력에 관계없이 일정한 위상 보정 기능을 수행할 수 있으며 타이밍 복원을 위한 AGC를 동시에 제공할 수 있는 위상 보정 및 진폭 보상 방안을 제안하였다. 제안된 방안은 CORDIC 알고리즘을 사용하여 입력 신호의 위상 및 진폭 정보를 분리하여 각각 처리하며 시스템의 복잡도 및 사용 자원을 대폭 절감할 수 있으며, C++ 및 Model Sim을 사용한 모의실험을 통해 본 논문에서 제안한 위상 복원 루프의 동작을 검증하였다.

Key Words : Vectoring mode CORDIC, Rotaion mode CORDIC, Costas Phase Recovery Loop, Timing Recovery Loop, QPSK

ABSTRACT

For All Digital QPSK receivers, a phase recovery scheme is required to fix the arbitrarily rotated I/Q quadrature signals due to the transmission path and clock mismatch between the transmitter and the receiver. The conventional Costas phase recovery loop scheme requires a separate AGC(Automatic Gain Control) to obtain the performance independent of input signal power. This paper proposes a simple scheme which separates the phase and amplitude of the input signal via CORDIC algorithm and performs the phase recovery and amplitude compensation simultaneously. The proposed scheme can considerably reduce the logic resources in hardware implementation, has been verified by C++ and Model Sim simulations.

I. 서 론

일반적으로 QPSK 디지털 수신기에서는 입력 신호를 복원하기 위해 Costas 위상 복원 루프를 사용하고, Costas 위상 복원 루프에는 입력 신호의 주파수/위상 복원을 위한 NCO(Numerical Controlled Oscillator)

와 입력 신호의 크기 보상을 위한 AGC(Automatic Gain Controller)를 별도로 사용한다. 일반적으로 사용되는 NCO는 LUT(Look-Up Table)를 기반으로 동작을 하고, AGC는 검출기, 비교기, 보상기 등으로 구성된 별도의 루프를 형성하여 동작하며, 이러한 NCO와 AGC 루프의 사용은 하드웨어의 복잡도와 사용자

* 숭실대학교 정보통신전자공학부 무선통신시스템연구실 (knseo@ssu.ac.kr, chkim@ssu.ac.kr)
논문번호 : KICS2010-08-371, 접수일자 : 2010년 8월 2일, 최종논문접수일자 : 2010년 12월 9일

원을 증가시킨다.

본 논문에서 제안한 위상 복원 루프에서는 신호의 주파수/위상 복원 및 진폭 변화를 보상하기 위해 CORDIC(Co-Ordinate Rotation Digital Computer) 알고리즘을 사용한다. 일반적으로 신호의 크기와 위상을 계산하기 위해서는 square, root, arc-tangent 등의 복잡한 연산이 필요하고, 이를 FPGA(Field Programmable Gate Array)를 통해 구현하면 하드웨어 복잡도, 사용 자원 및 연산량이 증가하는 문제점들이 발생한다. 이러한 문제점들은 덧셈과 쉬프트(shift) 연산만으로 신호의 크기와 위상을 계산하는 CORDIC 알고리즘을 사용함으로써 해결할 수 있다. CORDIC (vectoring mode)과 LUT를 이용하면 적은 연산량과 사용 자원으로 입력 신호의 위상과 진폭 오차를 동시에 획득할 수 있고, 이러한 출력 값들을 이용하여 CORDIC(rotation mode)의 입력으로 사용함으로써 주파수/위상 복원 및 진폭 보상을 동시에 수행할 수 있다. 본 논문에서 제안한 위상 복원 루프는 주파수/위상 복원 및 진폭 보상 성능의 열화 없이 시스템의 복잡도를 감소시키고, 하드웨어 구현에 사용되는 자원을 감소시킨다.

II. Costas 위상 복원 루프

그림 1은 Costas 위상 복원 루프^{[1][2]}의 구조로 입력 신호의 크기 변화를 보상하기 위한 AGC 루프, phase rotator, 타이밍 복원 루프, 위상 오차 생성기, 루프 필터, 입력신호의 주파수/위상을 복원하기 위한 NCO 등으로 구성된다. 이때, 입력신호의 크기 변화를 보상하기 위한 AGC 루프는 전력 검출기, 비교기, 보상기 등으로 구성된 별도의 루프를 형성하게 되어 시스템의 복잡도를 증가시킨다.

일반적으로 위상 복원 루프의 입력신호는 다음과 같은 수식^[1]으로 표현할 수 있고,

$$r(t) = Ae^{j(2\pi\nu t + \theta)} \sum_i c_i g(t - iT - \tau) + w(t) \quad (1)$$

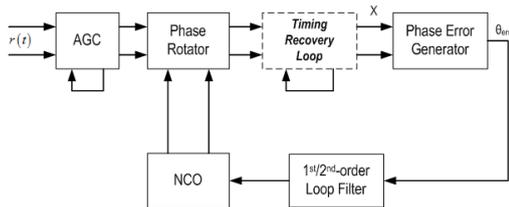


그림 1. Costas 위상 복원 루프

A, v, θ , τ , c_i , $w(t)$ 는 각각 진폭, 주파수, 위상, 타이밍, 데이터, 잡음을 나타낸다.

위상 복원 루프의 주파수/위상 복원은 타이밍 복원 루프^[3,4]에 의해 타이밍이 복원된 후에 정상 동작이 수행되기 때문에 위상 복원 루프의 성능은 타이밍 복원 루프의 획득 및 추적 성능에 의해 크게 좌우된다. 일반적으로 타이밍 복원 루프는 정합 필터, TED (Timing Error Detector), 루프 필터 등으로 구성되고, TED는 ELD(Early-Late Detector), GAD (Gardner Detector), ZCD(Zero-Crossing Detector), MLD (Maximum-Likelihood Detector) 등을 사용할 수 있다. Costas 위상 복원 루프의 위상 오차 생성기의 출력은 식 (2)^[1]와 같이 표현된다.

$$\Theta_{err} = \text{Im}\{XY^*\} \quad (2)$$

X와 Y는 각각 복소 신호로 X는 타이밍 복원 루프의 출력 신호이고, Y는 타이밍 복원 루프의 출력을 판정한 신호이다. 위상 오차 생성기의 출력 Θ_{err} 는 루프 필터를 통과하여 NCO로 입력되어 주파수/위상 복원 동작을 수행한다.

III. 제안된 위상 복원 루프

그림 2는 본 논문에서 제안한 위상 복원 루프의 구조로 phase rotator, 타이밍 복원 루프, 위상/진폭 오차 생성기, 루프 제어기, CORDIC(rotation mode) 등으로 구성되고, CORDIC 알고리즘을 사용함으로써 별도의 AGC 루프 및 NCO의 사용 없이 입력신호 크기 변화에 대한 보상과 주파수/위상의 복원을 동시에 수행한다.

위상/진폭 오차 생성기는 타이밍 복원 루프에 의해 타이밍이 복원된 데이터를 이용하여 위상/진폭 오차 정보를 생성하고, 이렇게 얻어진 정보는 위상/진폭 루프 제어기를 통해 CORDIC(rotation mode)으로 입력되어 주파수/위상 복원 및 진폭 보상을 동시에 수행한

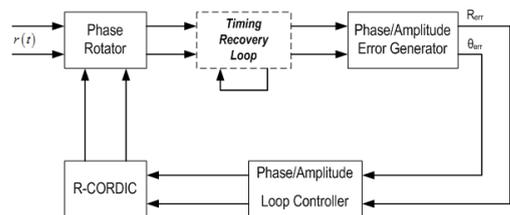


그림 2. 제안된 위상 복원 루프

다. 제안된 위상 복원 루프에서는 CORDIC(rotation mode)을 사용함으로써 주파수/위상 복원 및 진폭 보상을 위해 별도로 사용되는 NCO와 AGC 루프의 사용을 피할 수 있고, 이를 통해 구현 시에 사용 자원 및 복잡도를 감소시킬 수 있다.

3.1 Timing Recovery Loop

그림 3은 타이밍 복원 루프의 구조로 정합 필터, resampler, TED(Timing Error Detector), 루프 필터, timing controller 등으로 구성된다.

타이밍 복원 동작은 타이밍 오차 정보를 이용하여 다상필터 구조를 갖는 resampler의 index를 제어함으로써 수행되고, 타이밍 복원 루프의 구조를 최적화 하기 위해 정합필터와 resampler는 동시에 사용할 수 있다^[5].

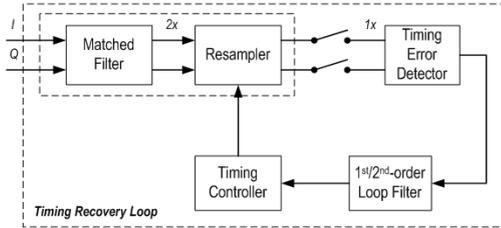


그림 3. Timing Recovery Loop

3.2 Phase/amplitude Error Generator

위상/진폭 오차 생성기는 그림 4과 같은 구조를 갖고 있고, CORDIC(vectoring mode), LUT(Look Up Table), Decision 블록으로 구성된다.

위상/진폭 오차 생성기의 동작은 그림 5와 같이 나타낼 수 있으며, 그림에서 점선과 실선은 타이밍 복원된 데이터에 대한 CORDIC(vectoring mode) 출력과 LUT의 출력이다. 본 논문에서 제안한 위상 복원 루프에 사용된 위상/진폭 오차 생성기는 타이밍 복원된 데

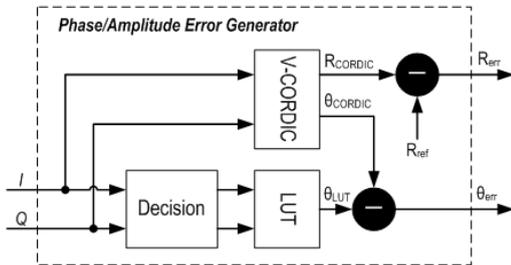


그림 4. Phase/Amplitude Error Generator

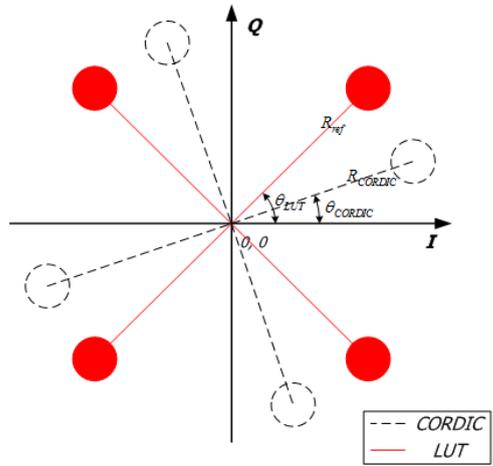


그림 5. Phase/amplitude Error Generator 개념도

이터에 대한 R 값과 θ 값을 직접 이용하여 주파수/위상 복원 및 진폭 보상 동작을 동시에 수행한다.

위상/진폭 오차 생성기의 출력인 θ_{err} 와 R_{err} 은 다음과 같은 수식으로 나타낼 수 있다.

$$\theta_{err} = \theta_{CORDIC} - \theta_{LUT} \quad (3)$$

$$R_{err} = R_{CORDIC} - R_{ref} \quad (4)$$

$$\text{where, } R_{ref} = K\sqrt{I^2 + Q^2}$$

θ_{CORDIC} 와 R_{CORDIC} 은 타이밍이 복원된 데이터에 대한 CORDIC(vectoring mode)의 출력이고, R_{ref} 는 식 (4)와 같으며 K는 CORDIC의 이득이다. 또한, 대한 θ_{LUT} 는 LUT에 저장된 값으로 QPSK 신호에 대한 LUT는 표 1과 같다.

표 1. QPSK 신호에 대한 LUT

QPSK (I, Q)	LUT 값
0 0	$\pi/4$
0 1	$-\pi/4$
1 0	$3\pi/4$
1 1	$-3\pi/4$

3.3 Phase/amplitude Loop Controller

그림 6는 위상/진폭 루프 제어기의 구조로 크게 진폭 오차 경로와 위상 오차 경로로 나눌 수 있고 루프 필터, 위상/진폭 오차 누산기 등으로 구성된다.

위상/진폭 오차 생성기의 출력인 위상 오차 θ_{err} 와

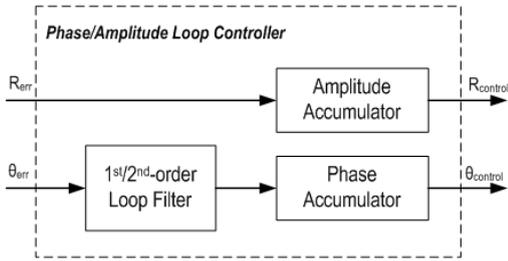


그림 6. Phase/amplitude Loop Controller

진폭 오차 R_{err} 는 각각 위상/진폭 루프 제어를 통해 CORDIC(rotation mode)으로 입력되고, 주파수/위상 복원 및 진폭 보상을 동시에 수행한다.

IV. 모의실험

본 논문에서 제안한 위상 복원 루프 동작은 C/C++ 및 HDL(Hardware Description Language)를 이용하여 검증 및 구현하였고, 모의실험을 위한 블록도는 그림 7과 같다. 본 모의실험을 위해 사용된 타이밍 복원 루프의 TED에는 ZCD를 사용하였고, resampler 및 정합 필터에는 roll-off 값 0.6을 갖고, 1024개의 계수를 갖는 다상필터 구조의 RRC(Root Raised Cosine) 필터를 사용하였다. 또한, 본 모의실험에서는 입력신호의 SNR(Signal-to-Noise Ratio)이 충분히 크다는 가정과 데이터의 타이밍이 보존되었다는 가정 하에 심볼당 2개의 샘플을 갖는 입력신호의 주파수/위상/진폭 변화에 따른 결과를 확인하였고, 이를 통해 본 논문에서 제안한 위상 복원 루프의 동작을 검증하였다.

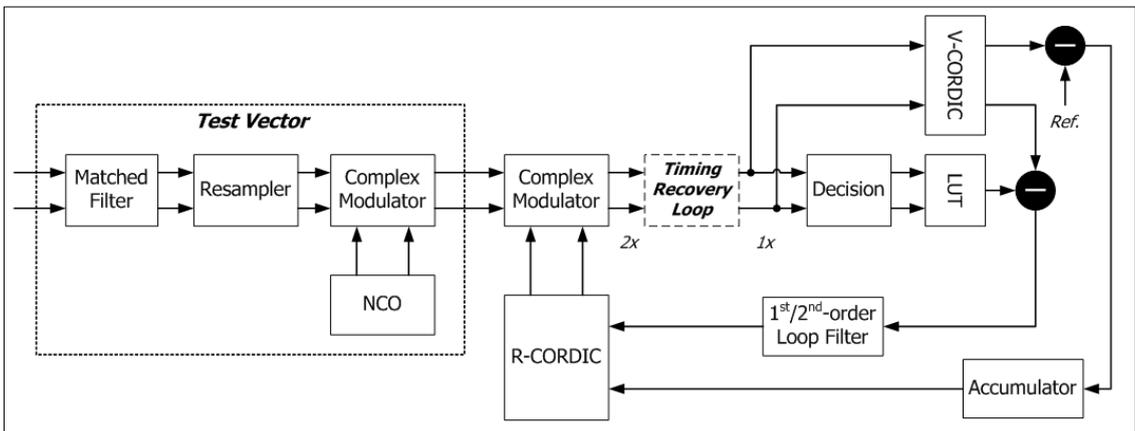


그림 7. 모의실험 블록도

4.1 C/C++를 이용한 모의실험

그림 8은 위상 복원 루프의 QPSK 입력과 출력의 성상도를 나타낸 그림으로 모의실험에 사용된 입력신호는 데이터의 크기가 2배로 감소하였을 때의 진폭 오프셋과 100ppm의 주파수 오프셋, $\pi/8$ 의 위상 오프셋을 갖는 입력신호와 그에 따라 복원된 출력신호를 나타낸 그림으로 출력신호의 과도구간은 제외하였다.

그림 9는 위상/진폭 루프 제어기의 입력인 위상 오차 θ_{err} 와 진폭 오차 R_{err} 를 나타낸 그림으로 위상 복원 루프의 정상적인 동작 의해 일정 샘플이 지난 후에는 0으로 수렴하는 것을 확인할 수 있다.

그림 10은 위상 복원 루프의 QPSK 입력과 출력의

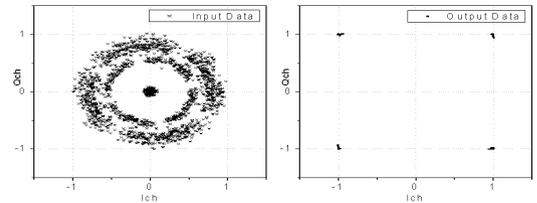


그림 8. Input/Output Constellation

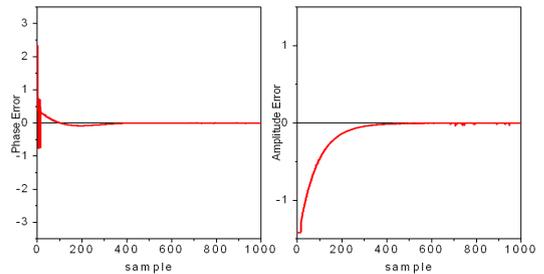


그림 9. Phase Error & Amplitude Error

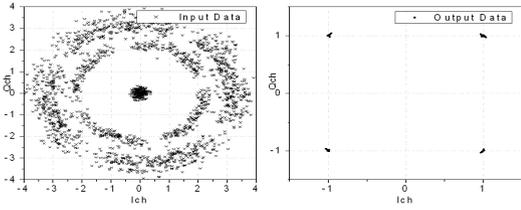


그림 10. Input/Output Constellation

성상도를 나타낸 그림으로 모의실험에 사용된 입력신호는 데이터의 크기가 2배로 감소하였을 때의 진폭 오프셋과 100ppm의 주파수 오프셋, $\pi/8$ 의 위상 오프셋을 갖는 입력신호와 그에 따라 복원된 출력신호를 나타낸 그림으로 출력신호의 과도구간은 제외하였다.

그림 11은 위상/진폭 루프 제어기의 입력인 위상 오차 θ_{err} 와 진폭 오차 R_{err} 를 나타낸 그림으로 위상 복원 루프의 정상적인 동작 의해 일정 샘플이 지난 후에는 0으로 수렴하는 것을 확인할 수 있다.

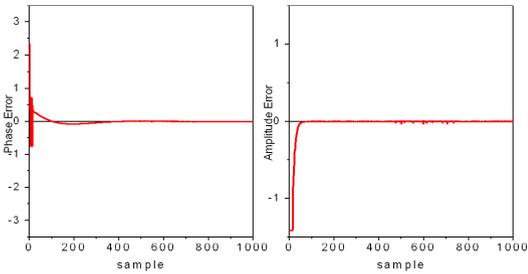


그림 11. Phase Error & Amplitude Error

4.2 HDL를 이용한 모의실험

본 논문에서 제안한 위상 복원 루프의 구현 및 HDL 검증을 위한 Target Device로는 xc5vsx35t를 사용하였고, 합성틀은 Xilinx XST, VHDL 모의실험 틀은 ModelSim SE 6.5d를 사용하였고, 구현 시에 사용된 자원은 다음의 표와 같다.

그림 12는 QPSK 신호에 대한 제안된 위상 복원 루프의 I/Q 입력신호와 출력신호를 전체 샘플에 대해

표 2. Device Utilization Summary

Logic Utilization	Used	Available	Utilization
# of Slice Registers	1532	21760	7 %
# of Slice LUTs	1710	21760	7 %
# of Block RAM/FIFO	1	84	1 %
# of DSP48Es	5	192	2 %

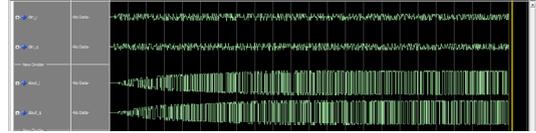


그림 12. 위상 복원 루프의 입력신호와 출력신호

나타낸 그림으로 입력신호의 크기가 2배 감소하였을 때의 진폭 오프셋과 100ppm의 주파수 오프셋, $\pi/8$ 의 위상 오프셋을 갖는 입력신호와 그에 따라 복원된 출력신호를 나타낸 그림이다.

그림 13은 위상/진폭 루프 제어기의 입력인 위상 오차 θ_{err} 와 진폭 오차 R_{err} 를 나타낸 그림으로 위상 복원 루프의 정상적인 동작 의해 일정 샘플이 지난 후에는 0으로 수렴하는 것을 확인할 수 있다.

그림 14는 QPSK 신호에 대한 제안된 위상 복원 루프의 I/Q 입력신호와 출력신호를 전체 샘플에 대해 나타낸 그림으로 입력신호의 크기가 2배 증가하였을 때의 진폭 오프셋과 100ppm의 주파수 오프셋, $\pi/8$ 의 위상 오프셋을 갖는 입력신호와 그에 따라 복원된 출력신호를 나타낸 그림이다.

그림 15는 위상/진폭 루프 제어기의 입력인 위상 오차 θ_{err} 와 진폭 오차 R_{err} 를 나타낸 그림으로 위상 복원 루프의 정상적인 동작 의해 일정 샘플이 지난 후에는 0으로 수렴하는 것을 확인할 수 있다.

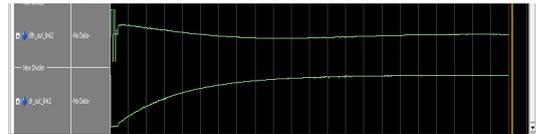


그림 13. Phase Error & Amplitude Error

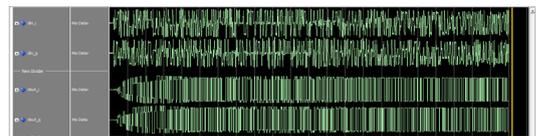


그림 14. 위상 복원 루프의 입력신호와 출력신호

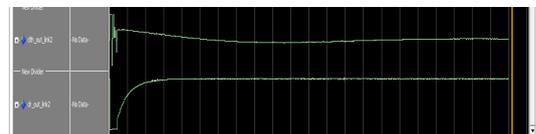


그림 15. Phase Error & Amplitude Error

V. 결 론

본 논문에서 제안한 주파수/위상 복원 및 진폭 보상

방식은 NCO를 제어하여 주파수 및 위상만을 복원하는 기존의 Costas 위상 복원 방식과는 다르게 CORDIC 알고리즘을 적절하게 이용함으로써 입력신호의 주파수/위상 복원 및 진폭 보상을 위해 별도의 NCO와 AGC 루프를 사용하지 않고, 기존의 Costas 위상 복원 루프에 비해 성능의 열화 없이 입력신호의 주파수/위상 복원 및 진폭 보상을 동시에 수행하기 때문에 하드웨어 구현 시, NCO와 AGC 루프 구현에 사용되는 자원과 시스템의 복잡도를 감소시킬 수 있다. 제안된 위상 복원 루프의 동작을 모의실험을 통해 확인함으로써 본 논문에서 제안한 위상 복원 루프의 유효성을 검증하였다.

참 고 문 헌

- [1] Umberto Mengali and Aldo N.D'Andrea, "Synchronization Techniques for Digital Receivers," KA/PP, 1997.
- [2] F.M. Gardner, "Phaselock Techniques," 3th Ed., New York : Willey, 2005.
- [3] F.M. Gardner, "A BPSK/QPSK Timing -Error Detector for Sampled Receivers," *IEEE Trans. Commun., vol. COM-34*, pp.423-429, May. 1986.
- [4] F.M. Gardner, "Interpolation in digital modems-Part I," *IEEE Trans. Commun., Vol. 41*, pp.501-507, Mar. 1993.
- [5] Fredic J. Harries, "Multirate Digital Filter for Symbol Timing Synchronization in Software Defined Radios," *IEEE Journal Commun., Vol. 19*, No.12, Dec. 2001.

서 광 남 (Kwang-nam Seo)

준회원



2008년 2월 숭실대학교 정보통신전자공학과 학사
2010년 2월 숭실대학교 정보통신공학과 석사
2010년 3월~숭실대학교 정보통신공학과 박사과정
<관심분야> 무선통신 시스템,

고속 신호처리 회로설계

김 중 훈 (Chong-hoon Kim)

정회원



1984년 서울대학교 전자공학과 학사
1986년 서울대학교 전자공학과 석사
1993년 미국 Northwestern 대학교 EECS 박사
1996년~현재 숭실대학교 정보통신전자공학부 부교수

<관심분야> 무선통신 시스템, 고속 신호처리 회로 설계