

# IEEE 802.16e WiMAX 용 부호율 1/2, 2304-비트 LDPC 복호기

준회원 김 해 주\*, 정회원 신 경 욱\*\*°

## Code Rate 1/2, 2304-b LDPC Decoder for IEEE 802.16e WiMAX

Hae-ju Kim\* Associate Member, Kyung-wook Shin\*\*° Regular Member

### 요 약

모바일 WiMAX 표준 IEEE 802.16e의 블록길이 2,304 비트, 부호율 1/2을 지원하는 LDPC(low-density parity-check) 복호기를 설계하였다. 설계된 LDPC 복호기는 최소-합(min-sum) 알고리즘과 layered 복호를 기반으로 96×96 크기의 부행렬을 병렬로 처리하는 부분병렬 구조를 갖는다. 최소-합 알고리즘의 특징을 이용하여 메모리 용량을 감소시킬 수 있는 새로운 방법을 고안하여 적용함으로써 검사노드 메모리 용량을 기존의 방법보다 46% 감소시켰다. Verilog HDL로 설계된 LDPC 복호기를 0.18- $\mu\text{m}$  CMOS 셀 라이브러리로 합성한 결과 174,181 개의 게이트와 52,992 비트의 메모리로 구현되었으며,  $E_b/N_0 = 2.1\text{dB}$ 의 AWGN 채널에 대해 평균 비트 오율(BER)은  $4.34 \times 10^{-5}$ 이고, 100 MHz@1.8-V로 동작하여 약 417 Mbps의 성능을 갖는다.

**key Words** : low-density parity-check (LDPC) code, WiMAX, layered decoding, min-sum algorithm

### ABSTRACT

This paper describes a design of low-density parity-check(LDPC) decoder supporting block length 2,304-bit and code rate 1/2 of IEEE 802.16e mobile WiMAX standard. The designed LDPC decoder employs the min-sum algorithm and partially parallel layered-decoding architecture which processes a sub-matrix of 96×96 in parallel. By exploiting the properties of the min-sum algorithm, a new memory reduction technique is proposed, which reduces check node memory by 46% compared to conventional method. Functional verification results show that it has average bit-error-rate(BER) of  $4.34 \times 10^{-5}$  for AWGN channel with  $E_b/N_0 = 2.1\text{dB}$ . Our LDPC decoder synthesized with a 0.18- $\mu\text{m}$  CMOS cell library has 174,181 gates and 52,992 bits memory, and the estimated throughput is about 417 Mbps at 100-MHz@1.8-V.

### I. 서 론

4세대 이동통신 시스템은 지속 60km 이상의 고속으로 이동시 100 Mbps, 저속 이동 및 정지 시 155 Mbps ~ 1 Gbps의 높은 전송속도를 제공한다. 이러

한 고속의 데이터 전송과 가격대비 전송률 최적화 및 주파수 효율성의 향상 등을 특징으로 하는 4G 이동통신 시스템의 핵심기술 중 하나로 LDPC(low-density parity-check) 부호를 꼽을 수 있다. LDPC 부호는 1962년 로버트 갤러거(R. Gallager)에 의해 제안된 채

※ 본 논문은 정부(교육과학기술부)의 재원으로 한국연구재단의 연구비를 지원받았음(No.2010-0005589)

※ 반도체설계교육센터(IDEC)의 CAD Tool 지원에 감사드립니다.

\* 실리콘 웨스 (tanatos13@nate.com), \*\* 금오공과대학교 전자공학부 교수 (kwshin@kumoh.ac.kr), (° : 교신저자)

논문번호 : KICS2010-12-591, 접수일자 : 2010년 12월 8일, 최종논문접수일자 : 2011년 3월 31일

널부호화 기법이다.<sup>[1]</sup> 당시의 기술로는 구현이 어려웠지만 관심을 받지 못하였으나, 그 후 30여년동안 정보기술과 반도체 구현기술의 발전에 힘입어 1990년대부터 재조명되고 있으며, 반복적 복호를 사용하면 복잡도가 크게 증가하지 않는 LDPC 부호의 특성 및 생성 방법에 대한 연구가 활발히 진행되고 있다.<sup>[2,3]</sup>

LDPC 부호는 유럽의 디지털 위성방송 규격 DVB-S2<sup>[4]</sup>, 차세대 무선 랜 규격 IEEE 802.11n<sup>[5]</sup>, 모바일 WiMAX 규격 IEEE 802.16e<sup>[6]</sup> 그리고 10-Gbps 이더넷 표준 IEEE 802.3an<sup>[7]</sup> 등에서 채널부호 표준으로 채택되었거나 옵션으로 채택되고 있다. 특히, IEEE 802.16e WiMAX 표준에서 LDPC 부호가 옵션으로 채택되었다.

LDPC 부호의 복호는 태너 그래프(Tanner graph) 상의 변수노드와 검사노드 사이의 반복적인 정보전달 과정을 통한 반복복호로 수행될 수 있다<sup>[8]</sup>. 변수노드와 검사노드 사이의 정보전달 과정에서 각 노드의 중간 처리결과는 메모리에 저장되어야 하며, 블록길이가 긴 부호일수록 큰 용량의 메모리를 필요로 한다.

본 논문에서는 IEEE 802.16e WiMAX 표준용 블록길이 2,304 비트, 부호율 1/2를 지원하는 LDPC 복호기를 설계하고 성능을 평가하였다. 설계된 LDPC 복호기는 최소-합 알고리즘과 layered 복호방식<sup>[9]</sup>을 기반으로 하며, 검사노드 메모리 용량을 최소화시키는 방법을 고안하여 적용하였다.

## II. LDPC 복호 알고리즘

LDPC 부호는 기본적으로 two-phase 반복복호에 의해 복호될 수 있으며, 패리티 검사 행렬(parity check matrix; PCM)을 나타내는 태너 그래프(Tanner graph) 상의 변수노드(variable node; VN)와 검사노드(check node; CN) 사이에서 반복적인 정보전달 과정에 의해 이루어진다. 대표적인 LDPC 복호 알고리즘으로는 합-곱 알고리즘(sum-product algorithm; SPA), SPA의 계산 복잡도를 감소시킨 LLR-SPA, 그리고 LLR-SPA를 근사시킨 최소-합 알고리즘(min-sum algorithm; MSA) 등 다양한 알고리즘들이 제안되고 있다.<sup>[10]</sup>

Two-phase 복호는 VN 연산과 CN 연산으로 구성되며, q-번째 반복복호 과정에서 CN 연산과 VN 연산은 각각 식(1)과 식(2)로 표현된다. 식(1)의 CN 연산에서의 함수  $\phi(x)$ 는 식(5)와 같이 주어지며,  $x$ 가 작을 때 매우 큰 값을 가지며  $x$ 가 커지면 거의 0에 근접하는 특성을 갖는다. 이와 같은 함수  $\phi(x)$ 의 특성에

의해 함수  $\phi(x)$ 의 값은  $x$ 가 가장 작을 때 가장 큰 영향을 미치므로,  $\sum \phi(x) \approx \phi(\min(x))$ 로 근사화할 수 있다. 또한, 함수  $\phi(x)$ 는  $x > 0$ 일 때 역함수와 본 함수의 값이 같으므로  $\phi(\phi(\min(x))) = \min(x)$ 로 변환될 수 있고, 따라서 식(1)에서 함수  $\phi(\sum \phi(x))$ 는 식(6)과 같이 근사화될 수 있다. 식(6)을 이용하여 식(1)을 식(7)과 같이 근사화시키는 방법이 최소-합 알고리즘이다.

(i) CN 연산

$$L_{j \rightarrow i}^q = \left( \prod_{i' \in \omega(j) \setminus \{i\}} \alpha_{i'j}^{q-1} \right) \cdot \phi \left( \sum_{i' \in \omega(j) \setminus \{i\}} \phi(\beta_{i'j}^{q-1}) \right) \quad (1)$$

(ii) VN 연산

$$L_{i \rightarrow j}^q = z_i^{q-1} + \sum_{j' \in \Omega(i) \setminus \{j\}} L_{j' \rightarrow i}^q \quad (2)$$

여기서

$$\alpha_{ij}^{q-1} = \text{sign}(L_{i \rightarrow j}^{q-1}) \quad (3)$$

$$\beta_{ij}^{q-1} = |L_{i \rightarrow j}^{q-1}| \quad (4)$$

$$\phi(x) = -\log \left( \tanh \left( \frac{x}{2} \right) \right) = \log \left( \frac{e^x + 1}{e^x - 1} \right) \quad (5)$$

$$\phi \left( \sum_{i' \in \omega(j) \setminus \{i\}} \phi(\beta_{i'j}^{q-1}) \right) \approx \phi \left( \phi \left( \min_{i' \in \omega(j) \setminus \{i\}} \beta_{i'j}^{q-1} \right) \right) = \min_{i' \in \omega(j) \setminus \{i\}} \beta_{i'j}^{q-1} \quad (6)$$

$$L_{j \rightarrow i}^q \approx \left( \prod_{i' \in \omega(j) \setminus \{i\}} \alpha_{i'j}^{q-1} \right) \cdot \left( \min_{i' \in \omega(j) \setminus \{i\}} \beta_{i'j}^{q-1} \right) \quad (7)$$

## III. 모바일 WiMAX용 LDPC 복호기 설계

### 3.1 전체 구조

본 논문에서 설계된 LDPC 복호기 프로세서의 내부 구조는 그림 1과 같으며, 최소-합 알고리즘에 의한 복호연산을 수행하는 96개의 DFU(decoding function unit), PCM을 저장하는 H-ROM, PCM에 따라 데이터를 분배하는 permuter, CN 값을 저장하는 CN 메모리, 결정변수(a posteriori probability; APP)의 정보를 저장하는 APP 메모리, 그리고 전체 동작을 제어하는 제어블록으로 구성된다.

IEEE 802.16e 표준에 정의된 블록길이 2,304 비트, 부호율 1/2의 PCM은 12행 × 24열의 부행렬(sub-matrix)들로 구성되며, 각각의 부행렬은 96 × 96의 크기를 갖는다. PCM을 구성하는 288 (= 12 × 24) 개의 부행렬 중 212개가 영(zero) 행렬이며, 이들은 복호연산에 영

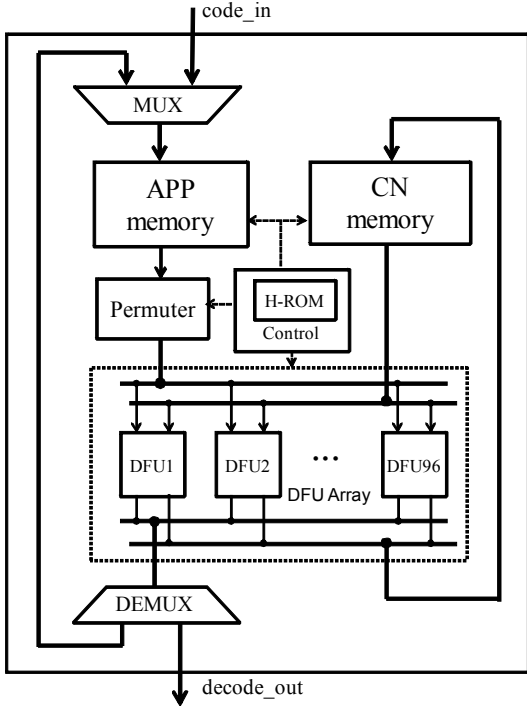


그림 1. 설계된 LDPC 복호기의 구조  
Fig 1. Architecture of the designed LDPC decoder

향을 미치지 않는다. 따라서 본 논문에서는 영 행렬을 복호연산 과정에서 제외시키고, non-zero 부행렬 단위로 연산이 수행되도록 블록-시리얼 구조로 설계하였

으며, 96개의 DFU를 병렬로 사용하여 하나의 부행렬이 한 클럭에 처리되도록 하였다. DFU는 최소-합 알고리즘에 의해 CN 연산과 VN 연산을 수행하여 결정변수 값(APP)을 계산한다. CN 메모리는 VN에서 연산된 정보를 저장하며, 최소-합 알고리즘의 특징을 이용한 CN 메모리 용량 감소방법을 고안하여 적용하였다. 결정변수 메모리(APP memory)는 반복복호 과정에서 결정된 APP 값을 저장하였다가 다음 반복복호에 사용되도록 하며, 18,432(=8×96×24) 비트의 크기를 갖는다.

설계된 LDPC 복호기의 동작 타이밍도는 그림 2와 같다. rst 신호가 인가되면 메모리와 레지스터가 초기화된다. ld\_data 신호가 인가되는 24 클럭주기 동안 코드워드가 입력되어 메모리에 저장되며, 입력된 코드워드는 부행렬 단위로 DFU에 의해 복호가 이루어진다. DFU는 이전 반복복호의 복호결과를 CN 메모리에서 읽어와 복호연산을 수행하고 다시 CN 메모리에 저장하는 동작을 수행한다. 한 레이어는 7개의 non-zero 부행렬로 구성되므로, 기본적으로 하나의 레이어 복호에 14 클럭 주기가 필요하다. 본 논문에서는 현재 레이어의 쓰기동작과 다음 레이어의 읽기동작을 중첩 시킴으로써 한 레이어가 7 클럭 주기에 처리되도록 하였다. 따라서 12개의 레이어에 대한 복호연산에는 총 84 클럭 주기가 소요되어 1회의 반복복호가 완료된다. 총 iter 회의 반복복호가 완료되면 오류가 정정된 코드워드는 oe 신호와 함께 24 클럭 주기 동안 출력된다.

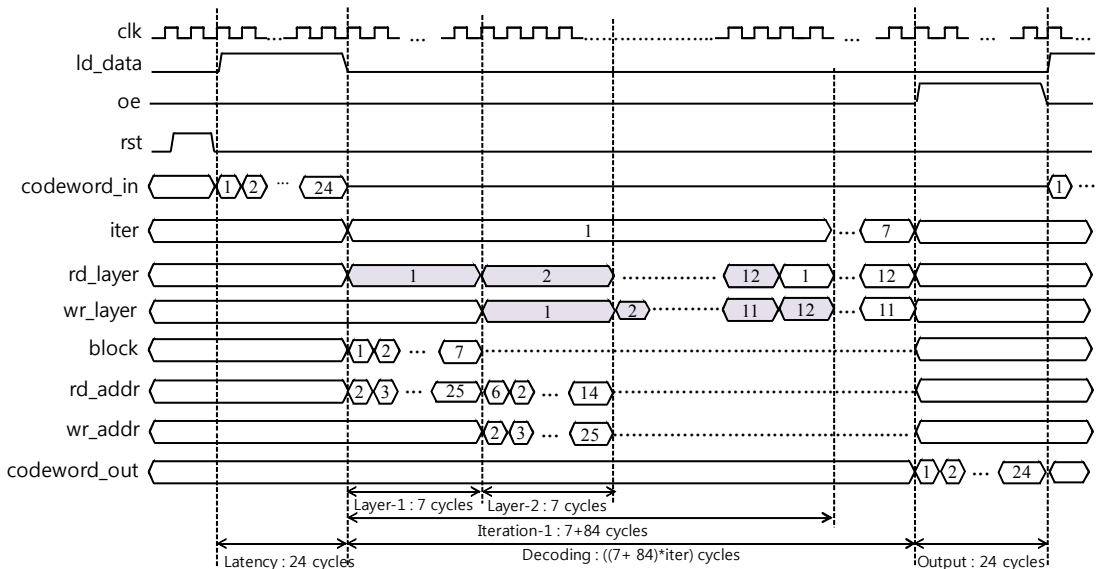


그림 2. LDPC 복호기의 동작 타이밍도  
Fig 2. Timing diagram of LDPC decoder

3.2 검사노드 메모리 감소 방법

LDPC 복호기의 CN 메모리에는 수평단계의 연산 결과  $L_{j \rightarrow i}$ 가 저장된다. 이 때, 식(7)에 의해 연산된 CN 갱신값  $L_{j \rightarrow i}$ 는 CN 메모리에 저장되어 다음 반복복호 연산에 사용된다. 이 때,  $L_{j \rightarrow i}$ 의 크기는  $\beta_{i'j}$ 의 최소값으로 갱신되고, 최소값이 발생된  $i$ 번째는 자신을 제외한 나머지  $\beta_{i'j}$ 의 최소값인 준최소값으로 갱신된다. 그림 3은 CN 갱신값의 메모리 저장방식을 비교한 것이다. 그림 3-(a)의 기존의 방식에서는  $w$ -비트로 표현되는  $L_{j \rightarrow i}$ 를 각 레이어의 유효 부행렬 개수  $S_i$  만큼 저장하므로, 레이어 당  $\{(w \times S_i) \times Z_j\}$ -비트의 메모리 용량이 필요하다.  $Z_j$ 는 부행렬의 크기이며, 블록길이에 따라 달라진다.

CN 갱신값을 저장하는 메모리의 크기를 감소시키기 위한 방법은 다음과 같은 고찰을 통해 얻어질 수 있다.  $S_i$ 개의 CN 갱신값들은 하나의 준최소값과  $(S_i - 1)$ 개의 최소값(이들은 모두 동일한 값임)으로 구성된다. 따라서  $(S_i - 1)$ 개의 동일한 최소값을 저장하는 대신에 최소값을 한번만 저장하고, 각 유효 서브블록에 최소값과 준최소값을 구분할 수 있는 1 비트 신호를 할당하면 CN 메모리 크기를 효과적으로 감소

시킬 수 있다.

본 논문에서는 이와 같은 고찰을 토대로, 그림 3-(b)와 같이 각 레이어의 최소값(min0), 준최소값(min1)과 함께  $L_{j \rightarrow i}$ 의 부호와 최소값 여부를 나타내는 2비트 신호  $SM$ 을 저장하는 방식을 제안하며, 따라서 본 논문에서 제안되는 방식은 레이어 당  $\{(w \times 2 + 2 \times S_i) \times Z_j\}$ -비트의 메모리 용량만 필요하여 CN 메모리를 크게 감소시킬 수 있다. 메모리에 저장된 최소값, 준최소값과 2비트의  $SM$  신호는 2의 보수 형태의  $L_{j \rightarrow i}$ 로 변환되어 LDPC 복호연산에 사용된다.

표 1은 IEEE 802.16e 표준의 블록길이 2304, 부호율 1/2에 대해, 기존 방식과 제안된 방식의 CN 메모리 용량을 비교한 것이다. 표 1에서  $j$ 는 PCM의 레이어 수를 나타낸다. 표 1에서 보는 바와 같이 본 논문에서 제안하는 방식은 기존의 방식에 비해 약 46% 메모리 용량을 감소시킬 수 있다.

본 논문의 CN 메모리 감소방법과 유사한 개념이 문헌에 발표되었으나<sup>[14][16]</sup>, 복호기 구조와 적용방법에 차이가 있다. 문헌 [14],[15]에는 패리티 검사 행렬의 부행렬들을 열(column) 단위로 병렬처리 하는 LDPC 복호기 구조와 검사노드 프로세서 유닛(CPU) 내부의 레지스터에 최소값과 준최소값, 인덱스 및 부호를 저장하는 방법이 발표되었다. 동일한 조건(비트 폭, 레이어 수, 서브블록의 크기, 유효 서브블록 개수 등)을 적용하면, 본 논문의 방법은 문헌 [14]의 방법에 비해 약 61.4%의 CN 저장 공간만을 사용하며, 따라서 CN 메모리가 약 38.6% 작게 사용된다.

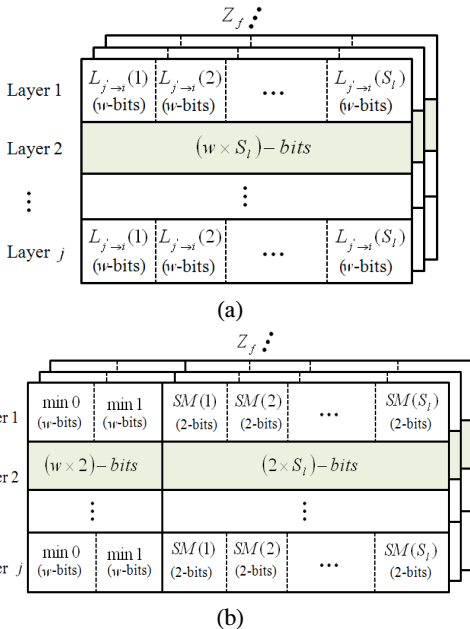


그림 3. 검사노드 메모리 구조 (a) 기존의 방법, (b) 본 논문의 방법  
Fig. 3. CN memory structure (a) conventional method, (b) proposed method

표 1. CN 메모리 크기 비교

Table 1. Comparison of CN memory size (block size: 2304, code rate: 1/2)

기존의 방식	제안하는 방식	
	$SM$	$ L_{j \rightarrow i} $ (min0, min1)
$w \times S_i \times j \times Z_j$ $= 8 \times 7 \times 12 \times 96$ $= 64,512 \text{ bits}$	$2 \times S_i \times j \times Z_j$ $= 2 \times 7 \times 12 \times 96$ $= 16,128 \text{ bits}$	$w \times 2 \times j \times Z_j$ $= 8 \times 2 \times 12 \times 96$ $= 18,432 \text{ bits}$
	전체 비트 수	
	16,128 + 18,432 = 34,560 bits	

3.3 DFU의 구조

DFU는 오류가 포함되어 있는 입력 코드워드의 오류를 정정하기 위해 자신을 제외한 나머지 코드워드들의 LLR을 취합하여 원래의 코드워드에 가장 가까운 LLR을 예측하는 기능을 수행한다. 본 논문에서는

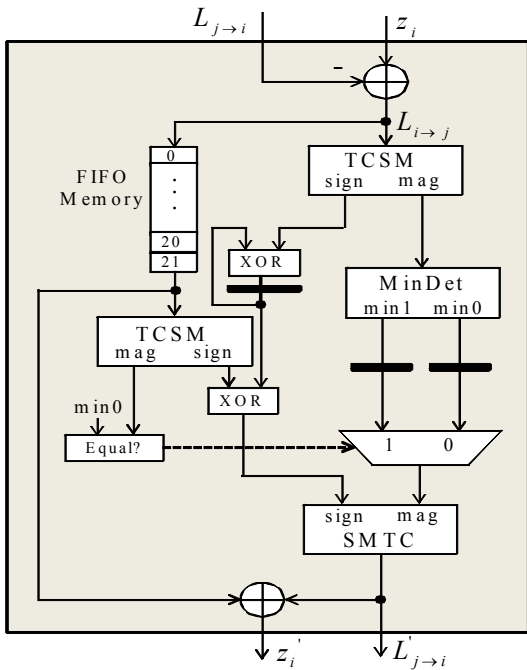


그림 4. DFU의 구조  
Fig. 4. Architecture of DFU

최소-합 알고리즘을 기반으로 layered 구조의 DFU를 설계하였으며, 그림 4와 같은 구조를 갖는다. DFU는 최소값/준최소값 검출기, 부호 누산기, FIFO(First-In First-Out) 메모리, 덧셈기/뺄셈기, 비교기 그리고 수체계 (2의 보수/부호-크기) 변환기 등으로 구성된다. 설계된 DFU 내부의 LLR들은 8비트로 근사화되어 연산되며, 부호와 크기로 분리되어 처리된다.

DFU에서 복호연산이 수행되는 과정은 다음과 같다. 먼저, 이전 레이어의 복호결과로 APP 메모리에 저장된 결정변수  $z_i$ 와 CN 메모리에 저장된 이전 반복 복호의 LLR 값  $L_{j \rightarrow i}$ 를 입력받아 변수노드 값  $L_{i \rightarrow j}$ 를 계산한다. 계산된  $L_{i \rightarrow j}$ 는 부호와 크기로 분리되고, 부호는 순차적으로 계산되는 부행렬들의  $L_{i \rightarrow j}$  부호와 누적 곱셈된다. 또한 분리된 크기는 순차적으로 계산되는 부행렬들의  $|L_{i \rightarrow j}|$ 들과 비교되어 최소값과 준최소값이 검출된 후 레지스터에 저장된다. 순차적으로 계산된  $L_{i \rightarrow j}$ 는 FIFO에 누적되어 입력된 수만큼 지연된 후 부호와 크기로 분리된다. 분리된 크기  $|L_{i \rightarrow j}|$ 를 검출된 최소값  $\min0$ 과 비교하여 두 값이 같으면 준최소값  $\min1$ 을 새로운  $|L_{j \rightarrow i}|$ 로 결정하고, 다르면 최소값  $\min0$ 을 새로운  $|L_{j \rightarrow i}|$ 로 결정한다. 왜냐하면 식(7)에 따르면  $i$ 번째  $L_{j \rightarrow i}$ 를 결정할 때에는  $i$ 번째

$|L_{i \rightarrow j}|$ 를 제외한 나머지  $i' \in \omega(j) \setminus \{i\}$ 번째  $|L_{i \rightarrow j}|$ 의 크기 중 가장 작은 값을 선택하기 때문에 전체  $i \in \omega(j)$  중 가장 작은  $|L_{i \rightarrow j}|$ 가 발생한 위치에는 준최소값이 갱신되고 나머지  $i' \in \omega(j) \setminus \{i\}$ 번째  $|L_{j \rightarrow i}|$ 에는 최소값이 갱신되기 때문이다. 부호의 누적 곱셈도 동일한 원리로 모든 부호를 누적 곱셈한 후,  $i$ 번째  $L_{j \rightarrow i}$ 의 부호를 계산하기 위해  $i$ 번째  $L_{i \rightarrow j}$ 의 부호를 한번 더 곱하여  $i' \in \omega(j) \setminus \{i\}$ 번째 부호들만 누적 곱셈 결과와 동일하게 만든다. 부호의 누적 곱셈은 XOR 연산으로 이루어진다. 결정된  $|L_{j \rightarrow i}|$ 의 크기와 부호를 이용하여 2의 보수 수체계의  $L_{j \rightarrow i}$ 를 계산하여 출력한다. 결정 변수  $z_i$ 는 FIFO에 의해 지연된  $L_{i \rightarrow j}$ 와 계산된  $L_{j \rightarrow i}$ 의 합으로 계산된다.

### 3.4 H-ROM 블록

H-ROM은 LDPC 복호에 사용되는 PCM의 정보를 저장하는 메모리이다. IEEE 802.16e 표준의 블록길이 2,304 비트, 부호율 1/2 모드에 대한 PCM은 12개의 레이어로 구성되고 하나의 레이어는 24개의 부행렬을 가져 총 288(=12×24)개의 부행렬로 구성된다. 부행렬은 96×96의 크기를 가지며, 부행렬의 위치에 따라 0~95 비트의 오른쪽 순환 시프트 정보를 갖는다. 최대 95 비트의 시프트 정보를 저장하기 위해서는 7 비트가 필요하므로, two-phase 복호방식에서 PCM 정보를 직접 저장하기 위해서는 총 2,016 비트(=7×288)의 ROM 용량이 필요하다.

IEEE 802.16e 표준의 블록길이 2,304 비트, 부호율 1/2 모드에 대한 PCM은 총 288개의 부행렬 중 212개가 영 행렬이며, 실제로 복호연산에 사용되는 부행렬은 76개이다. 따라서 본 논문에서는 전체 PCM의 정보를 저장하는 대신에 영 행렬을 제외한 76개의 non-zero 부행렬의 오른쪽 순환 시프트 정보와 해당 부행렬의 위치정보만 저장하도록 구현하였다. PCM의 각 레이어는 6개 또는 7개의 non-zero 부행렬로 구성되므로, 6개의 non-zero 부행렬을 갖는 레이어에는 영 행렬을 하나 덧붙여서 모든 레이어가 7개의 부행렬로 구성되도록 하였으며, 따라서 총 84(=12×7)의 부행렬로 구성되도록 하였다. 각 부행렬의 시프트 정보는 7비트로 표현되고, 부행렬의 위치정보는 5비트로 표현되어 부행렬당 12비트가 필요하며, 따라서 본 논문의 PCM 저장방법은 총 1,008비트(=84×12)비트가 필요하다. 이와 같은 본 논문의 부행렬 저장방법은 two-phase 복호방식의 직접적인 저장방법에 비해 50%의 ROM 용량을 감소시킬 수 있다.

### 3.5 검사노드 메모리 어드레싱

블록-시리얼 방식의 layered LDPC 복호기는 PCM을 구성하는 레이어 단위로 복호연산을 수행하며, 레이어를 구성하는 부행렬 단위로 CN 메모리의 읽기와 쓰기가 이루어진다. 복호기의 메모리 읽기/쓰기 동작을 위해서는 효율적인 메모리 어드레싱이 중요하다. 메모리 어드레싱은 PCM 구조와 밀접한 관계를 가지며, 특히 DFU에서 복호중인 부행렬이 레이어의 몇 번째에 위치하고 있는지가 가장 중요하다.

그림 5-(a)와 같이 인접한 두 레이어의 동일한 위치에 부행렬이 존재하는 경우, 부행렬-3의 메모리 읽기와 쓰기를 동시에 처리할 수 없는 메모리 액세스 해저드(hazard)가 발생한다. DFU가 레이어- $i$ 를 처리하는 경우에, 부행렬-0, 2, 3을 순차적으로 CN 메모리에서 읽어와 복호연산을 수행한 후, 그 결과를 부행렬-0, 2, 3의 순서로 CN 메모리에 저장해야 한다. DFU의 동작속도를 높이기 위해 레이어- $i$ 의 정보를 갱신하는 동안 레이어- $(i+1)$ 의 정보를 읽게 된다. 이 때, 레이어- $i$ 의 부행렬-3은 7번째 연산 사이클에서 메모리에 정보가 저장되고, 레이어- $(i+1)$ 은 6번째 연산 사이클에 정보를 읽게 된다. 즉, 레이어- $i$ 의 정보가 메모리에 갱신되기 전에 레이어- $(i+1)$ 의 정보를 읽게 되어 레

이어- $i$ 에서 복호된 정보를 반영하지 못하게 된다. 이러한 메모리 액세스 해저드를 방지하기 위해 일반적으로 그림 5-(b)와 같이 stall을 삽입하는 방법이 사용된다. 그러나 이 방법은 삽입된 stall 만큼 복호연산이 지연되는 단점을 갖는다. 본 논문에서는 그림 5-(c)와 같은 부행렬 재배열 방법을 적용하였으며, 이를 통해 그림 5-(d)와 같이 메모리 액세스 해저드가 발생되지 않도록 하여 stall 삽입 없이 효율적인 복호연산이 이루어지도록 하였다.

## IV. 기능검증 및 성능평가

Verilog HDL로 설계된 복호기는 ModelSim을 이용하여 기능을 검증하였으며, Matlab과 연동하여 복호성능을 평가하였다. 기능검증과 복호성능 평가는 그림 6의 과정으로 수행되었다.

Matlab을 이용하여 랜덤 소스벡터 생성, LDPC 부호화, 변조, 채널잡음 삽입 그리고 복조 등을 통해  $E_b/N_0 = 0.6 \sim 3.0 \text{ dB}$  (0.3 dB 간격)의 시뮬레이션 벡터를 생성하였다. 8 비트로 양자화된 시뮬레이션 벡터를 이용하여 설계된 복호기의 ModelSim 시뮬레이션을 수행하였으며, 시뮬레이션 결과와 소스 벡터의

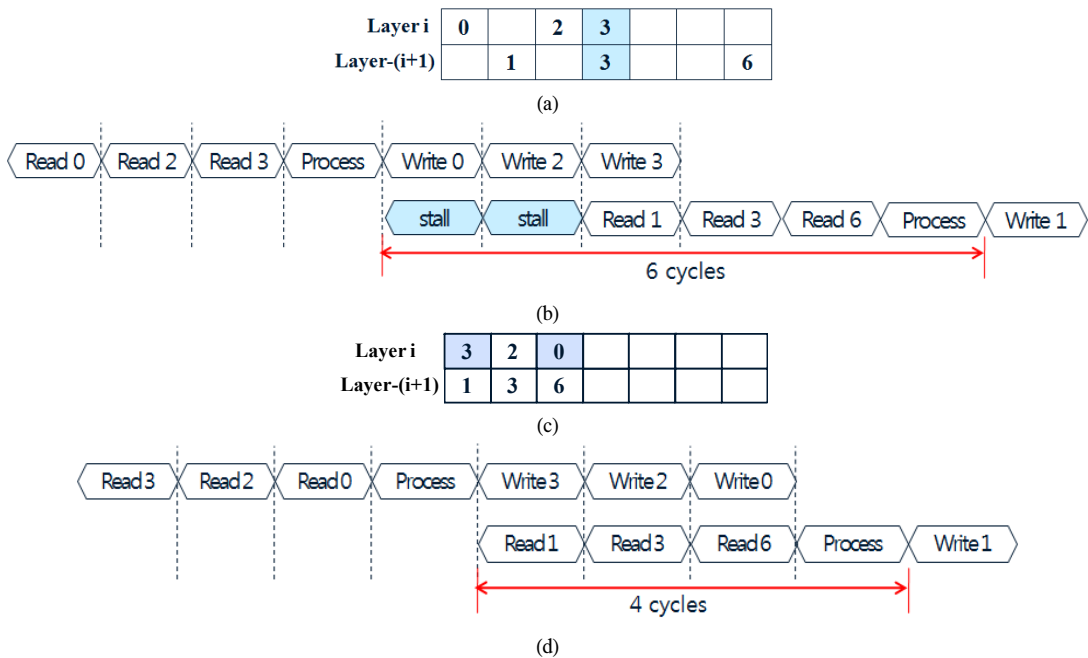


그림 5. CN 메모리 어드레싱 방법 (a) 레이어간 읽기-쓰기 해저드가 발생하는 경우, (b) stall을 삽입을 통한 해저드 제거, (c) 본 논문의 부행렬 재배열 방법, (d) 본 논문의 메모리 액세스 방법  
 Fig. 5. CN memory addressing method (a) read-write hazard between layers, (b) hazard elimination using stall insertion, (c) proposed sub-matrix reordering method, (d) proposed memory access method

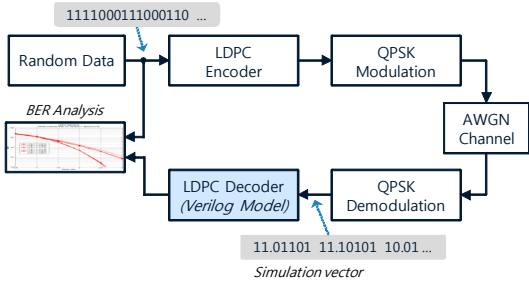


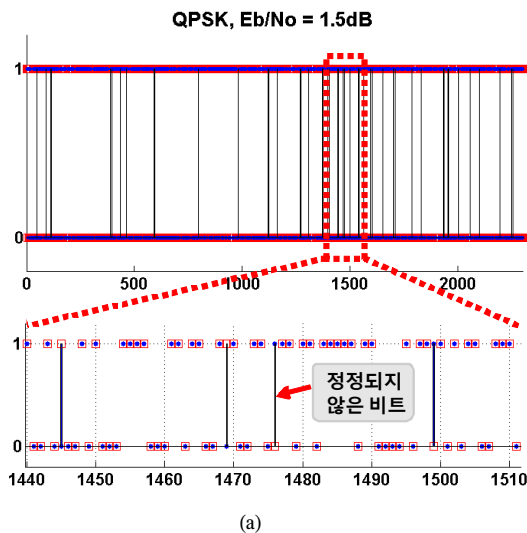
그림 6. LDPC 복호기의 기능검증과 성능평가 방법  
Fig. 6. Functional verification and performance evaluation method of LDPC decoder

비교를 통해 복호기에 의해 정정되지 못한 오류 비트들을 찾고 BER 성능을 분석하였다.

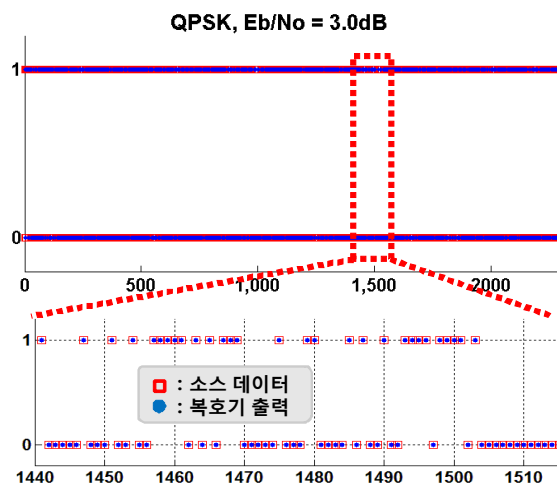
설계된 복호기의 기능검증 결과는 그림 7과 같으며, 소스 데이터와 복호기 출력값의 일치 여부를 보인 것이다. 그림 7-(a)는  $E_b/N_o = 1.5\text{ dB}$ 로 채널 잡음이 비교적 큰 경우의 복호결과를 보이고 있다.

그림에서 직선으로 표시된 부분이 소스 데이터와 복호기 출력값이 일치하지 않아 오류가 정정되지 못한 비트들을 나타낸다. 복호기 입력 데이터(2,304 비트)에 포함된 258개의 오류 비트 중 220 비트가 정정되어 98.35%의 복호율을 나타내었다. 그림 7-(b)는  $E_b/N_o = 3.0\text{ dB}$ 인 경우의 복호결과이며, 수신 데이터에 포함된 179개의 오류 비트들이 모두 정정되어 100%의 복호율을 나타내었으며, 복호기 출력이 소스 데이터와 일치함을 확인할 수 있다.

그림 8은 설계된 복호기의 기능검증 결과로부터



(a)



(b)

그림 7. 설계된 LDPC 복호기의 기능검증 결과 (a)  $E_b/N_o = 1.5\text{ dB}$ , (b)  $E_b/N_o = 3.0\text{ dB}$

Fig. 7. Functional verification results of the designed LDPC decoder (a)  $E_b/N_o = 1.5\text{ dB}$ , (b)  $E_b/N_o = 3.0\text{ dB}$

BER 성능을 분석한 결과이다.  $E_b/N_o = 0.6 \sim 2.1\text{ dB}$  범위에서 0.3 dB 간격으로 증가시키며 복호성능을 평가하였으며, 10 프레임의 데이터가 사용되었다. 최대 반복복호 회수는 8로 지정하였으며, 평균 반복복호 회수는 5.8로 나타났다.

기능검증이 완료된 LDPC 복호기는 0.18- $\mu\text{m}$  CMOS 셀 라이브러리를 이용한 논리합성을 통해 게이트 수와 지연시간을 평가하였으며, 그 결과는 표 2와 같다. 논리합성 결과 본 논문의 LDPC 복호기는 총 174,181개의 게이트와 52,992 비트의 메모리로 구현되었다. 합성결과로부터 설계된 LDPC 복호기는 1.8 V 전원전압에서 100 MHz로 동작 가능할 것으로 평가되며, 417 Mbps의 성능을 가질 것으로 예상된다. 문헌에 발표된 LDPC 복호기와의 성능을 비교한 결과는 표 3과 같다. 본 논문의 복호기는 참고문헌과 비교하여 공정기술의 차이로 인해 동작 주파수가 낮게 평가되었으나, 0.13- $\mu\text{m}$  이하의 최신 공정기술을 사용한다면 훨씬 우수한 성능을 보일 것으로 예상된다.

표 2. LDPC 복호기 논리합성 결과  
Table 2. Logic synthesis results of LDPC decoder

블록	복잡도
LDPC 복호기	174,181 gates
· DFU	1,596 gates
· Permuter	14,013 gates
· H-ROM	361 gates
APP 메모리	18,432 bits
CN 메모리	34,560 bits

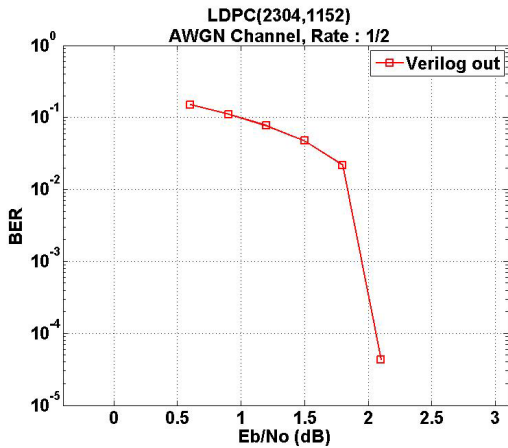


그림 8. 설계된 LDPC 복호기의 BER 성능  
Fig. 8. BER performance of the designed LDPC decoder

표 3. LDPC 복호기 프로세서의 비교  
Table 3. Comparison of LDPC decoder processors

	[11]	[12]	[13]	본 논문
블록길이	576~2,304	576~2,304	576~2,304	2,304
부호화율	1/2	1/2~5/6	1/2~5/6	1/2
게이트 수	420 K	380 K	55 K	174 K
메모리(bits)	76,800	89,856	55,576	52,992
동작주파수 (MHz)	83.3	150	100	100
출력율 (Mbps)	60.6	105	68	417
공정	0.13 $\mu$ m	90nm	0.18 $\mu$ m	0.18 $\mu$ m

## V. 결 론

본 논문에서는 IEEE 802.16e의 블록길이 2,304 비트, 부호율 1/2를 지원하는 LDPC 복호기를 설계하였다. 설계된 LDPC 복호기는 최소-합 알고리즘 기반의 layered 복호구조로 설계되었으며, 레이어간 읽기와 쓰기 동작이 동시에 수행되도록 설계하여 연산성능의 최적화를 이루었다. 또한, CN 메모리에 저장되는 LLR 근사값을 최소값, 준최소값, 그리고 2 비트의 SM 신호만으로 저장하는 새로운 방법을 고안하여 적용함으로써 기존의 방법에 비하여 검사노드 메모리를 46% 감소시켰으며, 이를 통해 하드웨어 최소화를 이루었다. 설계된 LDPC 복호기의 기능검증과 복호성능 분석을 통해 실용성을 보였다. 본 논문의 LDPC 복호기 설계최적화 기법은 유럽디지털 위성방송 규격(DVB-S2), 차세대 무선랜 표준(IEEE 802.11n), 10-Gbps 인터넷 표준(IEEE 802.3an) 등의 LDPC 복

호기 설계에도 적용될 수 있다.

## 참 고 문 헌

- [1] R.G. Gallager, *Low-Density Parity-Check Codes*, Cambridge, MA: MIT Press, 1963.
- [2] D. Mackay, "Good error correcting codes based on very sparse matrices," *IEEE Trans. Information Theory*, Vol.45, No.3, pp.399-431, Mar., 1999.
- [3] T.J. Rihcardson and R. Urbanke, "Efficient Encoding of Low-Density Parity-Check Codes," *IEEE Trans. Information Theory*, Vol.47, No.2, pp.638-656, Feb., 2001.
- [4] DVB-S2 Draft ETSI EN 302 307 V1.1.1 (2004-06), ETSI
- [5] IEEE P802.11n/D3.07, Wireless LAN Medium Access Control(MAC) and Physical Layer (PHY) specifications: Enhancements for Higher Through- put, *IEEE Std. 802.11n*, 2008.
- [6] IEEE Standard for Local and metropolitan area networks Part 16: Air Interface for Fixed and Mobile Broadband Wireless Access Systems Amendment 2: Physical and Medium Access Control Layers for Combined Fixed and Mobile Operation in Licensed Bands and Corrigendum 1, *IEEE Std. 802.16e*, 2005.
- [7] IEEE Standard for Information Technology Telecommunications and Information Exchange Between Systems Local and Metropolitan Area Networks - Specific Requirements Part 3: Carrier Sense Multiple Access with Collision Detection (CSMA/CD) Access Method and Physical Layer and Management Parameters for 10 Gb/s Operation Type 10GBASE-T, *IEEE Std 802.2an*, 2006.
- [8] R.M. Tanner, "A recursive approach to low complexity codes," *IEEE Trans. Inform. Theory*, Vol.27, No.5, pp.533-547, Sep., 1981.
- [9] M.M. Mansour and N.R. Shanbhag, "High Throughput LDPC Decoders," *IEEE Trans. Very Large Scale Integration(VLSI) Systems*, Vol.11, No.6, pp.976-996, Dec., 2003.
- [10] W.E. Ryan, "An Introduction to LDPC Codes," in *CRC Handbook for Coding and Signal*



*Processing for Recoding Systems* (B. Vasic, ed.), CRC Press, 2004.

- [11] X.Y. Shih, C.Z. Zhan, C.H. Lin and A.Y. Wu, "An 8.29 mm<sup>2</sup> 52 mW Multi-Mode LDPC Decoder Design for Mobile WiMAX System in 0.13 um CMOS Process," *IEEE Journal of Solid-State Circuits*, Vol.43, No.3, pp.672-683, Mar., 2008.
- [12] C.H. Liu, S.W. Yen, C.L. Chen, H.C. Chang, C.Y. Lee, Y.S. Hsu and S.J. Jou, "An LDPC Decoder Chip Based on Self-Routing Network for IEEE 802.16e Applications," *IEEE Journal of Solid-State Circuits*, Vol.43, No.3, pp.684-694, Mar., 2008.
- [13] T.C. Kuo and A.N. Willson, Jr., "A Flexible Decoder IC for WiMAX QC-LDPC Codes," *Proc. of IEEE Custom Integrated Circuits Conf. (CICC)*, pp.527-530, 2008.
- [14] J. Sha, M. Gao, Z. Zhang, L. Li and Z. Wang, "An FPGA Implementation of Array LDPC Decoder", *Proc. of IEEE Asia Pacific Conf. on Circuits and Systems (APCCAS)*, pp.1675-1678, 2006.
- [15] C. Zhang, Z. Wang, J. Sha, L. Li and J. Lin, "Flexible LDPC Decoder Design for Multi-giga bit-per-Second Applications", *IEEE Trans. on Circuits and Systems I*, Vol.57, No.1, pp.116-124, Jan., 2010
- [16] K. He, J. Sha, L. Li, Z. Wang, "Low power decoder design for QC-LDPC codes", *Proc. of 2010 IEEE Int. Symp. on Circuits and Systems (ISCAS)*, pp.3937-3940, 2010.

**김 해 주 (Hae-ju Kim)**

준회원



2009년2월 금오공과대학교 전자공학부(공학사)  
 2011년2월 금오공과대학교대학원 전자공학과(공학석사)  
 2011년 3월~현재 실리콘웍스 <관심분야> 통신 및 신호처리용 SoC 설계, 정보보호 SoC 설계, 반도체IP 설계

**신 경 욱 (Kyung-wook Shin)**

정회원



1984년 2월 한국항공대학교 전자공학과(공학사)  
 1886년 2월 연세대학교대학원 전자공학과(공학석사)  
 1990년 8월 연세대학교대학원 (공학박사)  
 1990년 9월~1991년 6월 한국 전자통신연구소 반도체연구단(선임연구원)  
 1991년 7월~현재 금오공과대학교 전자공학부(교수)  
 1995년 8월~1996년 7월 University of Illinois at Urbana-Champaign(방문교수)  
 2003년 1월~2004년 1월 University of California at San Diego(방문교수)  
 <관심분야> 통신 및 신호처리용 SoC 설계, 정보보호 SoC 설계, 반도체 IP 설계