

## 2조 UTP를 이용한 500BASE-T의 구현

종신회원 정 해\*, 정회원 전 성 배\*, 김 진 희\*\*, 박 형 진\*\*

### Implementation of 500BASE-T with 2 Pairs UTP

Hae Chung\* *Lifelong Member,*

Seong-bae Jeon\*, Jin-hee Kim\*\*, Hyung-jin Park\*\* *Regular Members*

#### 요 약

UBcN에서는 한 가입자가 UDTV나 3DTV와 같은 광대역 신호를 동시에 다수의 채널로 수신할 수 있게 하기 위하여 100 Mbps를 초과하는 전송률을 요구하고 있다. 최근에 FTTH를 위한 매체로서 닥내 일부에 광케이블을 사용하기 시작했지만, UTP는 여전히 가장 많이 사용되는 매체이고 UBcN 시대에도 널리 사용될 것이다. UBcN을 위해 광케이블이 포설되지 않은 곳에 UTP를 적용해야 한다면 현재로서는 1000BASE-T나 Vectorized VDSL2를 고려할 수 있다. 그러나 대부분의 가입자 닥내에는 2조 이하의 UTP가 포설되어 있으므로 4조의 UTP를 사용해야 하는 1000BASE-T나 3조의 UTP를 사용하는 Vectorized VDSL2를 적용하기 위해서는 추가적으로 UTP를 증설해야 한다. 이러한 문제를 해결하기 위하여 본 논문에서는 2 조 UTP를 통하여 500 Mbps를 제공하는 500BASE-T 기술을 제안한다. 이 기술의 특징은 현존하는 1000BASE-T의 규격에서 PCS 상부에 속도 정합을 위한 부계층과 PCS 하부에 SERDES 부계층을 추가하여 구현된다. 속도 정합계층은 기존의 GMII와 호환이 되도록 하기 위한 것이다. 그리고 SERDES 부계층을 약간 수정하면 500 Mbps의 2조의 UTP를 250 Mbps의 1조 UTP로 용이하게 변경하여 사용할 수 있다. 이러한 기능들을 FPGA와 아날로그 보드를 이용하여 구현하였으며, 실험을 통하여 속도정합, 심벌벡터 동기, 전송률 등을 검증한다. 특히, 속도정합 부계층에서 enable 제어를 통하여 링크 효율을 증가함을 보여준다.

**Key Words** : 500BASE-T, UTP, PCS, SERDES, UBcN

#### ABSTRACT

More than 100 Mbps rate is needed in the UBcN for a subscriber to receive broadband traffics with multi-channel like UDTV or 3DTV. Although the optical fiber is recently deployed for the FTTH, the UTP is the most widely used medium and will be used in UBcN age. Network providers may consider the 1000BASE-T or the vectorized VDSL if they adopts the UTP in the place where does not have optical fibers. But UTP should be expanded because 1000BASE-T and vectorized UTP needs 4 and 3 pairs cable, respectively while residential region has not exceeding 2 pair UTP cable. To solve the problem, we propose a 500BASE-T technology using 2 pairs UTP in this paper. The technology introduces a rate adaptation sublayer and a SERDES sublayer above and under the PCS, respectively. The rate adaptation sublayer is compatible for the GMII. Also, if we modify the SERDES sublayer, the technology can easily obtain 250BASE-T with 2 pairs UTP. We implement such functions with FPGA and analog board and verify the function of rate adaptation and symbol vector synchronization, and effective transmission rate by experiments. In particular, we show that link efficiency is increased by enable control in the rate adaptation sublayer.

※ 본 연구는 금오공과대학교 학술연구비에 의하여 연구된 논문

\* 금오공과대학교 전자공학부 통신망연구실 (hchung@kumoh.ac.kr), \*\* KT유무선네트워크연구소 스마트엑세스팀  
논문번호 : KICS2011-06-245, 접수일자 : 2011년 6월 9일, 최종논문접수일자 : 2011년 9월 23일

## I. 서 론

UDTV (Ultra Definition TV)는 기존의 HDTV (High Definition TV)의 화질에 비해 최소 4배, 최대 16배의 화질을 가지고 있다. 이는 곧 UDTV를 전송하기 위해서는 HDTV에 비해 4 ~ 16 배의 전송률을 가져야 함을 의미한다. 또한 3D (3 Dimension) 영상이 각광받게 됨에 따라 조만간 IPTV (Internet TV)를 통해 UDTV는 물론이고 3D 영상을 전송하게 될 것이다. 그러나 현재 UTP를 (Unshielded Twisted Pair)를 통해 가정에 공급되는 최고의 전송률은 100 Mbps의 이더넷 전송기술이므로 이러한 서비스를 다수의 채널로 동시에 제공하기에는 상당히 부족한 속도가 될 것이다.

방송통신 고도화 계획에 의하면 UBcN (Ultra Broadband Convergence Network)에서 가입자당 전송률을 무선은 1 Mbps에서 10 Mbps로, 유선은 100 Mbps에서 1 Gbps으로 상향하는 것을 목표로 한다. 따라서 유선망에서는 다수의 UDTV (Ultra Definition TV) 채널 전송이 가능하게 된다<sup>1)</sup>.

상기의 서비스를 원활하게 제공하기 위해서는 최소 100 Mbps의 두 배 이상의 전송속도의 향상이 필요하며, 다양한 FTTH (Fiber-to-the-Home) 기술을 적용하여 기가급 서비스를 고려할 수 있다. 그러나 FTTH는 최근에 건축되었거나 새로 건축하는 주거지역에서는 용이하지만 기존의 주거지역에서는 새로 포설이 용이하지 않은 지역이 많고 경제적인 문제에도 직면하게 된다. 그러므로 기존의 UTP를 그대로 활용할 수 있는 방법이 제시된다면 많은 장점을 가지게 된다.

현재까지 UTP 활용하는 전송기술 중에서 100 Mbps를 초과하는 것으로써 벡터화된 VDSL2 기술이나 1000BASE-T가 유효하다<sup>2),3)</sup>. 전자는 구리선 6가닥을 묶어서 벡터화 기술을 적용해 전송속도의 향상을 피하며, 500 m 거리를 500 Mbps로 전송하는 기술로써 에릭슨에서 작년에 시연하였다. 후자는 100BASE-T 이후 널리 적용되고 있는 기가 이더넷 기술에 해당하며 8가닥 (4조)의 UTP를 모두 사용하여 100 m까지 전송하는 것이 특징이다.

상기의 기술들을 국내의 가입자 망에 적용 하는데 있어서 문제가 발생한다. 그것은 국내에서 대부분의 주거지역에 포설된 UPT 현황을 살펴보면 2조 이하로 구성되어 있다는 것이다. 따라서 이러한 지역에서 2조 UTP를 사용하는 100 Mbps 이더넷 서비스는 용이하지만 4조 UTP를 사용하는 1 기가 이더넷을 제공하기에 어려움이 있다. 마찬가지로 이유로 3조의 벡터화

VDSL2를 적용하는 것도 동일한 문제에 봉착한다. 결국, 이를 해결하기 위해서는 UTP를 증설을 해야 하는데 구내 배선이 용이하지 않을 뿐만 아니라 추가적인 비용도 만만치 않다.

그 외에도 UTP CAT-6 케이블을 이용하여 각조를 양방향 통신으로 사용하지 않고 단방향 통신으로 500 Mbps를 전송하는 기술을 고려할 수 있다<sup>4)</sup>. 이렇게 할 경우 각 조를 송신과 수신을 별도로 사용하면 2 조를 갖고 500 Mbps 양방향 전송이 가능할 수 있다. 그러나 이 방법도 기존의 CAT-5 선로를 교체해야 하는 문제점을 가지고 있다.

결국, 2조의 UTP를 가지고 100 Mbps를 초과하는 기술로 기대할 수 있는 것은 1000BASE-T를 2조 UTP로 전송하는 기술이다<sup>5)</sup>. 그러나 이 기술은 선로의 전송률을 두 배 올려서 구현 가능하다는 것을 제시한 특허일 뿐 아직까지 구현된 사례는 없는 것으로 알려져 있다.

본 논문에서는 이러한 문제를 해결하기 위하여 2조 UTP를 통해 500 Mbps급 서비스를 제공하는 500BASE-T 기술을 제안한다. 이 기술의 특징은 현존하는 1000BASE-T 기술을 변경하지 않고 부계층을 추가함으로써 달성된다. 따라서 기존의 GMII (Gigabit Media Independent Interface)와 완전히 호환이 되며, 단순히 내부 클럭이 변경될 따름이다. 기존의 GMII를 500BASE-T와 호환이 되게 하기 위하여 GMII와 PCS (Physical Coding Sublayer) 사이에 RAS (Rate Adaptation Sublayer, 속도정합 부계층)을 둔다. 이 계층에서는 이더넷 프레임을 저장하고, 링크 효율을 증대하기 위해 IFG (Inter-frame Gap)의 길이를 감소시키며, 상대방으로 하여금 평균 전송률을 500 Mbps 이하로 보내도록 하기 위하여 흐름제어 기능을 수행한다.

또 한가지 중요한 기술을 소개하면 다음과 같다. 1000BASE-T에서는 4조의 UTP로 신호를 전송하기 위하여 PCS에서 4 개의 심벌을 생성한다. 본 논문에서는 이를 2조의 UTP로 보내기 위하여 4 개의 심벌을 각각 2 개씩 묶어 다중화하여 전송하는데 이러한 기능을 수행하기 위하여 PCS와 PMA 부계층 사이에 S&S (SERDES and Synchronization) 부계층을 도입하며, 수신측에서 직렬화된 신호를 역직렬화 (병렬화) 하기 위하여 동기 기능도 가진다.

만약 1조 UTP만 가진 가입자가 250 Mbps의 전송률을 원한다면, 제안된 기술에서 4 개의 심벌을 하나로 직렬화하여 1조의 UTP로 250BASE-T 기술로 변경하여 서비스를 제공할 수 있다.

논문의 구성과 내용은 다음과 같다. II 절에서

500BASE-T를 위한 참조모델을 제시하고 필요한 기능을 설명한다, III 절에서는 각 부계층들이 수행하는 기능과 세부적인 구현 방법에 대하여 기술한다. IV 절에서는 시뮬레이션과 구현에 대한 검증을 보여주며, V 절에서는 결론을 맺는다.

## II. 500BASE-T 참조모델과 기능

현존하는 이더넷 MAC 계층 칩은 10/100/1000 Mbps 접속을 가지므로 500BASE-T PHY 칩은 1 Gbps 접속인 GMII와 연결되는 것이 합리적이다. 그래서 본 논문에서는 제안하는 500BASE-T를 GMII와 호환이 되게 설계하였으며, 그림 1은 기존의 1000BASE-T와 500BASE-T와의 관계를 보여준다. 이 그림에서 RAS는 속도 정합기능을 수행한다. 2조 UTP를 가지고 각 조에 250 Mbps로 전송하면 총합은 500 Mbps가 되므로 속도 정합이 이루어져야 하기 때문이다. 그리고 PCS와 PMA 사이에 S&S 부계층이 있는데 이는 SERDES (Serialize and De-serialize)와 동기를 수행하기 위한 것이다. 즉 송신측 PCS 계층에서 4 개의 심벌벡터 (An, Bn, Cn, Dn)를 받아 2조의 UTP로 보내기 위하여 2 개의 심벌벡터 (Pn, Qn)로 직렬화하고 수신측에서는 2 개의 심벌벡터를 원래의 4 개의 심벌벡터로 병렬화한다. 이 과정에서 원래의 시퀀스를 유지하기 위해서는 동기화 기술이 매우 중요하다.

다음 절에서는 각 계층의 기능을 제공하기 위한 알고리즘과 구현 방법에 대하여 논의한다.

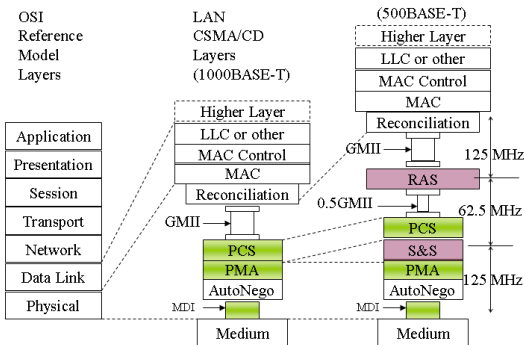


그림 1. 500BASE-T와 다른 규격과의 관계  
Fig. 1. Relationship of 500BASE-T to other standards.

## III. 부계층들의 세부적인 구현 방법

그림 2는 본 논문에서 제안하는 500BASE-T의 계

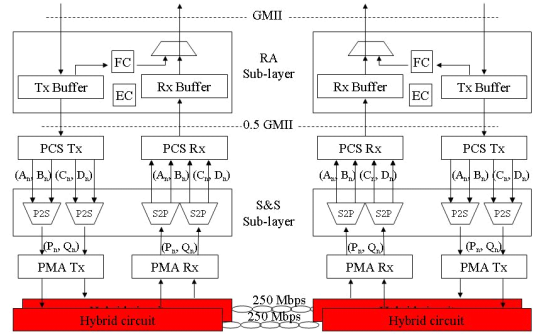


그림 2. 500BASE-T 접속 제어 기능 구조  
Fig. 2. Architecture of 500BASE-T control function.

층 구조를 좀 더 세부적으로 나타낸 것이다. 전송한 바와 같이, 1000BASE-T에 존재하는 GMII와 PCS 계층 사이에 RAS가 있고 PCS와 PMA 부계층 사이에 S&S 부계층이 있다.

RAS는 송신부와 수신부로 구성된다. 송신부에서는 GMII에서 유입되는 신호를 0.5GMII로 속도를 정합하는 것이 목적이다. 맨 하부에 두 개의 하이브리드 회로가 있고 각 조는 250 Mbps로 송수신하므로 속도를 절반으로 줄여야 하기 때문이다. 이를 위하여 GMII에서 유입되는 송신데이터 TXD<7:0>는 송신 버퍼에 잠시 저장되어야 한다. 이 버퍼는 1 Gbps의 속도로 유입되는 프레임을 완충하기 위하여 충분한 길이를 갖게 해야 하고 DPRAM이나 FIFO를 이용하여 구현할 수 있다.

이 때 저장하는 속도는 125 MHz 클럭을 사용하고, 송출할 때는 62.5 MHz 클럭을 사용한다. RAS 송신부의 중요한 기능은 단순히 클럭을 변경하는 것이 아니고 선로의 효율을 높이기 위해서 적절한 EC (Enable Control)을 제공하는 것이 중요하다. 그림 2에 주어진 EC는 GMII에서 유입되는 이더넷 프레임의 IFG를 그대로 0.5GMII로 매핑되게 하는 것이 아니라 0.5GMII로 송출될 때 IFG의 길이를 최소화 하여 500 Mbps로 효율적인 속도 decoupling이 일어나게 한다.

### 3.1 Enable Control

그림 3은 GMII에서 TX\_EN (transmit enable)이 0.5GMII로 어떻게 매핑이 되는지 보여준다. 그림에서 임의의 n 번째 프레임이 지속하는 시간간격과 그것의 길이는 IFG의 시간간격을 각각  $F_n^G$ ,  $I_n^G$ 으로 표기하였다. 여기서 사용하는 단위는 바이트 타임이다. 또한, n 번째 프레임이 0.5GMII로 전달될 때, 해당 프레임의

시간 간격과 IFG의 시간간격을  $F_n^{0.5G}$ ,  $I_n^{0.5G}$ 으로 표시하였다. 프레임의 길이는 바이트 단위로 볼 때 동일하지만 GMII는 125 MHz에서 동작하고 0.5GMII는 62.5 MHz에서 동작하므로 0.5GMII에서의 프레임 시간은 GMII에서의 프레임 시간보다 2배의 길이를 가지게 된다. 즉,  $T(x)$ 를 바이트 타임  $x$ 에 대한 절대적인 시간을 나타내는 함수로 정의할 때,  $T(F_n^{0.5G}) = 2T(F_n^G)$ 이 성립한다. 그래서 그림 3에서 보는 것처럼 GMII에서는 IFG 구간에서도 0.5GMII에서는  $n$  번째 프레임이 보내지고 있는 것이다.

그림 3의 a)와 같이  $I_{n+1}^G > F_n^G + 24$ 인 경우를 고려해 보자. 이 경우는 500 Mbps 미만으로 전송되는 상황이기 때문에  $n+1$  번째 프레임은 지연이 없이 전송된다. 그리고  $I_{n+1}^{0.5G} = I_{n+1}^G - F_n^G$ 가 되게 하여 IFG의 길이 (바이트 수)를 줄여서 링크 효율을 증가시킨다. 이 때,  $I_{n+1}^{0.5G} > 12$ 의 값을 가진다.

그림 3의 b)는  $n$  번째 프레임에 이어서 오는  $n+1$  번째 프레임의 IFG의 길이가  $I_{n+1}^G = F_n^G + 24$ 인 경우로 정확하게 500 Mbps로 전송되는 경우이다. 0.5GMII에서 IFG의 최소길이인  $I_{n+1}^{0.5G} = 12$ 가 되며, 다음에 오는  $n+1$  번째 프레임의 TX\_EN은 지연 없이 생성 가능하다.

마지막으로 그림 3의 c)와 같이  $n+1$  번째 IFG가  $I_{n+1}^G < F_n^G + 24$ 인 경우는 500 Mbps를 초과하여 송신하는 경우로  $I_{n+1}^{0.5G} = 12$ 로 해야 하며, 0.5GMII에서 IFG를 다 보내기도 전에 GMII에서  $n+1$  번째 프레임

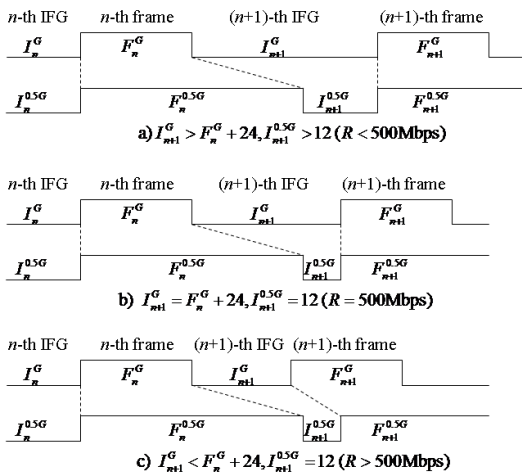


그림 3. GMII에서 0.5GMII로의 enable 신호의 매핑  
Fig. 3. Enable signal mapping to 0.5GMII from GMII.

이 발생되므로 이 프레임은 buffering을 피할 수 없고 TX\_EN이 지연되어 발생한다. 이와 같은 일이 지속적으로 발생한다는 것은 GMII에서 500 Mbps 이상으로 전송하고 있다는 것을 의미한다.

만약 순간적으로 500 Mbps를 초과하더라도 평균적으로 500 Mbps로 유입될 경우 프레임 버퍼의 길이를 충분히 확보하면 프레임의 손실을 거의 막을 수 있다. 그러나 지속적으로 프레임이 전송률이 500 Mbps를 초과한다면 프레임 버퍼에 오버플로가 발생하게 되고, 프레임 손실 (loss)이 발생하게 되므로 이를 막기 위한 방안이 필요하다.

### 3.2 Flow Control

위와 같이 발생하는 프레임 손실을 예방하기 위한 기능으로 흐름제어를 도입할 것을 제안한다. 전송한 바와 같이 GMII를 통해 최소 IFG를 유지하면서 프레임들이 지속적으로 500 Mbps 이상의 속도로 유입되면 버퍼의 길이를 아무리 크게 잡아도 프레임 손실이 발생하게 된다. 따라서 버퍼의 길이가 어느 정도 이상 차오르면 송신 측에게 프레임에 더 이상 전달하지 않도록 중지 (pause) 프레임을 전송하도록 하는 것이 FC (Flow Control, 흐름제어)이다. 흐름제어는 선택사양으로 802.3x 규격이다<sup>6)</sup>.

이것은 네트워크에 back-pressure를 만드는 방법으로 포트에 트래픽 과부하가 걸리는 것을 줄여준다. 프레임 버퍼가 어느 정도 이상 차오르면 반대 방향으로 흐름제어를 위하여 그림 4에서 보는 것과 같은 중지 프레임을 보낸다. 이 프레임을 보낼 때 목적지 MAC 주소는 01-80-C2-00-00-01을 사용하도록 예약되어 있다. 또한 MAC 제어용 opcode는 0x0001이다. 전송 중단을 요청하는 기간은 비트 타임 단위로 0 ~ 65,535 까지 설정할 수 있다.

Preamble & Delimiter
Destination Address 01-80-C2-00-00-01
Source Address (6 bytes)
Length/Type 802.3 MAC Control (88-08)
MAC Control Opcode (PAUSE: 00-01)
MAC Control Parameter (00-00 to FF-FF)
Reserved (42 bytes) = all zeros
FEC (4 bytes)

그림 4. Pause frame 구조  
Fig. 4. Pause frame format

### 3.3 심벌벡터 동기 기법

S&S 부계층의 전체 구조는 그림 5에 주어져 있다. 여기서는 4D-PAM5 신호를 2D-PAM5로 직렬화하고 역으로 병렬화를 수행한다. 먼저 송신부에서는 4조 심

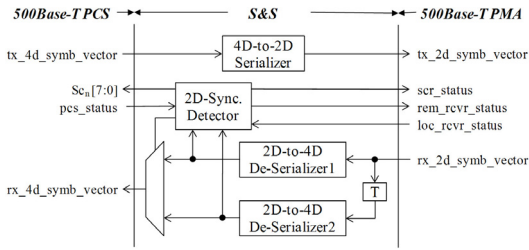


그림 5. S&S 블록도  
Fig. 5. S&S block diagram.

벌벡터 (An, Bn, Cn, Dn)에서 (An, Bn)을 Pn으로, (Cn, Dn)을 Qn으로 직렬화한다. 이와 같이 직렬화되면 원격 수신측에서는 Pn과 Qn을 수신하게 되는데, Pn을 수신하면 해당 심벌 주기에서 이것이 An인지 Bn인지 알 수가 없게 된다. 마찬가지로 Qn을 수신하면 해당 심벌이 Cn인지 Dn인지 알 수가 없다. 다음에서 수신부에서 동기를 획득하는 방법을 설명한다.

S&S 부계층의 수신부는 Pn, Qn을 수신하여 이를 각각 (An, Bn)과 (Cn, Dn)으로 복원하여야 한다. 이를 위하여 심벌벡터 동기를 찾는 것이 매우 중요하다. Pn에서 어떤 순간에 유입되는 심벌이 An인지 Bn인지 식별하는 방법에 대하여 그림 5를 가지고 설명한다. PMA로부터 2조 신호의 심벌벡터를 수신하면 병렬화기 (De-serializer) 내부의 제1의 수신버퍼에 저장하고, 한 클럭 (T) 지연하여 두 번째 병렬화기의 제 2의 수신버퍼에도 저장한다.

이와 같이 저장되면 두 개 중에 반드시 하나는 동기가 맞게 되어 있다. 만약 심벌의 시퀀스가 An, Bn, An+1, Bn+1, ... 과 같이 들어왔다면 제1수신버퍼에 저장된 순서가 맞는 것이고 (이 경우에 제2 수신버퍼에는 Bn, An+1, Bn+1, An+2, ...와 같은 순서로 저장된다), 만약 제 1의 수신버퍼에 Bn, An+1, Bn+1, An+2, ...과 같은 순서로 들어왔다면 한 클럭 지연이 되어 저장된 제2 수신버퍼에 저장된 것이 (이 경우 제 2 수신버퍼에는 An+1, Bn+1, An+2, Bn+2...와 같은 순서로 저장됨) 순서적으로 맞게 된다. 마찬가지로 Qn 시퀀스도 동일한 과정을 겪게 된다. 이 두 가지 경우에 대하여 PCS 계층에서 모두 역변환을 시도하면 둘 중에 하나는 동기를 찾아낼 수 있게 된다.

동기를 찾는 방법은 데이터 프레임 구간에서 검사하는 것이 아니고 idle 신호 벡터가 유입될 때 처리한다. Idle 신호 벡터는 1000BASE-T의 초기화 과정 (startup sequence) 이나 IFG 구간에서 발생한다. 그러므로 500BASE-T에서는 초기화 과정에 심벌벡터 동기를 잡는 과정이 추가된다.

데이터 구간에서는 각 심벌의 전압 값이 {+2, +1, 0, -1, -2}의 값을 가지며 무작위한 값을 가진다. 그러나 idle 심벌벡터는 {+2, 0, -2}의 전압 값만을 가지며, 역혼화를 수행하면 전압이 변화하는 순서가 일정한 패턴을 가진다. 따라서 두 개의 병렬화기에서는 각각 변화하는 값의 순서를 관찰하여 두 개의 병렬화기 중에 제대로 된 것을 찾아내어 심벌벡터 동기를 획득한다.

#### IV. 구현결과 및 검증

500BASE-T의 구현을 위하여 아래 그림 6과 같이 Xilinx사의 ML423 개발 보드를 사용하였다<sup>7)</sup>. 시뮬레이션을 위하여 Modelsim 6.5와 iSim을 사용하고, 개발툴은 로직 컴파일러로써 Xilinx사의 ISE 9.1i와 ISE 12.3i을 사용하고, Matlab의 Simulink와 연동되는 System Generator를 이용한다. 또한 칩 내부의 동작과 파형 검증은 논리분석기 Chip-Scope를 사용하여 확인한다.

FPGA의 구현 내용을 그림 1의 관점에서 보면 GMII에서 시작하여 RAS, PCS, S&S 계층까지이며, 그림 6과 같이 두 개의 보드에서 S&S 부계층 간에 플랫 케이블로 연결되어 있다. 즉 PMA 계층은 1000BASE-T나 500BASE-T가 동일하므로 검증이 필요하지 않기 때문이다.

RAS 계층에서는 GMII에서 0.5GMII 사이의 프레임 버퍼를 통하여 속도정합 기능을 확인하는 것이 필요하다. 그림 7은 칩 내부에서 발생하는 일련의 과정을 ChipScope라는 논리분석기를 통해 확인한 것이다. 신호 파형은 위에서부터 GMII와 0.5GMII에서의 TX\_EN, 0.5GMII와 GMII의 RX\_DV를 의미한다.

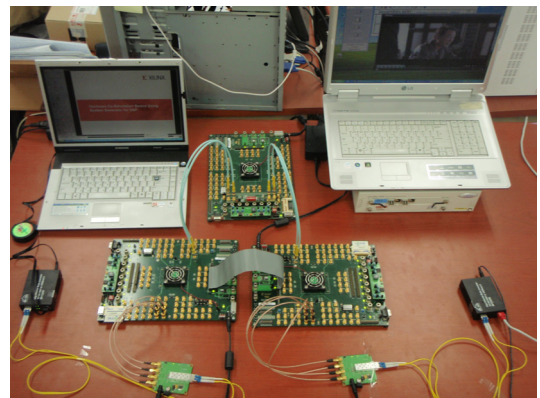


그림 6. 500BASE-T 구현 검증 환경  
Fig. 6. Implementation test environment for 500BASE-T.

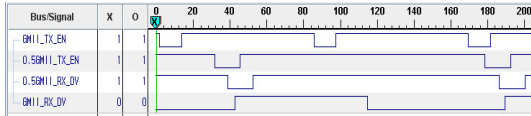


그림 7. RAS에서 속도 정합 기능  
Fig. 7. Rate adaptation function in the RAS.

3.1절에서 기술하였던 것과 같이 0.5GMII에서 enable의 길이는 2배로 늘어나는 것을 볼 수 있다. 그리고 이 과정은 그림 3의 c)에 해당하는 경우로써 1 Gbps로 전송하고 있기 때문에 프레임 버퍼에 오버플로가 발생하기 전에 역 방향으로 중지 프레임을 보내게 된다. 이더넷 분석기가 프레임을 수신한 직후 송신을 중지함의 확인하였다.

S&S 부계층에서는 수신부에서 Pn에서 An과 Bn을 Qn에서는 Cn과 Dn으로 복구하기 위해서 무엇보다도 심벌벡터 동기 능력을 확인하는 것이 중요하다. 그림 8은 이를 확인하여 준다. 3.3 절에서 기술한 바와 같이 두 개의 병렬화기에서 각각 동기를 찾고자 하게 되며, 이를 위하여 먼저 역혼화 동기를 수행해야 한다. 이를 보여주기 위하여 9834 번째 클럭에서 리셋을 걸었다. 두 개의 병렬화기에서 각각 side-stream scrambler 다항식을 검출하기 위해 동작하다가 첫 번째 병렬화기의 동기 획득 신호가 (R\_SCRN\_VALID1 신호선) 9992 번째 클럭부터 72 클럭 동안 high를 유지되므로 SCR\_STATE1이 동기를 획득한 것으로 나온다. 두 개 중의 하나가 동기를 획득하였으므로 SCR\_STATE는 9996 지점에서 동기 획득하였음을 알린다. 이는 곧 심벌벡터 동기도 확인됨을 의미하는 것이다.

전송률 테스트를 위해서 이더넷 분석기 (스마트비트)를 사용하였다. 이더넷 분석기와 개발보드는 1 Gbps 이더넷 인터페이스를 가지며, 보드 내 FPGA인 Virtex-4의 MGT (Multi-Gigabit Transceiver)가 이와 연결된다<sup>[8]</sup>.

유효전송률  $R_e$ 를 알아보기 위하여 전송 효율,  $\mu$ 를 전체시간에 대해 유효 프레임이 차지하는 비율이라 정의하자. IFG, 프리앰블, 데이터 프레임의 길이를 각각  $L_I$ ,  $L_P$ ,  $L_F$ 라 하면  $\mu$ 는 다음과 같다.

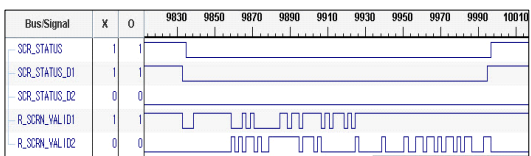


그림 8. S&S 부계층에서 심벌벡터 동기 기능  
Fig. 8. Symbol vector synchronization at S&S sublayer.

$$\mu = \frac{L_F}{L_I + L_P + L_F} \quad (1)$$

물리계층의 전송률을  $R_p$ 라 표시하면  $R_e$ 는 다음과 같이 표현할 수 있다.

$$R_e = \frac{L_F}{L_I + L_P + L_F} R_p = \mu R_p \quad (2)$$

식 (1)은 프레임의 길이가 짧으면 IFG와 프리앰블의 오버헤드로 인해 효율이 낮아짐을 암시한다.

실험을 통해 프레임의 길이를 64바이트로 고정했을 때, 최소 IFG의 길이는 86 바이트임을 알 수 있었다. 그림 9는 이더넷 분석기에서 IFG와 이더넷 프레임의 길이를 각각 86와 64 바이트로 고정하고 약 11.4 초 동안 9 백만 개의 프레임을 양방향 송수신한 결과이다. 그림 3의 b)에서 기술한 바와 같이 이더넷 분석기가 500 Mbps를 전송한다면 IFG의 길이가 96 바이트 (8+64+24)가 되어야 한다. 그런데 86 바이트를 감당할 수 있는 이유는 500BASE-T 에서 효율적인 처리로 IFG를 더 줄일 수 있기 때문이다. 실험결과는 CRC (Cyclic Redundancy Code) 에러 없이 수신율 100% 수신하고 있으며, 약 405 Mbps의 전송률을 보이고 있다.

위의 그림에 의한 전송률의 계산 방법은 다음과 같다. 그림의 ‘Rates’ 열 (우측 열)은 IFG와 프리앰블을 제외한 초당 유효 프레임과 유효 바이트 수를 의미하므로 우측 열의 ‘Rx Bytes’ 값에 8을 곱하면 유효 전송률 405.1 Mbps를 얻을 수 있다. 이는 (2)식을 통해 얻은 유효 전송률  $R_e = 64/(86+8+84) \times 1,000$  Mbps와 정확히 일치한다.

만약 1 Gbps 이더넷에서 64 바이트 프레임을 최소 IFG (12 바이트) 간격을 두고 보낼 때,  $R_e$

	Events		Rates	
	Port 1-02 LAN-3320A	Port 1-02 LAN-3320A	Port 1-02 LAN-3320A	Port 1-02 LAN-3320A
Tx Frames	9,004,331	791,130		
Rx Frames	9,004,329	791,129		
Tx Bytes	576,277,184	50,632,282		
Rx Bytes	576,277,120	50,632,282		
Tx Triggers	0	0		
Rx Triggers	0	0		
CRC Errors	0	0		
OverSize	0	0		
Frag/UnderSize	0	0		
Tx From Stack	0	0		
Rx To Stack	559,304	49,211		

그림 9. 86 바이트 IFG와 64 바이트 프레임 시험  
Fig. 9. Test for 86 byte IFG and 64 byte frame.

=64/(12+8+64)×1 Gbps = 761.9 Mbps이다. 그래서 1 Gbps 이더넷의 전송효율은 0.76을 초과할 수 없다. 반면에, 500BASE-T에서는 유효 전송률이 405.1 Mbps가 나왔기 때문에 전송효율이 0.81 (405.1/500)으로 5 % 이상의 효율의 증대를 보인다.

그림 10은 IFG와 이더넷 프레임의 길이를 각각 1,550과 1,500바이트로 설정하고 약 10초 동안 41만 개의 프레임을 양방향 시험한 결과이다. 이번에도 CRC 에러 없이 100 %의 수신율을 보이고 있다. 식 (2)와 같은 방법으로 유효전송과 효율을 계산하면  $R_e = 1,500 / (1,550 + 8 + 1500) \times 1,000 \text{Mbps} = 490.5 \text{Mbps}$ 이고,  $\mu = 490.5 / 500 = 0.98$ 이다. 유효 전송률은 우측하단의 Rx Bytes에 8의 곱한 값과 일치한다. 그림 9의 결과에 비해 프레임의 길이가 길기 때문에 효율과 유효 전송률이 증가함을 알 수 있다.

그림 11는 RAS의 버퍼의 크기를 16,000 바이트로 설정하고, 1 Gbps에서 최대의 유효 전송률로 단방향으로 16 개의 프레임을 연속적으로 전송한 경우이다. 최대의 유효 전송률이 되게 하기 위하여 IFG과 프레임의 길이를 각각 12와 1,500 바이트로 하였다. 이 실험에서는 흐름제어는 사용하지 않았다.

프레임 버퍼의 길이가 16,000 바이트인데도 불구하고 총 24,000 바이트를 데이터를 손실 없이 처리할 수 있는 것은 과부하 상태에서도 500 Mbps로 처리를 해

	Events		Rates	
	Port 1-02 LAN-3320A		Port 1-02 LAN-3320A	
Tx Frames	409,065		40,876	
Rx Frames	409,065		40,876	
Tx Bytes	613,597,500		61,314,282	
Rx Bytes	613,597,500		61,314,282	
Tx Triggers	0		0	
Rx Triggers	0		0	
CRC Errors	0		0	
OverSize	0		0	
Frag/UnderSize	0		0	
Tx From Stack	0		0	
Rx To Stack	400,631		40,015	

그림 10. 1530 바이트 IFG과 1500 바이트 프레임 시험  
Fig. 10. Test for 86 byte IFG and 64 byte frame.

	Events		Rates	
	Port 1-01 LAN-3320A		Port 1-01 LAN-3320A	
Tx Frames	0		0	
Rx Frames	16		0	
Tx Bytes	0		0	
Rx Bytes	24,000		0	
Tx Triggers	0		0	
Rx Triggers	0		0	
CRC Errors	0		0	
OverSize	0		0	
Frag/UnderSize	0		0	
Tx From Stack	0		0	
Rx To Stack	16		0	

그림 11. 1000 Mbps 전송률에서 버퍼 수행 능력 시험  
Fig. 11. Buffer performance test with 1000 Mbps.

나가기 때문이다. 따라서 프레임 버퍼는 자신의 용량의 1.5배의 데이터까지 최대 전송률로 올 동안은 손실이 발생하지 않는다.

결과적으로 IV절 전체를 통하여 검증된 결과는 2 pairs를 통한 500 Mbps 전송 기술의 유효함을 보여준다.

### V. 결 론

UBcN, 즉 초광대역통합망을 구축하는데 있어서 FTTH를 도입하는 것은 지극히 당연한 귀결일 것이다. 그러나 아직까지도 시범서비스 지역을 벗어나면 여러 가지 이유로 말미암아 광케이블이 댁내에 들어오는 것이 부담스러운 측면이 있다. 그것은 경제적인 문제로 통신 인프라가 급격하게 변화하기 힘들기 때문이다.

국내에서는 물론이고 국외에서도 동선의 활용범위는 타 매체의 추종을 불허할 비율로 광범위한 지역에서 사용되고 있다. 그런 점에서 UBcN을 구축하는데 있어서 기존의 동선 인프라를 그대로 활용할 수 있다면 경제적인 효율은 물론이고 UBcN의 전개 속도가 엄청나게 빨라질 것으로 예상할 수 있다.

UDTV와 3DTV와 같이 UBcN에서 적용될 서비스를 고려한다면, 가입자에게 100 Mbps의 전송률의 두 배 이상은 제공해야 원활한 서비스가 제공될 것이다. 이러한 전송률을 제공하는 것으로서 Vectorized VDSL이나 1000BASE-T를 고려할 수 있지만 전자는 3조, 후자는 4조의 UTP를 요구하기 때문에 현존하는 가정에 추가적인 증설이 요구된다.

이러한 문제점을 해결하기 위하여 본 논문에서는 2 조 UTP를 통해 500 Mbps를 전송하는 기술을 제안하였으며, 이것은 1조 UTP로 250 Mbps 전송방식으로 용이하게 전환된다. 기존의 1000BASE-T 기술을 응용하였기 때문에 우리는 이 기술을 500BASE-T라고 명명하였다. 이 기술의 특징은 현존하는 1000BASE-T 기술을 변경하지 않고 부계층을 추가함으로써 달성된다. 따라서 기존의 GMII와 완전히 호환이 되며, 단순히 내부 클럭이 변경될 따름이다.

기존의 GMII를 500BASE-T와 호환이 되게 하기 위하여 GMII와 PCS 사이에 RAS를 두어 효율을 증대하였고 흐름제어도 수행한다. 또한, 4조의 UTP로 신호를 2조의 UTP로 보내기 위하여 4 개의 심벌을 각각 2 개씩 묶어 다중화하여 전송하는데 이러한 기능을 수행하기 위하여 PCS와 PMA 부계층 사이에 S&S 부계층을 도입하였다. 이 때, 4 개의 심벌을 하나로 묶어서 다중화하게 되면 1조의 UTP로 250

Mbps를 전송할 수 있는 250BASE-T 기술로 전환되는 것이다.

제안된 기술을 개발보드의 FPGA에 구현하였고, 결과를 검증하기 위하여 여러 가지 계측기와 분석기를 사용하였다. 이 과정에서 RAS의 속도정합 기능과 S&S 부계층의 심벌벡터 동기를 획득하는 과정을 보였다. 또한 이더넷 분석기를 통해 지원하는 전송률을 확인하였으며, 순간적으로 1 Gbps로 유입되는 경우에도 프레임 버퍼가 완충기능을 수행하는 것을 보였다.

본 논문의 결과와 현존하는 PMA 계층을 결합하면 500BASE-T PHY 칩이 완성된다. 이는 UTP에서 FTTH로 전환되는 과도기에 저렴한 방식으로 500 Mbps 속도를 제공하는 기술로 사용될 수 있다. 또한 2조 UTP를 통해 500BASE-T의 원천기술로 표준화에 기여하는 것도 가능할 것이다. 그리고 구현된 기술을 ASIC화 하고 맥내용 500 또는 250 Mbps 모뎀을 개발한다면 정부가 추진하고 있는 UBcN 사업에 적극적으로 채택되어 상당한 기간 동안 활용될 수 있을 것이라 판단된다.

마지막으로 비용적인 측면을 고려하면 다음과 같다. 현존하는 가입자 액세스망에서 100 Mbps 급 랜을 1 Gbps 급으로 진화하기 위해서는 2조 UTP를 4조 UTP로 교체하여야 한다. 지역의 특성에 따라 변동성이 있지만 케이블 교체와 인건비를 포함하면 최소한 10만 원 정도의 비용이 추가되는 것으로 알려져 있다. 그리고 가정용 모뎀 교체 비용이 2만 원 정도가 추가될 것이다. 그러나 500BASE-T의 칩이 내장된 동일한 가격의 모뎀만 교체하면 되므로 2만 원이 필요할 따름이다. 결국 1/6의 가격으로 UBcN에 필요한 가입자 액세스망 구축되는 것을 의미한다.

### 참 고 문 헌

[1] <http://www.koit.co.kr/news/articleView.html?idxno=30888>, 2009. 2. 2.

[2] <http://www.telecomseurope.net/print/7069>, John C Tanner, VDSL2: now available at 500 Mbps, May 20, 2009.

[3] IEEE Std 802.3 Section 3, "Part 3: Carrier Sense Multiple Access with Collision Detection Access Method and Physical Layer Specifications," Approved 26 Dec. 2008.

[4] K. Azadet, P. Larsseon D. Inglis, "A Gigabit Transceiver Chip Set for UTP CAT-6 Cables in Digital CMOS Technology," IEEE

International Solid-State Circuits Conference, pp. 200-307, 2000.

[5] CISCO Technology, INC, "1000BASE-T Transmission over 2-Pair," US Patent, US2007/0663707 A1, Nov. 15, 2007.

[6] IEEE Std 802.3 Section 2 Annex 31B, "MAC Control Pause Operation," Approved 26 Dec. 2008.

[7] ML42x User Guide, "Virtex-4FX Rocket IO Characterization Platform," Xilinx UG087 (V1.2) March 2, 2007.

[8] Virtex-4 User Guide, "Virtex-4 Rocket IO Multi-Gigabit Transceiver," Xilinx UG076 (V3.2) Sept. 29, 2006.

### 정 해 (Hae Chung)

중신회원



1987년 2월 한양대학교 전자통신공학과 (학사)  
 1991년 2월 한국과학기술원 전기 및 전자공학과 (석사)  
 1996년 2월 한국과학기술원 전기 및 전자공학과 (박사)  
 1995년~1998년 LG정보통신 선임연구원

1998년 8월~현재 금오공대 전자공학부 정교수  
 2004년 1월~2005년 1월 University of Texas at Dallas 방문교수

<관심분야> FTTH, UBcN, PON, PAN

### 전 성 배 (Seong-bae Jeon)

정회원



2009년 2월 금오공대 전자통신공학과(학사)  
 2011년 2월 금오공대 전자공학과(석사)  
 2011년 3월~현재 금오공대 박사과정

<관심분야> FTTH, DSP, PON, PAN



김 진 희 (Jin-hee Kim)

정회원



1987년2월 경북대학교 전자공학과 졸업 (공학사)

1991년 2월 경북대학교 대학원 전자공학과 졸업 (공학 석사)

2002년 2월 경북대학교 대학원 전자공학과 (박사 수료)

1991년 3월~현재 KT유무선네트워크연구소 스마트 액세스팀 부장 (수석연구원)

<관심 분야> FTTH, 유무선 통합

박 형 진 (Hyung-jin Park)

정회원



1990년 2월 연세대 전자공학과 (학사)

1992년 2월 연세대 전자공학과 (석사)

1992년~2002년 LG전자 선임 연구원

2002년~현재 KT유무선네트워

크 연구소 스마트액세스팀 책임연구원

<관심 분야> 액세스망 구조연구