

100G 이더넷 수용을 위한 OTU4 프레임 표준기술 설계 및 구현

정희원 윤지욱*, 김종호*, 신종윤*, 김광준*

A Design and Implementation of OTU4 Framer for 100G Ethernet

Jiwook Youn*, Jongho Kim*, Jongyoon Shin*, Kwangjoon Kim* *Regular Members*

요 약

본 논문에서는 100G 이더넷과 100G OTN에 대한 표준화 활동, 요구사항 및 관련 기술들에 대해서 고찰해 본다. 현재 망 사업자와 캐리어 업체들을 중심으로 100Gbps 전송용량에 대한 수요가 점차 증가하고 있다. 또한 OTN/DWDM 기반의 초고속 광 전달망은 폭발적으로 증가하고 있는 이더넷 트래픽을 효과적으로 수용하기 위한 구조로 변화해 가고 있다. 본 논문에서는 상용 FPGA를 사용하여 OTU4 프레임러를 구현하고 그 성능을 실험적으로 검증하였다. 구현된 OTU4 프레임러는 병렬 신호처리 기능, 다중 레인 운용 기능, 범용 매핑 절차 기능 및 FEC 기능을 가진다. 또한 구현된 OTU4 프레임러는 최대 120Gbps 신호처리 용량을 가지고 있어 12x10G 이더넷 또는 3x40G 이더넷 응용에 활용할 수 있다는 장점을 가진다. 본 연구는 ASIC이 아닌 상용 FPGA를 이용하여 OTU4 프레임러를 구현함으로써 빠르게 변해가는 시장상황에 유연하게 대처할 수 있으며 이를 토대로 국제표준을 추진할 수 있다는 장점을 가진다.

Key Words : 100G Ethernet, OTN, OTU4 Framer, GMP, FEC, 100기가 이더넷, 광 전달망, OTU4 프레임러, 범용 매핑 절차, 순방향 오류정정

ABSTRACT

This paper discusses standardization activities, requirements and enabling technologies for 100G Ethernet and 100G OTN. The need of 100Gbps transport capacity has been gaining greater interest from service providers and carrier vendors. Moreover, optical transport networks based on OTN/DWDM are changing their properties to apply Ethernet traffic which is dramatically increasing. We realize and experimentally demonstrate OTU4 framer with commercial FPGA. The key features of the realized OTU4 framer are parallel signal processing function, multi-lane distribution function, GMP function and FEC function. The realized OTU4 framer has the large signal processing capacity of 120Gbps, which allows to transport about 120Gbps client signals such as 12x10G Ethernet and 3x40G Ethernet. The realized OTU4 framer has the advantages to quickly adjust to changing markets and new technologies by using commercial FPGA instead of ASIC.

※ 본 연구는 지식경제부 및 정보통신연구진흥원의 IT 핵심기술개발사업의 일환으로 수행되었음(2008-F017-04, 100Gbps급 이더넷 및 광전송 기술 개발)

* 한국전자통신연구원 광인터넷연구부 (younjw@etri.re.kr), (°: 교신저자)

논문번호: KICS2011-07-296, 접수일자: 2011년 7월 15일, 최종논문접수일자: 2011년 12월 2일

I. 서 론

현재의 광 전달망은 광대역화 되어가는 액세스 망과 모바일 백홀 망을 지원하고 데이터 센터로부터의 대용량 트래픽을 수용하기 위해 포트 당 100Gbps 신호를 전송하는 구조로 빠르게 변해가고 있다. 특히 캐리어 업체와 망 사업자를 중심으로 100G 이더넷에 대한 관심과 수요가 집중되고 있으며, 이들 대부분은 자신들의 DWDM (Dense Wavelength Division Multiplexing) 기반의 광 전송장비에 OTN (Optical Transport Network) 인터페이스를 2014년까지 추가할 계획을 가지고 있다^[1]. 시장조사 전문업체인 Infonetics Research에서는 100Gbps 광전송 포트 시장의 성장률을 2014년까지 연평균 177%로 예상하고 있으며, 2014년에는 시장규모가 약 30억 달러에 이를 것으로 전망하고 있다^[2]. 그림 1은 2015년까지 기업 망에 적용되는 장비와 서비스 업체 장비에서 사용이 예상되는 네트워크 인터페이스의 포트 구성비를 보여주고 있다^[3]. 그림 1에서 알 수 있듯이 40Gbps 이상의 고속 인터페이스 포트가 시스템에 본격적으로 적용되는 시점인 2015년에는 100Gbps 인터페이스 수요가 40Gbps 인터페이스의 수요를 능가할 것으로 전망되며, 100G 이더넷의 상용화와 더불어 100Gbps 인터페이스의 수요는 폭발적으로 증가될 것으로 예상된다. 현재 광 전달망 전송용량의 대부분은 매년 급격한 성장세를 보이고 있는 인터넷 트래픽이 차지하고 있으며, 이러한 경향은 스마트 폰의 보급과 더불어 점점 더 뚜렷해지고 있다. 이와 같은 시장의 요구사항에 대처하기 위해서 IEEE에서는 초고속 전송기술인 40G 및 100G 이더넷에 대한 표준을 진행하고 있

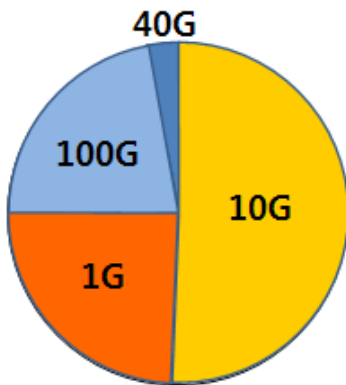


그림 1. 2015년 기업 망과 서비스 업체 장비의 네트워크 인터페이스 포트 구성비

으며, ITU-T 에서도 이더넷 표준과의 상호 호환성을 보장하기 위한 방안으로 IEEE와 동시에 40G 및 100G OTN 표준을 진행하고 있다.

본 논문에서는 포트 당 100Gbps의 전송용량을 가지는 초고속 인터페이스 기술인 100G 이더넷 기술과 이를 DWDM 기반의 광 전달망에서 수용하기 위한 100G OTN 기술에 대해서 살펴본다. 특히 광 전달망을 통해 100G 이더넷을 전송하기 위한 핵심 기술인 OTU4 프레임러를 상용 FPGA로 구현하고 그 성능을 실험적으로 증명하였다.

본 논문의 구성은 다음과 같다. 우선 2장에서는 100G 이더넷 표준화 동향과 100G OTN 표준화 동향에 대해 살펴본다. 3장에서는 100G 이더넷을 OTN망을 통해 전송할 경우 요구되는 주요 고려사항들에 대해서 표준화 관점에서 고찰해 보고, 상용 FPGA를 사용하여 OTU4 프레임러를 구현하기 위한 구조를 제안한다. 4장에서는 제작된 OTU4 프레임러 검증용 보드와 구현결과를 보여준다. 5장에서는 관련 표준의 향후 전망에 대해서 살펴본 후 6장에서 결론을 맺도록 한다.

II. 표준화 동향

2.1 100G 이더넷 표준

그림 2는 현재 40Gbps 이상의 초고속신호 전송과 관련하여 국제표준화기구에서 진행되고 있는 표준들의 종류와 진행사항을 보여준다. IEEE에서는 초고속 전송기술을 수용하기 위해서 2006년 HSSG (Higher Speed Study Group)를 조직하여 100G 이더넷 표준을 추진하기 시작하였다. 2007년 11월에는 100G 이더넷 표준과 40G 이더넷 표준을 하나의 통일된 표준 그룹에서 진행하기 위해서 802.3ba TF (Task Force)를 구성하였으며, 2010년 6월에 40G 이더넷 및 100G 이더넷에 대한 표준인 IEEE 802.3ba 표준이 최종 승인되었다^[4]. 또한, OIF PLL (Physical and Link Layer) 워킹 그룹에서는 100Gbps 장거리 전송 규격에 관한 표준화를 진행 중에 있다. 그림 3은 IEEE 802.3ba-2010^[4]에서 정의하고 있는 100G 이더넷의 계층구조를 나타낸다. 100G 이더넷 표준은 전기소자의 기술적 한계 때문에 다중 레인 전송방식을 채택하고 있으며, 이에 따라서 PCS (Physical Coding Sublayer) 계층과 PMA (Physical Media Attachment) 계층은 20개의 가상 레인(Virtual Lane: VL)으로 연결된다. 100G 이더넷에서 MAC과 PCS는 일반적으로 하나의 칩으로 구성되며 더 나아가 20:10 PMA도 하나의 칩으로 구성되는 경우가 많다. 현재까지의 100G

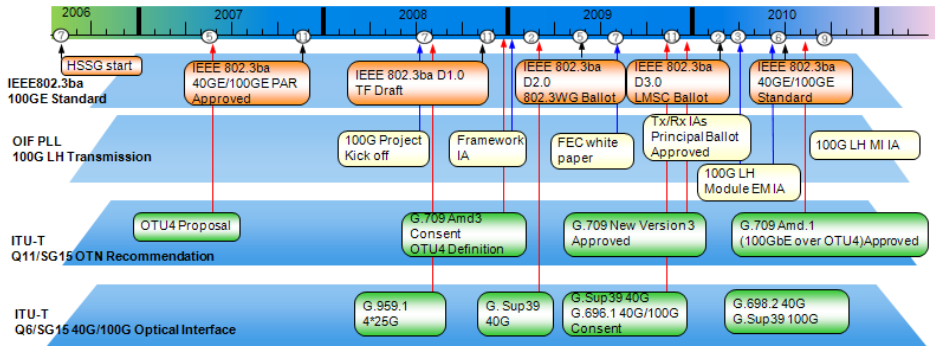


그림 2. 초고속신호 인터페이스 국제표준화 현황

이더넷 표준은 주로 네트워크 집선에 초점을 맞추어 개발이 진행되어 왔으나, 최근 IEEE 802.3과 OIF에서 25Gbps 전기신호를 처리하는 것에 대한 표준화가 진행 중에 있다. OIF에서는 칩 대 칩 및 칩 대 모듈용 표준인 CEI-28G_SR 표준과 100Gbps 백플레인용 표준인 CEI-25G_LR 표준을 진행하고 있다. 이 외에도 대용량 데이터 센터에서 사용하기 위한 100Gbps 신호전송 규격으로 단일모드 광섬유를 이용하여 2Km까지 전송거리를 확장한 새로운 인터페이스 규격인 10x10 MSA가 Google 주도로 구성되었다^{5,6)}.

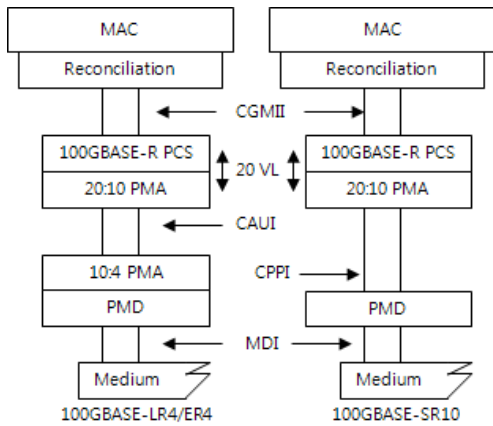


그림 3. 100G 이더넷 계층구조

2.2 100G OTN 표준

ITU-T에서는 SG15에서 40G OTN과 100G OTN 관련 표준화를 추진하고 있으며, 크게 OTN 신호매핑 부분과 광 인터페이스 부분으로 진행되고 있다. 특히, 이더넷 표준과의 호환성을 보장하기 위해서 IEEE와 긴밀한 협조 하에 표준화 작업을 진행해나가고 있다. 이는 기존의 OTN 표준이 이더넷 표준과의 전송속도 차이로 10GBASE-R 신호를 수용하기 위해 별도의

ODU2e (Optical channel Data Unit level 2e) 신호를 추가하였으며, 이에 따라 40Gbps 신호전송을 위해 사용되는 ODU3의 경우, 4개의 ODU2e 신호를 수용할 수 없는 문제점을 가지고 있기 때문이다. 2006년에 IEEE에서 100G 이더넷 표준을 추진함에 따라 IEEE에서 정의된 100G 이더넷 신호를 수용하기 위한 새로운 OTN 계위신호인 OTU4 (Optical channel Transport Unit) 프레임이 2007년 5월에 제안되었으며, 2008년에 OTU4 프레임임을 포함하는 G.709 표준이 승인 되었다⁷⁾. 또한 ITU-T에서는 모든 클라이언트 신호를 효과적으로 수용하고 대역폭을 효율적으로 가변시키기 위한 범용 매핑 절차(General Mapping Procedure: GMP) 기술표준⁸⁾을 개발하였으며, 이를 광 전달망에 적용하기 위한 G.709 버전3 표준을 2009년 12월에 승인하였다. 2010년 6월에 IEEE 802.3ba 표준이 최종 승인됨에 따라서 40G 이더넷 및 100G 이더넷을 수용하는 G.709 버전3 Amd.1이 2010년 7월에 승인되었다⁹⁾. 범용 매핑 절차를 이용하여 100G 이더넷 신호를 OTU4 프레임에 가장 효율적으로 매핑하면서도 기존 OTN 계위 신호인 ODU2e 신호를 10개까지 다중화하기 위해서 OTU4의 전송속도는 아래와 같이 규정되었다.

$$111.8099 Gbps \pm 20 ppm$$

$$(255/277 \times 40 \times 2.488 Gbps)$$

이 외에도 ITU-T에서는 광 전달망에서 이더넷 트래픽을 보다 효과적으로 수용하고 망의 효율성을 극대화하기 위해서 패킷 기반의 ODUflex(GFP) (flexible Optical channel Data Unit) 신호를 새로이 정의하였다. 또한 망 운용 중에 ODUflex(GFP) 대역폭을 hitless하게 증감하는 기술인 HAO (Hitless Adjustment of ODUflex(GFP))를 G.7044(구 G.hao) 표준으로 2009

년에 제안하여 2011년 9월에 승인하였다.^[10]

Ⅲ. 주요 이슈 및 구현방안

100G 이더넷 시장은 빠르게 성장하고 있으며, 이러한 성장에 힘입어 100G 이더넷 관련기술 또한 빠르게 변화하고 있다. 이러한 시장상황 하에서 100G 이더넷 시장을 선점하기 위해 캐리어 업체와 장비 업체들은 관련 기술들을 상용 FPGA를 이용하여 독자적으로 개발하고 있는 추세이다. 상용 FPGA를 사용할 경우 ASIC 칩이나 ASSP 칩 보다 빠르게 변화하는 시장의 요구사항에 보다 유연하게 대처할 수 있으며 표준화 내용이 변경되거나 새로운 기능이 추가될 경우 이를 빠르게 반영할 수 있다는 장점을 가진다.

본 논문에서는 100G 이더넷 신호를 광 전달망을 통해 전송하기위한 OTU4 프레임어의 주요기능들을 구현하고 이를 실험적으로 검증하였다. 그림 4는 구현된 OTU4 프레임어의 기능 블록도를 보여준다. OTU4 프레임어는 구현의 복잡도와 추후 가격적인 면을 고려하여 하나의 상용 FPGA로 설계하였으며, 10Gbps SerDes와 11.2Gbps SerDes를 통하여 각각 100G 이더넷 CFP (100Gb/s small Form-factor Pluggable) 광 모듈과 100G OTN CFP 광 모듈과 직접연결이 가능하다. OTU4 프레임어는 크게 MLD (Multi-Lane Distribution) 블록, GMP 매핑블록, OTU4 오버헤드 처리블록 및 FEC (Forward Error Correction) 처리블록으로 구성된다.

3.1 병렬 신호처리 기술

100G 이더넷 표준은 다중 레인 전송구조를 채택하고 있으며, PCS 계층과 PMA 계층 사이에 20개의 논리적 가상 레인을 정의하고 있다. 따라서 수신단에서

는 PCS 레인별 스큐(skew)를 제거해 주어야 한다. 이러한 목적으로 각각의 PCS 레인 별로 매 16,383개의 66비트 블록 간격마다 AM (Alignment Marker)이 삽입된다. 20개의 PCS 레인은 100GBASE-SR10의 경우 20:10 PMA 계층에서 10개의 물리적 레인으로 비트 다중화 된 후 PMD (Physical Medium Dependent) 계층을 거쳐 광섬유를 통해 전송된다(그림 3). 따라서 그림 4에서 OTU4 프레임어의 클라이언트 입력 인터페이스에서는 10개의 물리적 레인을 통해 입력되는 100G 이더넷 신호를 비트 역 다중화 하여 20개의 PCS 레인으로 변환해 주어야 한다. 이를 좀 더 자세히 살펴보면 그림 5와 같다.

본 논문에서는 상용 FPGA에서 제공 가능한 클럭 주파수를 이용하는 한편, 레인별 신호를 66비트 대신 33비트로 처리함으로써 최대한 병렬 로직의 부담을 줄이고 리소스 사용량을 절감하여 향후 저가의 FPGA의 사용이 가능하도록 설계하였다. 이더넷 에서는 LSB 비트가 먼저 전송되어지는 반면에 OTN에서는 MSB 비트가 먼저 전송되는 차이점이 있기 때문에 그림 5b와 같이 비트 역다중화 블록 앞단에서 비트 반전 기능을 수행하여 전송되는 신호의 비트 순서를 맞추어 주었다. 또한 이더넷 MLD 블록에서는 디 스큐 동작과 PCS 레인 재 정렬 후 33비트의 PCS 레인별 신호를 32비트로 변환하여 OTU관련 블록과 연동하였다. 이렇게 함으로써 OTU관련 블록은 640비트 174.7 MHz 클럭 주파수로 동작하도록 설계하였으며, OTU4 스크램블링 블록과 디스크램블링 블록 또한 64비트 단위가 아닌 640비트 단위로 병렬처리 하도록 설계하였다. 현재 100G 이더넷 표준에서는 MAC 계층과 PCS 계층간 CGMII (100G Media Independent Interface) 인터페이스를 정의하고 있는데, 이는 논리적 인터페이스로 64비트 데이터 신호와 8비트 제어

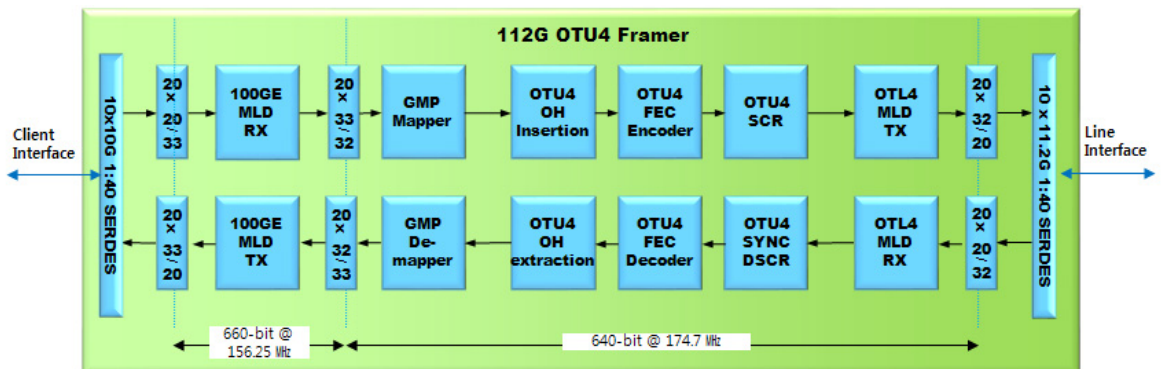


그림 4. OTU4 프레임어 기능 블록도

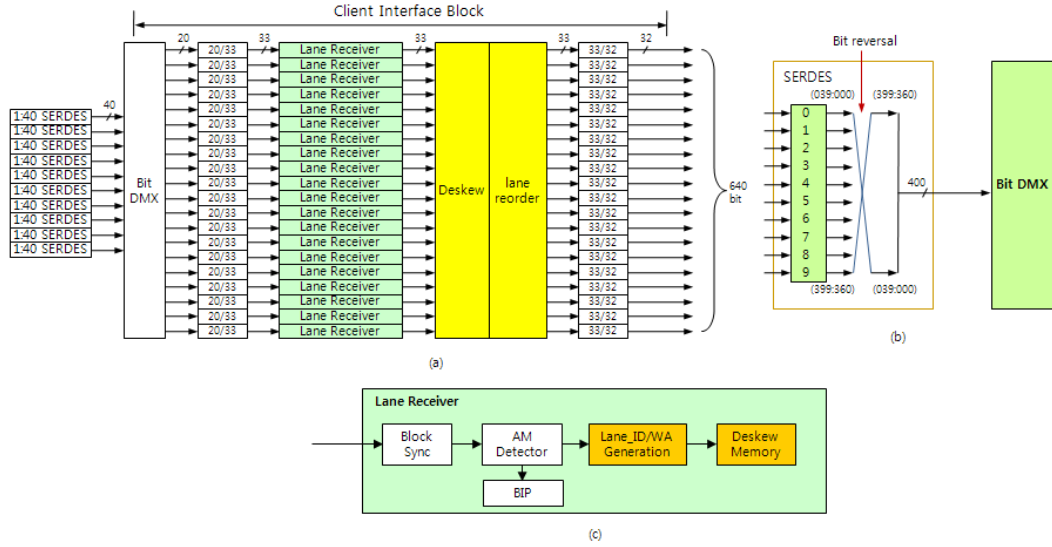


그림 5. 클라이언트 인터페이스 세부기능 블록도

신호를 처리하기 위해서 1.5625GHz의 클럭속도가 필요하다. 그러나 현재의 45nm CMOS 공정기술을 사용하는 통신용 칩에서는 이를 만족하기 어렵기 때문에 반드시 병렬처리설계가 필요하다. 또한 FEC 계산에 있어서도 ODU4 프레임 구조가 4,080바이트로 되어있기 때문에 80바이트 단위로 프레임(80x51=4080)을 처리할 경우, 신호처리가 보다 단순해진다는 장점을 가진다. 따라서 본 논문에서는 100Gbps 신호처리에 최적화된 OTU4 프레임어를 설계하기 위해서 640비트 고속 병렬처리 기법을 적용하였다. 이러한 640비트 고속 병렬처리 방식은 ITU-T에서 2010년 7월에 G.709 표준의 범용 매핑 절차의 동작을 80바이트 단위로 수행하도록 규정함으로써 표준에 보다 잘 적용되는 장점을 가진다.

3.2 다중 레인 운용기술

100G OTN과 100G 이더넷은 서로 다른 MLD 구조를 가지고 있다. 따라서 그림 4와 같이 OTU4 프레임어의 클라이언트 인터페이스에는 100G 이더넷용 MLD 블록을 구현하였으며, 라인 인터페이스에는 100G OTN용 MLD 블록을 구현하였다. 각각에 대한 자세한 구현방법은 다음과 같다.

3.2.1 100G 이더넷 다중 레인 운용기술

100G 이더넷 신호는 연속적인 66비트 형태로 20개의 PCS 레인에 라운드 로빈 방식으로 분배되며, 각 레인간의 스큐 및 레인 식별을 위하여 66비트의 AM

신호가 PCS 레인별로 삽입된다. AM신호 삽입에 필요한 데이터 전송률은 MAC계층으로부터 입력되는 66비트 블록들 중 IPG (Inter Packet Gap)를 삭제하여 확보한다. 다중 레인 전송방식에서는 PCS 레인별로 수신단에 도착하는 시간이 각기 다르기 때문에 PCS 레인간 스큐가 발생하게 된다. 수신단에서는 AM을 이용하여 PCS 레인별 시작점을 찾아 메모리에 저장한 후 가장 늦게 도착한 신호의 시작점 이후 메모리로부터 데이터를 읽음으로써 스큐를 보상할 수 있다. 그림 5c는 레인 수신기의 세부기능블록을 나타낸다. 본 논문에서는 클라이언트 인터페이스 신호를 33비트 병렬처리 하도록 설계하였기 때문에 레인별 메모리 쓰기번지(Write Address: WA) 신호는 AM 주기의 2배 값인 총 15비트 값(0~32,767)을 가진다. 이 값은 각 PCS 레인 신호를 디스큐 메모리에 저장하기 위한 쓰기 번지로서 AM 패킷의 첫 번째 위치에서 항상 '0'값을 가지며 이후 하나씩 증가한다. 100G 이더넷의 경우 모든 PCS 레인들이 대부분 동일한 전송라인을 통해 전송되기 때문에 IEEE 802.3ba-2010^[4]에서는 각 PCS lane별 최대 스큐를 180ns로 제한하였으며, 이는 100G 이더넷 수신부에서는 PCS 레인별로 928UI 정도의 스큐 보상 기능을 가지면 됨을 의미한다. 실제 성능검증 실험에서는 보다 향상된 스큐 보상 기능을 갖도록 디스큐 메모리의 크기를 256으로 설계하여 PCS 레인별 8448UI, 즉, 1638.4ns까지 스큐가 발생하여도 스큐 보상이 가능하도록 설계하였다. PCS 레인간 스큐를 제거하기 위해서는 메모리의 읽기번지

(Read Address: RA)와 쓰기번지를 제어하면 된다. 즉, RA값을 결정하고 WA와 RA의 안정된 동작을 위해서 WA값과 RA값의 차이를 계산한 값(Differential Address: DA)이 설정된 임계값보다 작으면 RA값을 +1 또는 +step만큼 증가시키고 임계값보다 크면 디스크 큐 메모리로부터 저장된 데이터를 읽으면 된다. 그림 6은 RA를 '0'으로 가정하였을 경우, MLD 블록에 적용된 DA영역의 임계값과 Guard 시간을 이용하여 최적의 RA값을 구하는 개념도를 나타낸다. DA값은 식 1과 같다.

$$DA = WA - RA \quad (1)$$

처음 디스크 동작을 실행할 때는 +/- 32 클럭의 임계값을 설정하였으며, 디스크가 된 이후에는 임계값을 +/- 8 클럭으로 설정하였다. 여기서 중요한 고려사항은 WA값과 RA값이 너무 벌어질 경우, 과도한 시간 지연이 발생할 수 있다는 것이다. 따라서 본 논문에서는 이러한 시간지연을 최소화하기 위해서 Guard 시간을 적용하여 최적의 RA값을 계산하였다. 최적의 RA값은 식 2와 같이 구할 수 있다.

$$RA_{opt} = RA + DA(\min) - T_g \quad (2)$$

여기서 RA_{opt} 는 RA 최적값, RA는 현재의 RA값, $DA(\min)$ 은 DA 최소값, T_g 는 Guard 시간을 나타내며, 실험에서 Guard 시간은 8로 설정하였다. 각 PCS 레인의 스큐가 모두 보상된 후에는 입력된 신호들을 PCS Lane_ID를 이용하여 재 정렬 후 레인 순서대로 신호를 출력한다. 레인별 스위칭은 레인별로 20:1

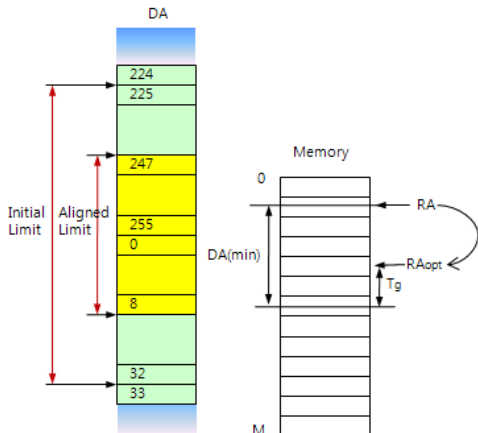


그림 6. DA 임계값 및 최적 RA값 개념도

MUX를 사용하여 원하는 출력신호를 선택함으로써 구현하였다.

3.2.2 100G OTN 다중 레인 운용기술

100G OTN 표준은 100G 이더넷과 동일한 광 모듈을 공유하기 위해서 광 채널 전송레인(Optical channel Transport Lane: OTL)을 규정하고 있으며, BIP (Bit Interleaved Parity)관련 몇몇 기능 블록들을 제외하고는 100G 이더넷 LAN PHY와 동일한 규격을 가진다. 100G급 20개의 OTL이 10개의 10Gbps 물리적 레인으로 전송될 경우를 OTL4.10이라고 하며, 4개의 25Gbps 물리적 레인으로 전송될 경우를 OTL4.4라고 한다. 그림 7은 100G OTN에서의 다중 레인 분배 방식을 보여주는 개념도이다. 먼저 OTU4 프레임은 1,020개의 16바이트 블록으로 나뉘진 후 20개의 가상 레인에 라운드 로빈 방식으로 분배된다. 이때 lane rotation 기능을 사용하여 매 멀티 프레임의 경계마다 레인을 하나씩 이동시킴으로써 각 레인별로 FAS (Frame Alignment Signal)이 한 번씩만 위치하도록 설계하였다.

OTL4.10 MLD 수신부에서는 OTL 디스크큐를 위해 32x2K의 메모리를 사용하였으며, 디스크큐 기능은 구현된 OTL4.10 MLD 블록과 100Gbps 신호분석기를 이용하여 레인별로 스큐 값을 변경하면서 측정하였다. 측정결과, 20개의 OTL 레인에 대해서 레인별 93us (1,920UI)까지 스큐가 보상됨을 확인하였으며 구현된 BIP 감시기능 또한 검증 하였다. 구현된 OTL은 0~239값을 가지는 LLM (Logical Lane Marker)과 0~255값을 가지는 MFAS (Multi FAS) 정보를 조합하여 디스크큐 메모리를 최대한 사용할 경우, 이론적으로 44.839ms까지 스큐를 보상할 수 있다.

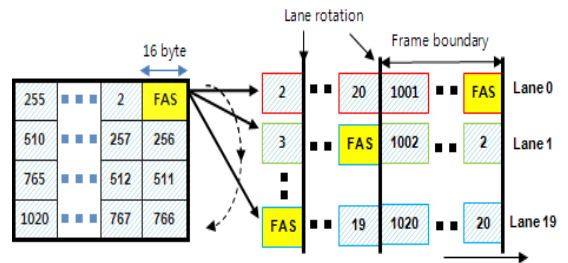


그림 7. 100G OTN 다중레인 분배

3.3 범용 매핑 절차(GMP) 기술

OTN 기술은 광 전송망에 적용되어 하나의 광 파장 내에 하나 또는 다수개의 다양한 클라이언트 신호를

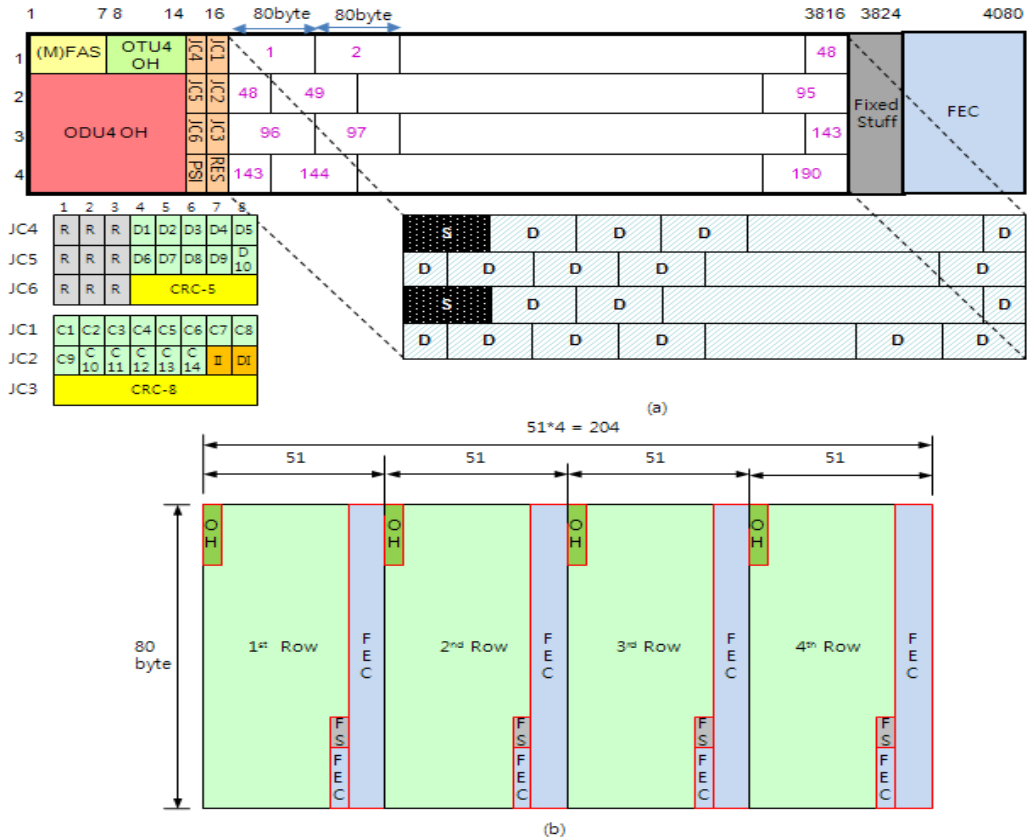


그림 8. GMP 신호매핑 및 OTU4 병렬 프레임 형태

수용하는 기술로 망의 효율성과 유연성을 제공한다. ITU-T에서는 다양한 전송신호들을 신호형태에 무관하게 보다 효과적으로 수용하고 신호품질을 보장해 주기 위해서 GMP 기술을 규정하고 있다. 그림 8은 GMP를 이용하여 ODU4 신호에 100G 이더넷 신호를 매핑하는 과정과 ODU4 신호를 본 논문에서 제한한 80바이트로 병렬 처리하는 개념도를 보여준다.

ODU4 프레임은 기존의 ODUk (k=1, 2, 3) 프레임과 동일한 구조를 가지면서 고속 40바이트 또는 80바이트 병렬처리에 적합하도록 페이로드의 끝 부분에 각 열별로 8바이트의 고정 스템프(Fixed Stuff: FS) 바이트를 가진다. 100G 이더넷 신호는 연속되는 80바이트로 나누어진 후 고정 스템프를 제외한 190개의 80바이트(M바이트)로 구성된 ODU4의 페이로드 영역에 매핑된다. 이때, 스템프 바이트는 페이로드 영역에 균일하게 분포되어야 한다. 그림 8(a)는 100GBASE-R (C₆₄₀=188) 이더넷 신호가 ODU4 프레임에 매핑되는 예를 보여준다. 이 경우, 188개의 데이터 M바이트와 2개의 스템프 M바이트가 필요하며 D/S 비율은 94가

된다.

따라서 2개의 스템프 M바이트 사이에 94개의 연속적인 데이터 M바이트가 위치하게 된다. 즉 스템프 바이트는 첫 번째 M바이트와 96번째 M바이트에 위치하게 된다. 페이로드 영역 중에서 클라이언트 신호를 운반하기 위해 사용되는 M바이트 수는 JC (Justification Control) 바이트들 중 JC1, JC2, JC3에 삽입되어 전송된다. 또한, GMP 기술은 Sigma-delta 로직을 이용하여 페이로드 영역내의 각각의 M바이트가 데이터 신호인지 스템프 바이트인지를 계산할 수 있어 이를 이용하여 모든 클라이언트 신호의 복원이 가능하다. 따라서 GMP 기술을 이용할 경우 클라이언트 신호의 종류에 상관없이 모든 종류의 신호를 ODUk 신호에 매핑할 수 있다는 장점을 가진다. Sigma-delta 로직은 식 3과 같이 나타낼 수 있다.

$$\begin{aligned}
 j \times C_m \bmod P_m &< C_m \\
 j \times C_m \bmod P_m &\geq C_m
 \end{aligned} \tag{3}$$

여기서, P_m 값은 고정 스테르프 영역을 제외한 페이로드 영역내의 M바이트 수로 $190(3800 \times 4/80)$ 이 된다. Sigma-delta 로직을 이용한 페이로드 영역내의 M바이트 판별법은 j번째 M바이트에 대한 식 3의 계산 값이 C_m 값 보다 작을 경우에는 페이로드 영역의 j번째 M바이트는 데이터 신호를 나타내고 계산 값이 C_m 값과 같거나 클 경우에는 페이로드 영역의 j번째 M바이트는 스테르프 바이트를 나타낸다.

그림 8 (b)는 ODU4 프레임용 80바이트로 병렬처리하는 개념도를 보여준다. ODU4 프레임의 각각의 행은 51개의 80바이트로 구성되며 FEC 처리가 각 행별로 독립적으로 처리가 가능하다는 장점을 가진다.

3.4. FEC 기술

100G OTN 표준은 OTU4 신호의 품질과 신뢰성을 보장하기 위해서 도메인간 인터페이스에서는 RS(255, 239)를 사용하는 FEC 코드의 사용을 필수사항으로 정의하고 있으며, 도메인 내의 인터페이스에서는 보다 높은 이득의 FEC가 요구되어진다. 이를 위해서 ITU-T에서는 새로이 G.975.1 표준에 RS(255, 239)와 동일한 패리티 비트를 사용하면서도 10^{-15} 의 BER 출력에서 약 9dB 정도의 코딩이득을 가지는 EFEC (Enhanced FEC) 표준을 제안하였다^[11]. RS(255, 239) FEC 구현을 위한 기존의 3병렬 방식을 이용한 38비트 병렬 처리 방법은 ASIC으로 100G급 FEC 기능을 구현할 경우에는 적합하나 상용 FPGA로 구현할 경우 성능을 보장할 수 없다는 단점을 가진다^[12,13]. 따라서 본 논문에서는 상용 FPGA로 구현하기에 적합한 구조인 5바이트 병렬처리 기법을 적용하여 OTU4 프레임의 FEC 기능블록을 설계하였다. 제안된 방식의 640비트 병렬처리 방식은 로직용량을 줄이면서도 FEC 지연시간을 최소화 할 수 있다는 장점을 가진다. 제안된 방식으로 G.709 표준에서 정의된 FEC 기능을 구현할 경우, 10^{-15} BER에서 6dB NCG (Net Coding Gain)의 성능을 가진다.

IV. 검증용 보드 및 구현결과

3장에서는 100G 이더넷 및 100G OTN 표준을 구현하기 위해서 요구되는 OTU4 프레임의 주요기능들과 이의 구현에 대해 살펴보았다. 4장에서는 이러한 기능들을 검증하기 위하여 제작된 검증용 보드에 대해 설명한다. 제작된 검증용 보드는 그림 9와 같으며, 하나의 상용 FPGA를 사용하여 100G 이더넷 신호처리 기능과 OTU4 신호처리 기능을 동시에 구현하였

다. 클라이언트 인터페이스로는 100G 이더넷 인터페이스를 가지며, 라인 인터페이스로는 100G 이더넷 인터페이스와 장거리 전송을 위한 OIF MSA-100GLH 인터페이스를 동시에 지원할 수 있다. OTU4 프레임 기능은 라인 인터페이스용 100G CFP 광 모듈 대신에 루프 백 서브 모듈을 실장한 후 100GBASE-SR10 클라이언트 인터페이스용 광 모듈과 100Gbps 신호 분석기를 사용하여 검증하였다. 10개의 11.2 Gbps OTN 신호 채널의 총 전송 길이는 2개의 168-pin 컨넥터를 포함하여 약 220mm였다. 실험에는 Altera사의 EP4S100G5 FPGA를 사용하였으며, 주요 기능별 사용된 로직의 양은 표 1과 같다.

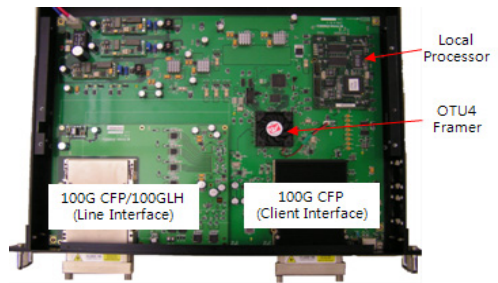


그림 9. 검증용 보드 사진

표 1. 검증용 보드의 주요기능별 로직 사용량

IP Module	Resources (Comb. ALUTs)	Data width
G.709 FEC	Enc : 9,139 (2%) Dec : 54,445 (12.8%)	640
Frame Alignment	6,647 (1.5%)	640
Frame Scrambler	1,304 (<1%)	640
GMP Mapper	2,392 (<1%)	640
OTU4 Framing	9,925 (2.3%)	640
OTL4.10 MLD	23,565 (5.5%)	400, 640
100G Ethernet MLD	25,300 (6%)	400, 660
OTU4 Framer (total)	242,290/424,960 (57%)	400, 640, 660

V. 표준화 향후 전망

향후 표준화 전망은 크게 두 가지 방향으로 진행될 것으로 예상된다. 가장 큰 흐름은 100Gbps 후속으로 어떠한 전송속도를 개발할 것인가이다. 현재 IEEE 802.3에서는 400G 이더넷 또는 1T 이더넷 표준화를 예상하고 있으나 이에 대한 표준화 시기는 아직 검토 중에 있다. ITU-T에서도 OTU5에 대한 요구사항을

연구 중이지만 IEEE 802.3에서 400G 이더넷 또는 1T 이더넷 표준화를 본격적으로 시작하는 시점 이후로 OTU5에 대한 논의를 연기하고 있다.

이는 400G 이더넷용 광 모듈은 100G 이더넷용 광 모듈 기술을 확장하여 적용할 수 있으나, 1T 이더넷용 광 모듈의 경우에는 새로운 기술이 필요하기 때문이다. OTN 전송에 있어서도 OTU4 이상의 전송속도에서는 전송속도의 증가가 광 성능에 심각한 저하를 발생할 수 있기 때문에 기존 OTU4 보다 전송 효율과 전송속도 최적화가 요구된다.

다른 한 가지 흐름은 현재의 초고속 광 전송망의 전송효율을 증대시키기 위한 표준기술로 다수의 40G 이더넷 신호를 하나의 광 모듈을 통해 전송하는 Nx40G 이더넷 전송기술과 ODUflex(GFP)기술에 대한 표준개발이 전망된다.

현재 OIF에서 표준화가 진행 중인 MSA-100GLH 표준은 망의 효율성을 증가시키기 위해 최대 3개의 40G 이더넷을 수용할 수 있도록 편 맵을 규정하고 있으며^[14], 현재 양산되고 있는 100G 이더넷 CFP 광 모듈^[15] 또한 최대 12개의 10Gbps 신호를 지원하고 있다.

이러한 표준화 동향을 빠르게 반영하기 위하여 OTU4 프레임어는 신호처리 용량을 120Gbps까지 확장할 수 있도록 설계하였다. 따라서 본 논문에서 개발된 OTU4 프레임어를 사용할 경우, 별도의 추가적인 소자나 로직 없이 클라이언트 인터페이스로 100G 이더넷 뿐 아니라 현재 이더넷 망에서 가장 많이 사용되고 있는 10G 이더넷을 12개까지 수용할 수 있으며 3개의 40G 이더넷을 지원할 수 있다는 장점을 가진다.

VI. 결 론

본 논문에서는 100G 이더넷 신호를 OTN망을 통해 전송하기 위한 표준화 현황과 핵심 요소기술들을 고찰해 보았다. 또한 상용 FPGA를 이용하여 핵심 기능들을 구현하여 그 성능을 실험적으로 검증하였다. 현재의 광 전송망은 고 대역폭을 요구하는 서비스들의 등장으로 가까운 미래에 100Gbps 전송속도를 사용하는 초고속 광 전송망 시대가 도래할 것으로 예상된다. 본 논문의 결과는 이러한 시장의 요구사항에 맞추어 빠르게 발전하고 있는 표준기술을 적시에 상용 제품에 적용할 수 있는 길을 제시한다.

참 고 문 헌

- [1] "OTN survey reveals huge shift in carrier planes for optical switching," *Infonetics Research*, May 2011.
- [2] "Optical network hardware ports by speed," *Infonetics Research*, Feb. 2010.
- [3] "High speed port (1G, 10G, 40G, 100G) marker to hit \$52 billion in 2015," *Infonetics Research*, April 2011.
- [4] IEEE Std 802.3ba-2010, "Part3: Carrier Sense Multiple Access with Collision Detection (CSMA/CD) Access Method and Physical Layer Specifications, Amendment 4: Media Access Control Parameters, Physical Layers, and Management Parameters for 40Gb/s and 100Gb/s Operation," June 2010.
- [5] <http://www.10x10msa.org/>
- [6] "10x10-2km Technical Specification Rev 1.2," Mar. 2011.
- [7] ITU-T Rec. G.709, "Interfaces for the Optical Transport Network (OTN)," Dec. 2009.
- [8] ITU-T Rec. G.7041, "Generic Framing Procedure (GFP)," April 2011.
- [9] ITU-T Rec. G.709 Amd.1 "Interfaces for the Optical Transport Network (OTN) Amendment 1," July 2010.
- [10] ITU-T Rec. G.7044, "Hitless Adjustment of ODUflex(GFP) (HAO)," Sep. 2011.
- [11] ITU-T Rec. G.975.1, "Forward Error Correction for High Bit Rate DWDM Submarine System," Feb. 2004.
- [12] 최창석, 이한호, "100Gb/s급 광통신시스템을 위한 3-병렬 Reed-Solomon 기반 FEC 구조 설계," *대한전자공학회논문지* 제46권 SD편 제11호, pp. 48-55, 2009.
- [13] Jeong-In Park, Chang-Seok Choi, Hanho Lee, "16-channel three-parallel Reed-Solomon based FEC architecture for 100Gb/s optical communications," *ICEIC*, pp. 414-416, June 2010.
- [14] OIF, "Multisource Agreement for 100G Long-Haul DWDM Transmission Module - Electromechanical," June 2010.
- [15] Product data sheet, "100GBASE-SR10,

100Gbps Ethernet, CFP Fiber Optic Transceiver Module,” ReflexPhotonics, Feb. 2010.

윤 지 욱 (Jiwook Youn)

정회원



1997년 2월 경희대학교 전자공학과 학사

1999년 2월 경희대학교 전자공학과 석사

2007년 9월 충남대학교 전파공학과 박사

1999년 4월~현재 한국전자통신연구원 선임연구원

<관심분야> OTN, 초고속 광 통신망, 캐리어 이더넷

김 중 호 (Jongho Kim)

정회원



1983년 2월 한양대학교 전자공학과 학사

1994년 9월 한국과학기술원 전자공학과 석사

1983년 3월~1999년 10월 한국전자통신연구원 근무

1999년 10월~2004년 10월 주식회사 IT 근무

2006년 11월~2011년 11월 한국전자통신연구원 근무

<관심분야> OTN, 초고속 광 통신망

신 증 윤 (Jongyoon Shin)

정회원



2000년 2월 서울대학교 전기공학부 학사

2002년 2월 서울대학교 전기컴퓨터공학부 석사

2002년 3월~현재 한국전자통신연구원 선임연구원

<관심분야> 통신용 초고속 디지털 회로/시스템 설계, 오류정정부호, 초고속 광 전송 프로토콜, 차세대 전송망 (OTN/캐리어 이더넷)

김 광 준 (Kwangjoon Kim)

정회원



1981년 2월 서울대학교 물리학과 학사

1983년 2월 서울대학교 물리학과 석사

1993년 6월 오하이오주립대학교 물리학과 박사

1984년 3월~현재 한국전자통신연구원 책임연구원

<관심분야> 고속 광 전송 기술