

멀티레벨셀 낸드 플래시 메모리에서 커플링 제거기의 윈도우 크기에 따른 성능 비교

박동혁*, 이재진*

Performance of the Coupling Canceller with the Various Window Size on the Multi-Level Cell NAND Flash Memory Channel

Donghyuk Park*, Jaejin Lee*

요 약

멀티레벨셀 낸드 플래시 메모리는 한 셀에 2비트 이상의 데이터를 저장 할 수 있는 기술이다. 현재 2비트를 한 셀에 저장하는 기술만 상용화 되었다. 이는 3비트 이상을 저장하게 되면, 각 레벨의 간격이 좁아져서 데이터의 오류가 많이 발생하는데 이를 극복하기가 어렵다. 오류의 원인으로 여러 가지가 있지만, 그 중에서도 커플링 잡음이 가장 문제가 된다. 따라서 본 논문에서는 4비트를 한 셀에 저장하는 채널에 커플링 잡음을 가정하여 성능의 개선을 실험하였으며, 메모리 공간을 줄이기 위하여 커플링 제거기에 윈도우 크기의 데이터를 활용하여 성능을 비교 하였다. 플래시 메모리에서 데이터를 읽는 가장 기본 방법인 문턱 전압 비교 방법을 구현하여 제안한 방법과 성능을 비교 하였다.

Key Words : Coupling cancellation, coupling canceller, Multi-level cell, NAND flash memory.

ABSTRACT

Multi-level cell NAND flash is a flash memory technology using multiple levels per cell to allow more bits to be stored. Currently, most multi-level cell NAND stores 2 bits of information per cell. This reduces the amount of margin separating the states and results in the possibility of more errors. The most error cause is coupling noise. Thus, in this paper, we studied coupling noise cancellation scheme for reduction memory on the 16-level cell NAND flash memory channel. Also, we compared the performance threshold detection and proposed scheme.

I. 서 론

최근 낸드 플래시 메모리는 USB 메모리 카드, SD 메모리, SSD 등으로 제품화 되어 대부분의 전자제품에 들어가게 된다. 멀티레벨셀 기술은 데이터를 저장하는 한 셀에 멀티 레벨을 나누어 데이터를 저장하여 2비트 이상의 데이터를 한 셀에 저장한다^[1-3]. 현재 2비트를 저장하는 4-레벨셀 낸드 플래시

메모리는 상용화가 되었다^[4]. 하지만 8-레벨셀 이상의 낸드 플래시 메모리는 오류가 너무 많이 발생하여 상용화가 어려운 시점이다.

멀티레벨셀 낸드 플래시 메모리에서 가장 핵심적인 오류의 요인은 커플링 잡음 (coupling noise) 이다^[5]. 따라서 커플링 잡음을 고려한 채널 모델을 이용하여 제안하는 기법의 성능 향상을 평가 하였다^[6]. 이전에 제안되었던 커플링 제거기는 프로그램

※ 이 논문은 2011년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No. 2011-0018016).

♦ 주저자 겸 교신저자 : 송실대학교 정보통신전자공학부 정보저장 및 통신 연구실, zlee@ssu.ac.kr, 정희원

* 송실대학교 정보통신전자공학부 정보저장 및 통신 연구실, zlee@ssu.ac.kr, 종신회원

논문번호 : KICS2011-12-633, 접수일자 : 2011년 12월 23일, 최종논문접수일자 : 2012년 7월 17일

순서의 가정에 의해 찾아낸 커플링 잡음이 없는 셀 데이터를 읽어, 그 데이터부터 커플링 잡음을 제거 하면서 최종 원하는 셀의 데이터를 읽게 된다. 하지만 이런 방식은 최악의 경우 모든 블록 내의 셀 데이터를 다 읽어야 했다^{17,8)}. 따라서 커플링 제거기의 메모리를 줄이기 위해 윈도우 크기의 데이터만을 추가로 읽으며, 커플링 제거의 시작 데이터는 문턱 전압 검출 (threshold detection) 방식으로 읽는다.

II. 커플링 제거기 알고리즘

커플링 잡음은 주변 셀이 프로그램에 의해 전압이 상승하는 현상에 의해 셀에 저장된 전압이 상승하는 현상이다. 프로그램 순서에 의해 커플링 잡음 영향력의 방향이 달라지며, 프로그램 된 데이터에 의해 커플링 잡음의 크기가 결정된다¹⁹⁾. 즉, 마지막에 프로그램 된 데이터는 커플링 잡음이 존재하지 않는다.

2.1. 커플링 잡음의 단순화

낸드 플래시 메모리는 블록 단위로 구성되어 있으며, 이 블록은 비트 라인과 워드 라인으로 구분하며, 워드 라인은 32개, 비트 라인은 4096개로 구성된다. 비트 라인은 Even 라인과 Odd 라인으로 구성되며, Even 라인이 프로그램 된 후 Odd 라인이 프로그램 된다. 커플링 잡음 영향력의 방향은 프로그램 순서에 의해 결정 되므로, 다음으로 프로그램 순서를 가정하였다. 프로그램의 순서는 0번째 워드 라인의 셀부터 31번째 워드 라인의 셀까지 순차적으로 프로그램 하며, 16-레벨셀 낸드 플래시 메모리 채널을 가정하였다. 0번째 워드라인의 Even 라인이 먼저 프로그램 되며, 다음으로 0번째 워드라인의 Odd 라인이 프로그램 된다. 그 다음으로 1번째 워드라인의 Even 라인이 프로그램 된다. 이런 순서로 31번째 워드 라인의 Odd 라인 까지 프로그램 되면, 각 셀에 1비트의 데이터가 저장된 것이다. 이와 같은 순서로 각 셀에 2번째, 3번째, 4번째 까지 데이터를 프로그램 하면, 각 셀에는 4비트의 데이터가 저장되며, 블록 내 모든 셀 데이터의 저장이 완료 된다.

2.2. 커플링 제거 알고리즘

커플링 제거기는 모든 블록의 데이터가 완료 되게 되면, 프로그램 순서의 역순으로 커플링 잡음을 알고리즘에 의해 계산 한 후, 잡음을 제거 시켜 준

다. 커플링 잡음은 주변 셀이 프로그램 되면서 증가하는 전압에 의해 변화하기 때문에, 주변 셀이 프로그램 되면서 증가하는 전압 값을 이용하여 커플링 잡음의 값을 구할 수 있다. Even 라인의 셀 데이터에서, 주변 셀의 정보를 이용하여 얻은 커플링 잡음의 양은 다음과 같다.

$$\begin{aligned} \Delta V_{th}^{(i,j)} = & \gamma^{(i+1,j-1)} \Delta v_{th}^{(i+1,j-1)} \\ & + \gamma^{(i+1,j)} \Delta v_{th}^{(i+1,j)} \\ & + \gamma^{(i+1,j+1)} \Delta v_{th}^{(i+1,j+1)} \\ & + \gamma^{(i,j-1)} \Delta v_{th}^{(i,j-1)} \\ & + \gamma^{(i,j+1)} \Delta v_{th}^{(i,j+1)} \end{aligned} \quad (1)$$

$\Delta V_{th}^{(i,j)}$ 는 (i,j) 셀에서의 주변 셀 정보를 고려하여 얻은 커플링 잡음이다. 주변 (i+1,j-1), (i+1,j), (i+1,j+1), (i,j-1), 그리고 (i,j+1) 셀의 영향력을 고려하여 커플링 잡음을 구한다. γ 는 각 셀에서 주는 커플링 잡음의 영향력 계수이다. $\Delta v_{th}^{(p,q)}$ 는 주변 셀이 프로그램에 의해 증가 한 전압 값을 나타내며, (p,q)는 (i,j)셀의 주변 셀의 위치를 의미한다. 그림 1은 플래시 메모리 블록의 구성도를 보여준다. i는 워드 라인의 위치를 나타내는 변수이며, 0~31의 범위를 가진다. j는 비트 라인의 위치를 나타내는 변수이며, 0~8191의 범위를 가지며, 짝수 일 때가 Even 라인의 셀을 홀수 일 때가 Odd 라인의 셀을 나타낸다.

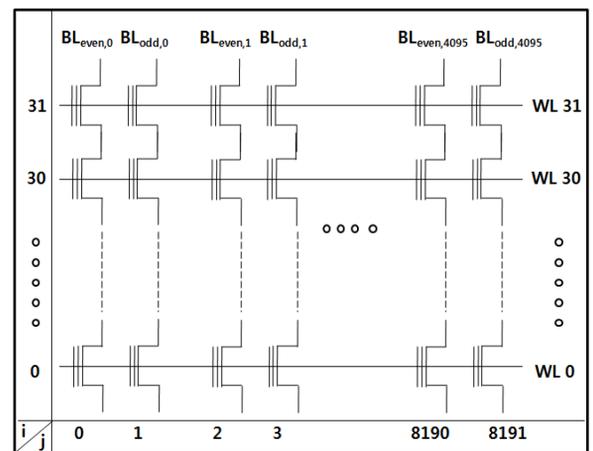


그림 1. 플래시 메모리 블록의 구성도 (32개의 워드 라인과 8192개의 비트 라인으로 구성됨, 짝수는 Even 라인, 홀수는 Odd 라인으로 구성됨)
Fig. 1. Block diagram of Flash Memory(32 word line, 8192 bit line(Even and Odd line))

다음은 Odd 라인의 셀 데이터에서, 주변 셀의 정보를 이용하여 커플링 잡음을 구하는 식이다.

$$\begin{aligned} \Delta V_{th}^{(i,j)} &= \gamma^{(i+1,j-1)} \Delta v_{th}^{(i+1,j-1)} \\ &+ \gamma^{(i+1,j)} \Delta v_{th}^{(i+1,j)} \\ &+ \gamma^{(i+1,j+1)} \Delta v_{th}^{(i+1,j+1)} \end{aligned} \quad (2)$$

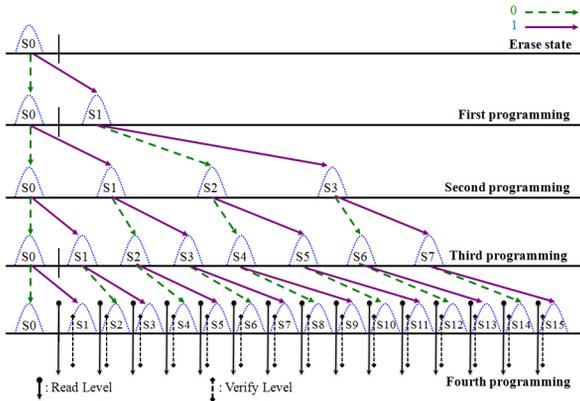


그림 2. 16-레벨셀 낸드 플래시 메모리의 프로그램에 의한 산포의 변화
Fig. 2. Distribution change of 16 level cell NAND flash memory by program.

2.3. 커플링 잡음의 영향력 계수

그림 2는 16-레벨셀 낸드 플래시 메모리에서 프로그램 동작에 의해서 전압이 증가하는 현상을 보여준다. 프로그램 방식은 ISPP (Incremental step pulse program) 방식을 이용하며^[10], 펄스를 이용하여 전하를 조금씩 주입하면서 verify level 이상이 되면, 프로그램이 성공이다. 전압이 증가되는 프로그램 방식에 의해 주변 셀은 커플링 잡음이 생기게 된다. 하지만 프로그램 된 데이터의 정보를 알고 있다고 가정하면, 프로그램 되기 전의 데이터가 무엇인지 알 수 있을 뿐 아니라, 현재 전압 위치로 오기 위해서 증가 된 전압의 값 (프로그램에 의한 전압의 증가량)을 알아 낼 수 있다. 즉 이 증가된 전압의 값이 수식 (1)과 (2)에서의 $\Delta v_{th}^{(p,q)}$ 가 된다, Even 라인 셀의 커플링 잡음을 구하려면 (p,q)는 (i+1,j-1), (i+1,j), (i+1,j-1), (i,j-1), (i,j+1)이고, Odd 라인 셀의 커플링 잡음을 구하려면 (i+1,j-1), (i+1,j), (i+1,j-1)가 된다. 또한, 모든 블록의 데이터의 값을 알고 있으므로 모든 블록의 증가된 전압 ($\Delta V_{th}^{(i,j)}$)의 값을 알 수 있게 된다. 따라서 $\Delta V_{th}^{(i,j)}$ 의 값을 알고 $\Delta v_{th}^{(p,q)}$ 의 값들을 알고 있으므로, $\gamma^{(p,q)}$ 의 값을 구할 수 있게 된다. 커플링

잡음을 주는 셀이 Even 라인과 Odd 라인이 각각 다르기 때문에, γ 값은 Even 라인과 Odd 라인을 각각 구해야 한다.

2.4. 커플링 제거기

위의 가정들과 알고리즘을 이용하여, 가장 마지막에 프로그램 된 셀, 즉 31번째 워드라인의 Odd 라인의 데이터를 읽는다. 읽어진 데이터를 이용하여 프로그램 되기 전의 전압 값을 알아 낼 수 있으며, 이를 이용하여 얻은 31번째 워드라인의 모든 Odd 라인의 전압 변화량 $\Delta v_{th}^{(31,j_{ODD})}$ 을 식(1)에 대입하고 (j_{ODD} 는 모든 Odd 라인을 의미한다), 이미 구한 γ 값을 식 (1)에 대입하여 31번째 워드 라인의 Even 라인의 값을 구할 수 있다. 계속해서, 30 번째 워드라인의 Odd 라인의 데이터를 이미 구해 놓은 31번째 워드 라인의 Even 라인과 Odd 라인의 데이터를 이용하여 식(2)에 대입하여 구한다. 또한, 이미 구한, 31번째 워드라인의 Even 라인과 Odd 라인의 데이터와 30번째 워드라인의 Odd 라인의 데이터를 식(1)에 대입하여 30번째 워드라인의 Even 라인의 데이터를 구한다. 이와 같은 방법으로 워드라인 0번째 데이터까지 모두 구하는 것이 커플링 잡음을 해결하는 최적의 알고리즘이다.

2.5. 윈도우 크기에 따른 커플링 제거기

2.4절에서 설명한 최적의 커플링 잡음 제거 알고리즘은 블록에서 가장 마지막에 프로그램 된 데이터인 31번째 워드라인의 Odd 라인의 셀 데이터를 기준으로 커플링 잡음을 제거해 가는 것으로 항상 31번째 워드라인의 Odd 라인의 셀 데이터를 읽어야 하므로 메모리의 크기가 항상 블록 크기만큼 필요하다. 따라서 실제 시스템에서 적용하기에는 데이터 읽기 과정에서의 프로세스가 많아져 데이터를 읽는데 필요한 시간이 많아진다.

이러한 추가적인 메모리를 줄이며 읽기 시간을 줄이기 위하여 31번째 워드라인의 Odd 라인 셀 데이터를 기준으로 커플링 잡음을 제거 하는 것이 아닌 임의의 기준 셀 데이터를 이용하여 커플링을 제거하는 것을 제안한다. 이 임의의 기준 셀 데이터는 임의로 정한 크기의 윈도우에서 가장 마지막에 프로그램 된 셀 데이터로, (x,y) 셀 데이터를 읽기 위해서는 (x+w,y_{ODD}) 셀 데이터를 기준으로 커플링 잡음을 제거한다. w는 윈도우의 크기이며, y_{ODD}는 Odd 라인 셀들을 의미한다. 다음은 윈도

위의 크기가 w 일 때의 (x,y) 셀 데이터를 읽는 과정을 보여준다.

1) $(x+w, y_{odd})$ 셀 데이터를 문턱 전압 검출 방법으로 읽는다. 읽은 데이터를 기준으로 프로그램에 의해 증가된 전압 $\Delta V_{th}^{(x+w, y_{odd})}$ 를 구한다.

2) $(x+w, y_{even})$ 셀 데이터를 위의 과정에서 구한 $\Delta V_{th}^{(x+w, y_{odd})}$ 값을 다음 식에 대입하여 얻은 커플링 잡음을 제거하여 구한다. (y_{-odd} 는 y_{even} 셀의 왼쪽에 위치한 Odd 라인의 셀이며, y_{+odd} 는 y_{even} 셀의 오른쪽에 위치한 Odd 라인의 셀이다.)

$$\Delta V_{th}^{(x+w, y_{even})} = \gamma^{(x+w, y_{-odd})} \Delta v_{th}^{(x+w, y_{-odd})} + \gamma^{(x+w, y_{+odd})} \Delta v_{th}^{(x+w, y_{+odd})}$$

3) $(x+w-1, y_{odd})$ 셀 데이터를 위에서 구한 값들을 다음 식에 적용하여 얻은 커플링 잡음을 제거하여 구한다. (y_{-even} 는 y_{odd} 셀의 왼쪽에 위치한 Even 라인의 셀이며, y_{+even} 는 y_{odd} 셀의 오른쪽에 위치한 Even 라인의 셀이다.)

$$\Delta V_{th}^{(x+w-1, y_{odd})} = \gamma^{(x+w, y_{-even})} \Delta v_{th}^{(x+w, y_{-even})} + \gamma^{(x+w, y_{odd})} \Delta v_{th}^{(x+w, y_{odd})} + \gamma^{(x+w, y_{+even})} \Delta v_{th}^{(x+w, y_{+even})}$$

4) $(x+w-1, y_{even})$ 셀 데이터를 위에서 구한 값들을 다음 식에 적용하여 구한 커플링 잡음을 제거하여 구한다.

$$\begin{aligned} & \Delta V_{th}^{(x+w-1, y_{even})} \\ = & \gamma^{(x+w, y_{-odd})} \Delta v_{th}^{(x+w, y_{-odd})} \\ & + \gamma^{(x+w, y_{odd})} \Delta v_{th}^{(x+w, y_{odd})} \\ & + \gamma^{(x+w, y_{+odd})} \Delta v_{th}^{(x+w, y_{+odd})} \\ & + \gamma^{(x+w-1, y_{-odd})} \Delta v_{th}^{(x+w-1, y_{-odd})} \\ & + \gamma^{(x+w-1, y_{+odd})} \Delta v_{th}^{(x+w-1, y_{+odd})} \end{aligned}$$

5) 위의 과정을 반복하여 $\Delta V_{th}^{(x,y)}$ 를 구한다.

6) (x,y) 셀 데이터에서 5)의 $\Delta V_{th}^{(x,y)}$ 제거하여 커플링 잡음이 제거된 데이터를 구한다.

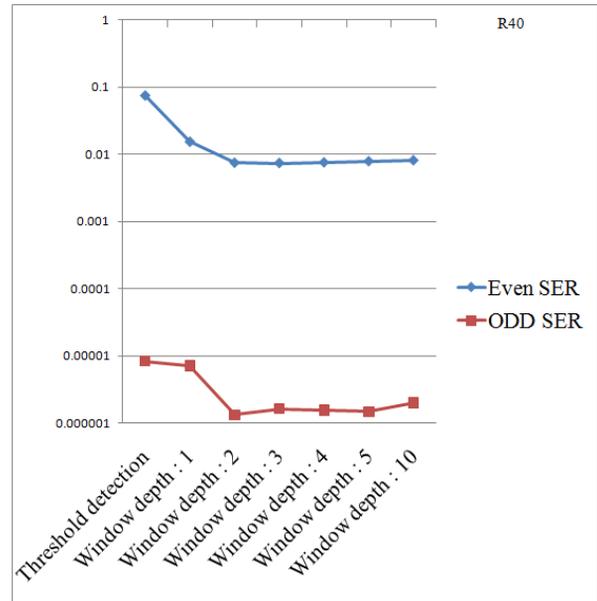


그림 3. R이 40 일 때, 문턱 전압 검출 (Threshold detection) vs. 윈도우 크기에 대한 커플링 제거기 (윈도우 크기가 1,2,3,4,5,10 일 때)의 성능 그래프
Fig. 3. As R=40, the performance of threshold detection and coupling canceller. (window size : 1,2,3,4,5, and 10, respectively)

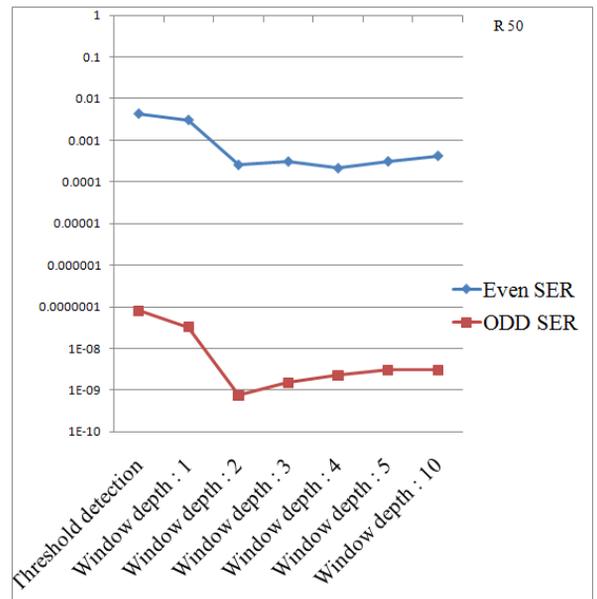


그림 4. R이 50 일 때, 문턱 전압 검출 (Threshold detection) vs. 윈도우 크기에 대한 커플링 제거기 (윈도우 크기가 1,2,3,4,5,10 일 때)의 성능 그래프
Fig. 4. As R=50, the performance of threshold detection and coupling canceller. (window size : 1,2,3,4,5, and 10, respectively)

III. 시뮬레이션

16-레벨 셀 낸드 플래시 메모리 채널 모델을 이용하여 실험하였으며, 워드라인은 32개, 비트라인은 각각 4096개의 Even 라인과 Odd 라인으로 이루어져 있다. 한 셀 당 4비트의 데이터를 저장하며, 프로그램의 순서는 II절의 가정과 같이, 0번째 워드 라인부터 31번째 워드 라인 순으로 프로그램 하며, Even 라인의 셀을 먼저 프로그램 한 후 Odd 라인의 셀을 프로그램 한다. 프로그램 할 때 1비트씩 먼저 프로그램 하며, 모든 블록을 1비트씩 저장하였으면, 같은 프로그램 순서로 2번째 비트를 저장한다. 같은 순서로 4번째 비트 까지 저장하여 한 셀에 4비트의 데이터를 저장한다.

커플링의 비율을 조절하기 위해 R을 정의 하였으며, 프로그램에 의한 전압 증가 값을 R로 나누어 커플링 잡음의 영향력을 조절한다. 커플링 잡음의 방향에 대한 비율은 $\gamma_x : \gamma_y : \gamma_{xy} = 1 : 2 : 0.5$ 로 결정하였다 (γ_x 는 같은 워드 라인의 양 옆의 셀에 의한 커플링 잡음 계수, γ_y 는 같은 비트 라인의 위에 있는 셀에 의한 커플링 잡음 계수, γ_{xy} 는 대각선 위에 있는 셀에 의한 커플링 잡음 계수임). 채널 모델에서 실험에 사용한 최종 커플링 잡음의 비율은 $\gamma_x : \gamma_y : \gamma_{xy} = 1/R : 2/R : 0.5/R$ 이다.

프로그램 잡음을 모델링하기 위해 부가적인 백색 가우시안 잡음 (AWGN, Additive White Gaussian Noise) 을 주었다. 그림 3, 4는 커플링 잡음의 영향력 계수 R이 각각 40과 50 일 때, 윈도우 크기에 대한 성능의 변화를 보여준다. 그림에서 윈도우 크기가 2일 때가 최적의 성능을 보여줌을 알 수 있다. 패리티 증가 없이 커플링 제거기라는 추가 회로와 윈도우 크기의 메모리 (추가로 읽는 데이터의 크기)를 통하여 심볼오율 (SER, symbol error rate)의 성능을 최소 10배 증가 시켰다.

IV. 결론

멀티레벨셀 낸드 플래시 메모리에서 커플링 잡음은 매우 심각한 오류의 원인이다. 이는 커플링 잡음에 의해 각 레벨간의 간격이 줄어들기 때문인데, 이러한 커플링 잡음은 몇 가지 상황의 고정으로 쉽게 풀어 낼 수 있게 된다. 본 논문에서는 몇 가지 상황의 고정으로 인해 커플링 잡음에 대한 해석을 쉽게 고정 하였으며, 이를 해결하기 위한 커플링 제거

기를 이용하였다. 필요한 데이터 메모리 크기를 줄이기 위해 커플링 제거기를 윈도우 크기의 데이터를 이용하여 커플링 잡음을 제거하였으며, 기존 문턱 전압 검출 성능 보다 향상된 성능을 보였다.

연구의 결과를 토대로 추가적인 회로와 메모리를 이용하여 기존 문턱 전압 검출 보다 성능을 최소 10배 이상 개선하였으며, 이러한 작은 개선은 추후 오류 정정 부호를 통한 연구에서 큰 성과를 줄 수 있을 것으로 보인다. 실제로 LDPC 부호와 터보 부호 등의 반복 복호 기법의 부호는 성능의 이득이 크지만 성능이득을 얻기 위해서는 최소 비트오율 (BER, bit error rate) 성능을 요구하게 된다. 따라서 최소 비트오율 이상의 성능을 반복 복호 부호의 입력으로 주는 것은 매우 중요하다. 따라서 본 연구와 같은 작은 성능 개선은 반복 복호 부호에 큰 성능 이득을 이끌어 낼 수 있게 된다. 게다가 본 연구는 추가적인 회로와 메모리는 필요하지만, 부호율을 손해 보는 것이 없기 때문에 멀티레벨셀 낸드 플래시 메모리 분야에서 매우 중요한 연구이다.

참 고 문 헌

- [1] M. Lasser, "States encoding in multi-bit flash cells," US Patent 2005/0201401 A1, Sep. 15, 2005.
- [2] M. Lasser, "States encoding in multi-bit flash cells," US Patent 2005/0201401 A1, Sep. 15, 2005.
- [3] A. Ban, S. Litsyn, and I. Alrod, "Methods of increasing the reliability of a flash memory," US Patent 7 023 735 B2, Apr. 4, 2006.
- [4] Y. Tanaka, "Multi-level cell flash memory," US Patent 2009/0262577 A1, Oct. 22, 2009.
- [5] T. Cho, Y. Lee, E. Kim, J. Lee, S. Choi, S. Lee, D. Kim, W. Han, Y. Lim, J. Lee, J. Choi, and K. Suh, "A Dual-mode NAND flash memory: 1-Gb Multilevel and high-performance 512-Mb Single-level modes," IEEE Journal of Solid-State Circuits, Vol. 36, No. 11, pp. 1700-1706, Nov. 2001.
- [6] 박동혁, 이재진, "멀티 레벨 셀 메모리의 채널 모델링," 한국통신학회논문지 '09-09, Vol. 34, No. 9, pp. 880-886, 2009년 9월.
Donghyuk Park and Jaejin Lee, "Channel Modeling for Multi-Level Cell Memory," The

Journal of The Korean Institute of Communication Sciences, 09-09, Vol. 34, No. 9, pp. 880-886, Sep. 2009.

- [7] D. Park, and J. Lee, "Floating-gate coupling canceller for multi-level cell NAND flash," *IEEE Transactions on Magnetics*, Vol. 47, No. 3, pp. 624-628, March 2011.
- [8] D. Park, and Jaejin Lee, "Coupling canceller maximum-likelihood (CCML) detection for multi-level cell NAND flash memory," *IEEE Transactions on Consumer Electronics*, Vol. 57, No. 1, pp. 160-163, Feb. 2011.
- [9] J. Lee, S. Hur, and J. Choi, "Effects of floating-gate interference on NAND flash memory cell operation," *IEEE Electron Device Letters*, Vol. 23, No. 5, pp. 264-266, May 2002.
- [10] K. Suh, B. Suh, Y. Lim, J. Kim, Y. Choi, Y. Koh, S. Lee, S. Kwon, B. Choi, J. Yum, J. Choi, J. Kim and H. Lim, "A 3.3 V 32Mb NAND flash memory with incremental step pulse programming scheme," *IEEE Journal of Solid-State circuits*, Vol. 30, No. 11, pp. 1149-1156, Nov. 1995.

박 동 혁 (Donghyuk Park)



2007년 2월 숭실대학교 정보통신전자공학부 학사
2012년 2월 숭실대학교 정보통신공학 박사
2012년 4월~Seagate Korea Design Center
<관심분야> 스토리지 시스템, LDPC 부호, 채널코딩

이 재 진 (Jaejin Lee)



1983년 2월 연세대학교 전자공학과 학사
1984년 12월 U. of Michigan, Dept. of EECS 석사
1994년 12월 Georgia Tech. Sch. of ECE 박사
1995년 1월~1995년 12월 Georgia Tech. 연구원
1996년 1월~1997년 2월 현대전자 정보통신 연구소 책임 연구원
1997년 3월~2005년 8월 동국대학교 전자공학과 부교수
2005년 9월~ 숭실대학교 정보통신전자공학부 교수
<관심분야> 통신이론, 채널코딩, 기록저장 시스템