

0.18 μ m CMOS 3.1Gb/s VCSEL Driver 코아 칩 설계양 충 열*, 이 상 수^oDesign of Core Chip for 3.1Gb/s VCSEL Driver in 0.18 μ m CMOSChoong-reol Yang*, Sang-soo Lee^o

요 약

본 논문에서는 0.18 μ m CMOS 공정 기술을 이용하여 광트랜시버에 사용된 1550 nm 고속 VCSEL을 구동하는 드라이버 회로를 제안한다. 3.1Gb/s 데이터 속도에서 기존 구조에 비하여 향상된 대역폭, 이득 및 아이 다이어그램을 확인하였다. 본 논문에서는 다중채널 어레이 집적모듈을 갖는 광트랜시버에 응용하기 위한 3.1Gb/s VCSEL 드라이버의 설계 및 레이아웃을 확인한다.

Key Words : VCSEL Driver, CMOS, Array, Optical transceiver

ABSTRACT

We propose a novel driver circuit design using 0.18 μ m CMOS process technology that drives a 1550 nm high-speed VCSEL used in optical transceiver. We report a distinct improvement in bandwidth, voltage gain and eye diagram at 3.1Gb/s data rate in comparison with existing topology. In this paper, the design and layout of a 3.1Gb/s VCSEL driver for optical transceiver having arrayed multi-channel of integrating module is confirmed.

I. 서 론

광통신 기술을 이용한 단거리 유무선 통신 또는 휴대용 단말기 응용을 위한 무선통신에서 저가격, 고집적 및 고성능의 요구는 날로 증가하고 있다. 광 송수신기는 외부 레이저(LD)를 드라이브하기 위해서 큰 전압이나 전류출력을 공급하는데 이 때 디지털 다중화기의 입력신호를 변환하기 위해 LD 드라이버가 이용된다. LD 드라이버는 LD를 변조하기 위한 고속 스위칭 속도의 높은 구동 기능을 제공하는 것이 중요한 기술이다.

최근 수 기가의 데이터 속도(Gb/s)로 저 전력 및

저가격의 단거리 응용을 위해 높은 집적도를 제공할 수 있는 CMOS 기술이 아날로그 VCSEL(vertical cavity surface emitting laser) 드라이버 기술을 구현하는데 적합하여 큰 관심을 받고 있다. CMOS 기술의 집적화로 전기적 드라이버 회로의 면적이 크게 줄어들면서 저가격, 저 전력의 고속의 다채널을 갖는 LD/PD 드라이버의 아날로그 회로 집적화가 가능해졌으며 광통신시스템에 폭넓게 이용될 가능성이 커지고 있다. VCSEL은 레이저(edge emitting laser)에 비해 낮은 문턱 전류, 싱글 모드, 매우 낮은 빔 분기(beam splitter) 및 간단한 구조의 표면방출 레이저로서 큰 장점을 제공하기

* 본 연구는 방송통신위원회의 미래인터넷 원천기술개발사업의 연구결과로 수행되었음. (KCA-2012-12911-05001)

♦ 저저자 : 한국전자통신연구원 광인터넷연구부, 광액세스연구팀 책임연구원 cryang@etri.re.kr, 정희원

° 교신저자 : 한국전자통신연구원 광인터넷연구부, 광액세스연구팀 팀장 soolee@etri.re.kr, 정희원

논문번호 : KICS2012-10-511, 접수일자 : 2012년 10월 26일, 최종논문접수일자 : 2013년 1월 2일

때문에 최근에 저 전력 및 저비용의 다채널 어레이 구현에 폭넓게 이용되고 있다. 전체 광송수신기가 0.18 μ m CMOS 기술을 이용하여 1.8Vdc/3.3Vdc 전원과 모놀리식으로 집적되고 있다.

VCSEL 드라이버는 광 송수신장치의 송신 단에서 안정된 대역폭과 높은 이득을 간단하고 효율적으로 제공하고 송신부에서 바이어스 전류 신호(Ibias)와 변조전류신호(Imod)를 생성하여 VCSEL 수신부에 충분한 전류를 공급하기 위한 것이다. 최근까지 VCSEL 드라이버는 0.18 μ m CMOS 기술을 이용하여 5Gb/s, 0.13 μ m CMOS 공정을 이용하여 10Gb/s까지 각각 구현되고 있으며 채널수는 보통 10 채널 이하로서 그다지 저가격, 저 전력, 공정 완성도, 높은 집적도 소자가 구현되지 않고 있는 실정이다. 기존에 연구되어 온 VCSEL 드라이버의 일반 성능 규격^[1-4]을 <표 1>에 요약하였다.

표 1. VCSEL 드라이버의 일반 성능 규격

Specifications	Single channel 2.5Gb/s	4channel 5Gb/s	4channel 10Gb/s
Technology	0.18 μ mCMOS Process	0.13 μ m CMOS Process	0.13 μ m CMOS Process
Data rate (Gb/s)	2.5	5	10
Bandwidth(GHz)	2.5	5	10
Voltage gain(dB)		10	10
Ibias(mA)	-	4	20
Imod(mA)	-	13	20
Supply voltage	core 1.8Vdc, I/O 3.3Vdc	core 1.8Vdc, I/O 3.3Vdc	core 1.8Vdc, I/O 3.3Vdc
Power Dissipation	24mW	1025 μ W	374mW
Chip size(μ m ²)	750	1,740 \times 1,500	2,050 \times 830

본 논문에서는 홈 네트워크 분야의 무선 인프라로 주목 받고 있는 UWB(ultra wideband) 한국 가용 주파수인 3.1GHz~4.95GHz 대역을 수용하는 다채널 어레이를 위한 VCSEL 드라이버를 설계하고자 한다. 이를 위해 본 논문의 VCSEL 드라이버는 광송수신기에 적용하기 위하여 3.1Gb/s에 부합하는 주파수 대역 범위 내에서 최대한 구조가 간단하고 저 전력 및 저비용으로 구현함으로써 대용량 다채널 어레이 구조에 용이하게 응용할 수 있도록 각종 회로 소자 파라미터를 고려하여 설계하였다.

그림 1에 VCSEL 드라이버의 시스템 개념도를 나타내었다. VCSEL 드라이버는 프리 드라이버, 셰이핑 및 메인 드라이버로 구성되어 와이어 본딩(wire bonding)을 통해 전송 레이저인 VCSEL에 인

터페이스 된다. 데이터의 피크전류와 변조전류의 합으로 출력 전류파형을 생성한다. 10Gb/s 이상의 드라이버는 캐리어 확산을 위해 shaping 블록 내에서 프리 엠파시스 회로를 이용하여 디바이스 커패시턴스 같은 내외 기생 용량(parasitic capacitance)의 영향으로 인한 대역폭 제한 등을 보상한다. 따라서 3.1Gb/s VCSEL 드라이버 설계에서는 셰이핑(shaping) 블록을 제외하였다.

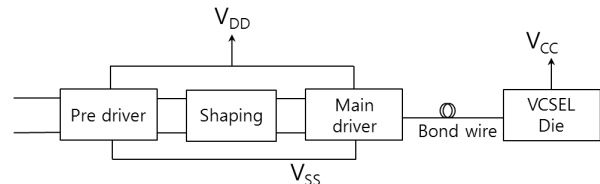


그림 1. VCSEL 드라이버 시스템 개념도
Fig. 1. System level topology of the VCSEL Driver.

본 논문은 II장에서 VCSEL Driver 토폴로지를 살펴보고 “다채널 어레이에 적합한 고속 0.18 μ m CMOS 3.1Gb/s VCSEL Driver”에 관하여 새로운 구조를 제안하고, III장에서는 시뮬레이션을 통해 기존 구조 대비 제안된 구조의 성능을 입증한 다음, IV장에서 결론을 맺는다.

II. VCSEL 드라이버 설계

2.1. 3.1Gb/s VCSEL 드라이버 토폴로지

그림 2는 제안된 VCSEL 드라이버 구조이다. VCSEL은 전류 신호를 광신호로 변환하고 VCSEL 트랜시버(Tx) 드라이버는 바이어스 전류(Ibias)와 변조 전류(Imod) 신호를 송신 레이저 (VCSEL)에 제

공하기 위한 것이다. 10Gb/s 이상의 고속 광 송수신장치에서 다중 광 채널을 수용할 때 채널간 간섭과 기타 전송 시 발생하는 손실 때문에 대역폭과 이득이 상호 민감하게 작용한다. 따라서 본 논문에서는 3.1G 대역에서 동작하기 위하여 기본적인 프리 드라이버와 메인 드라이버로 구성되는 VCSEL 드라이버로서 멀티채널 어레이로 제작시 채널간 신호 간섭을 최소화하고 저전력 소모에 적합한 구조로 설계하였다. 그림 3과 같이 VCSEL 드라이버 schematic 구조를 제안하였다.

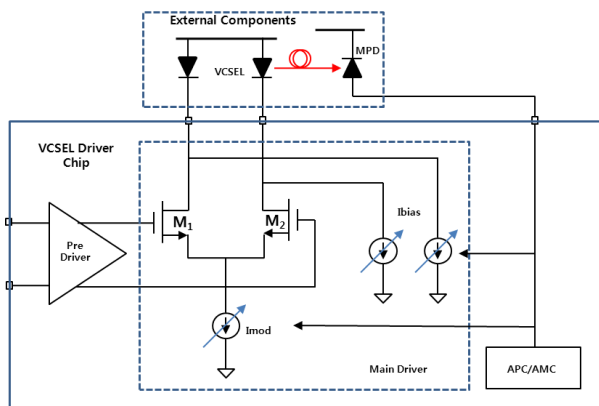


그림 2. 제안된 VCSEL 드라이버 구조
Fig. 2. Structure of the proposed VCSEL Driver.

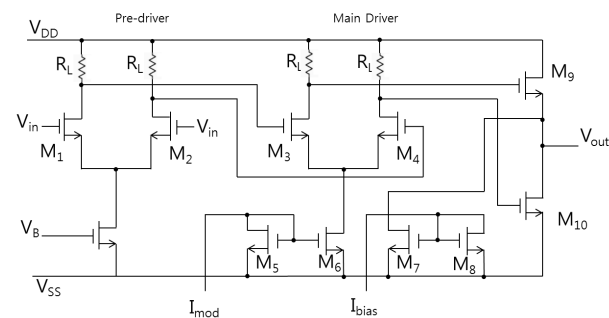


그림 3. 제안된 VCSEL 드라이버 schematic.
Fig. 3. Schematic of the proposed VCSEL driver.

2.2. 프리 드라이버

프리 드라이버는 입력 인터페이스로서 레이저로 전달되는 드라이버 전류를 스위칭 한다. 설계는 높은 주파수 이득을 위해 차동증폭기를 기반으로 하는 공통모드 이득 단을 갖는 토폴로지와 캐스코드 구조의 토폴로지를 시뮬레이션한 결과, 전자가 약 3dB의 이득 차이를 갖는 것으로 나타났다. 따라서 대역폭 향상을 위해 캐스코드(cascode) 구조대신 부하저항을 작게 하여 Miller 커패시터 영향으로 인한 오버 슈트 발생을 억제하도록 설계하였다. 높은 이

득이 필요치 않으므로 저 전력 소모 설계 목적에 부합하도록 1단 증폭으로 구성하였다²¹. 저항성 부하는 전력 제약(power constraint)을 갖고 시뮬레이션 결과에 근거하여 입력 스윙에 부합하는 경험적 값을 선택할 수 있다.

2.3. 메인 드라이버

메인 드라이버는 3.1Gb/s급 광대역의 드라이브 전류를 제공하기 위하여 차동전류 요구조건을 갖는 VCSEL에 충분한 전류를 공급하여 구동한다. 바이어스 전류(Ibias)는 자극방출(stimulated emission)을 위해 항상 문턱전류를 초과하도록 VCSEL을 통해 흐르고, 변조전류(Imod)는 부수적인 전압신호에 따라 VCSEL을 통해 흐른다. 모든 단은 NMOS를 사용하여 설계되고 최적 성능을 위해 최대주파수에서 바이어스 된다. Imod가 온 칩(on-chip)에서 생성된 Ibias와 결합되어 VCSEL에 제공된다. 메인 드라이버의 기능은 레이저(LD)를 구동하기에 충분한 전류를 제공하여야 한다. 따라서 -3dB에서의 주파수 대역과 이득은 최대한 여유 마진을 고려하여 설계하였다. 전력소모는 VCSEL 변조 및 바이어스 전류를 포함한다.

그림 4는 기존의 VCSEL 메인 드라이버 회로^{2,41}이다. 회로의 동작을 살펴보면, 차동 입력이 수신되어 전압 출력이 생성되고 이는 기준 전류의 스위칭에 의해 변조전류로 변환된다. 앞단의 차동 입력에 2개의 전류 미러(current mirror)를 갖는다. 각 전류 미러는 트랜지스터에 의해 형성되고, 전류 소스로부터 기준전류가 설정된다. 이 회로는 협대역의 드라이브 전류를 제공하므로 차동 전류 요구조건을 갖는 VCSEL을 구동하는데 적용하기 어렵다.

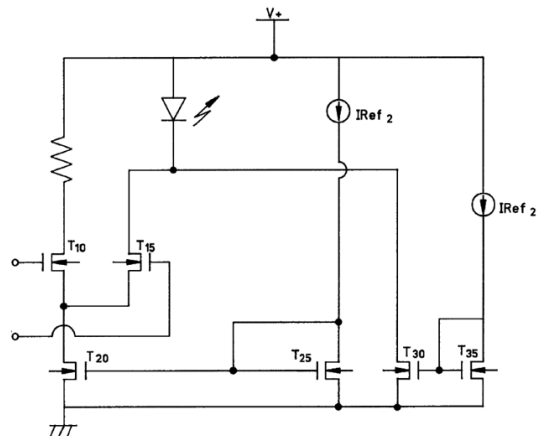


그림 4. 기존 협대역 VCSEL 메인 드라이버 구조
Fig. 4. Structure of Main Driver for conventional narrowband VCSEL.

전류 구동 토폴로지는 edge-emitting LD와 VCSEL을 위해 각각 1.8Vdc와 3.3Vdc의 두 가지 공급전압을 선택한다. 메인 드라이버 구조는 공통모드 구조를 선택하였다. 캐스코드 증폭기를 갖는 공통모드 구조가 함께 고려되었으나 시뮬레이션 결과 대역폭 특성이 약간 떨어지므로 이득 및 대역폭 향상을 위해 배제하였다. 그리고 MOSFET는 게이트로 흘러나가는 전류가 없으므로 다단 캐스코드 연결하면 높은 출력저항을 얻을 수 있기 때문에 주파수 특성을 향상하고 드라이버의 용동성 있는 출력스윙을 보장하기 위해 캐스코드 증폭기를 채택하였다. 회로 구성은 메인 드라이버에서 변조전류(I_{mod})와 바이어스 전류(I_{bias})를 각각 생성하여 VCSEL에 충분한 전류를 공급하기 위해서 차동 증폭기로부터 출력되는 두 바이어스 신호를 통합하고 이와 동시에 출력 저항 값을 증가하여 높은 전압이득을 획득하도록 캐스코드 증폭 단을 추가하였다⁵⁾. 그림 5에 캐스코드 증폭기와 이득 수식을 나타내었다.

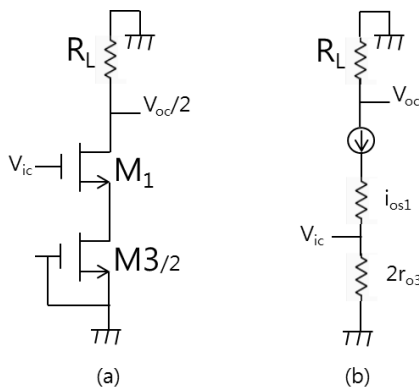


그림 5. 캐스코드 증폭기 구조
Fig. 5. Structure of Cascode Amplifier.

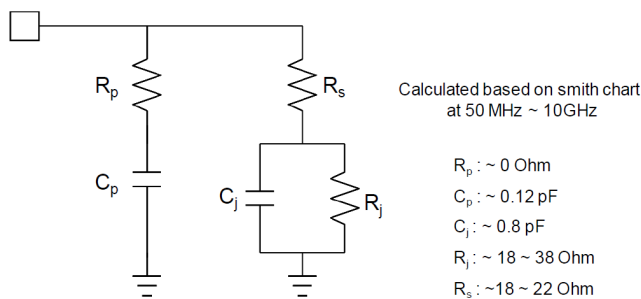


그림 6. 1,550nm 2.5Gb/s VCSEL 등가회로
Fig. 6. Equivalent of 1,550nm 2.5Gb/s VCSEL.

차동증폭기의 전압 이득:

$$A_{vc} = \frac{V_{oc}}{V_{ic}} = - \frac{R_L}{r_{s1} + 2r_{o3}} = - \frac{g_m R_L}{1 + 2g_m r_{o3}} \quad (1)$$

캐스코드 증폭기의 전압 이득:

$$A_{vc} = \frac{V_o}{V_i} = g_m R_L \quad (2)$$

식 (1),(2)로부터 캐스코드 출력을 갖는 차동 증폭기의 전압이득:

$$A_{tot} = \frac{g_m R_L}{1 + 2g_m r_{o3}} \cdot g_m R_L \quad (3)$$

따라서, 전체 VCSEL 드라이버의 전압 이득은 기존 구조보다 $g_m R_L$ 배 만큼 향상될 수 있다.

출력 신호 (V_{out})의 순시 응답(transient response) 수준은 VCSEL의 최대 변조 전류에 의해 결정된다. 전류 미러는 전류소스로부터 첫 번, 두 번 째 전류 미러에 의해 기준전류를 설정한다. 레이저가 off 될 때에도 흐르기 위해 DC 바이어스 전류가 공급된다. 드라이브 회로는 최적 성능을 위해 최대 주파수에서 바이어스 된다. 전류 구동 토폴로지는 LD와 VCSEL용으로 1.8Vdc와 3.3Vdc의 두 가지 공급전압을 선택하였다. 트랜지스터 값은 대역폭과 충분한 구동전류 흐름을 보장하기 위해서 출력 측 기생용량을 최대한 줄이도록 선택했다.

본 시뮬레이션에서는 순시 응답을 모델링하기 위해 VCSEL에 대한 기능적 인터페이스로서 그림 6과 같이 전기적 VCSEL 등가회로를 적용하였다. 칩 제작 시 VCSEL 온 칩 출력단자에서 광신호에 이어 본딩으로 연결되는 VCSEL은 전기적 등가회로를 통하여 구성하였다. 등가회로는 출력(V_{out})단에서 VDD로 제공하거나 그라운드(VSS)로 제공하는 방법이 있으나 최근의 추세에 따라 VDD에 연결하였다.

2.4. APC/AMC

I_{bias}는 VCSEL 메인 드라이버의 차동 출력에서 형성되는 정상 스펙트럼 홀드 전류이고, I_{mod}는 광 출력 스윙 폭을 결정한다. 즉, VCSEL의 바이어스 전류가 I_{bias} 이고 VCSEL의 변조전류가 I_{mod}이다. I_{bias}는 방출을 활성화하기 위해 항상 I_{bias}가 문턱 전류를 초과하여 VCSEL을 통해 흐르고, I_{mod}가 입력 전압 신호에 따라 VCSEL을 통해 흐

른다. 이들은 VCSEL의 특성이 시간과 온도에 따라 변하기 때문에 I_{mod}와 I_{bias}를 동시에 제어할 필요가 있다. 따라서 광 송수신장치에서는 APC/AMC(automatic power control/automatic modulation control)를 통해 3.1Gb/s VCSEL을 구동하여 온도 및 aging 영향에 대하여 광 출력 데이터 스트림의 열화를 보상함으로써 평균 전송 광 전력과 최적의 소광 비를 유지하게 된다. 본 논문에서는 코아 칩에 관한 설계이므로 VCSEL 드라이버의 APC/AMC 회로를 배제하였다.

2.5. 코아 칩 레이아웃

그림 7에 패드(pad)를 포함하는 제안된 싱글 채널 VCSEL 드라이버 코아 칩의 레이아웃을 나타내었다. 레이아웃은 각 PDK(process design kit) 디바이스에서 제공하는 설계 룰에 따라 수행하게 되며 이에 따라 메탈의 값과 메탈 사이의 간격이 얼마나 떨어져야 하는지 등이 결정된다. VCSEL 드라이버 칩은 입력 신호로서 VINP, VINN, DCBIAS, 출력 신호로서 IMOD, IBIAS, IOUT, 그리고 전원 신호로서 VDD, GND, VDD_ESD, GND_ESD 등 12핀으로 코아 칩을 구현하였다. 그림에서 ESD 연결 유무는 속도와 ESD 특성에 상호 작용을 한다. ESD를 그라운드에 연결하면 속도는 떨어지고 ESD는 보호된다.

CMOS 광송수신기 칩은 VCSEL Driver, TIA 및 CDR(lock data recovery) 같은 모든 아날로그 광 회로를 집적한다. 트랜지스터 칩 상의 CMOS 드라이버와 수신부 및 광 부품(PD, VCSEL)어레이는 패키지 표면에 라우트된 짧은 전송라인을 이용하여 전기적으로 결합(bonding wire)된다. 기판에 폴리머 도파로(Polymer waveguide)를 수용하고 기판 위의 모든 고속 전기라인은 제어 임피던스 마이크로 스트립 라인으로 라우트되고 VCSEL과 PD에서 표준 멀티 단말 광커넥터까지 도파로를 통해 광 신호를 결합한다. 칩 크기는 Sawing 후 960 μ m \times 760 μ m 이다. 전체 드라이버는 칩 크기를 최소화하기 위해 단일 온 칩에 통합할 필요가 있다. 제안된 VCSEL 드라이버 코아 칩의 레이아웃 결과와 성능을 <표 2>에 요약하였다. 그림 22는 PAD를 포함하는 VCSEL 드라이버의 대역 및 이득은 3.24G 6.3dB 이다. 이는 PAD를 부착하기 전에 비해 감소되긴 하였으나 목표 규격 내에 있다.

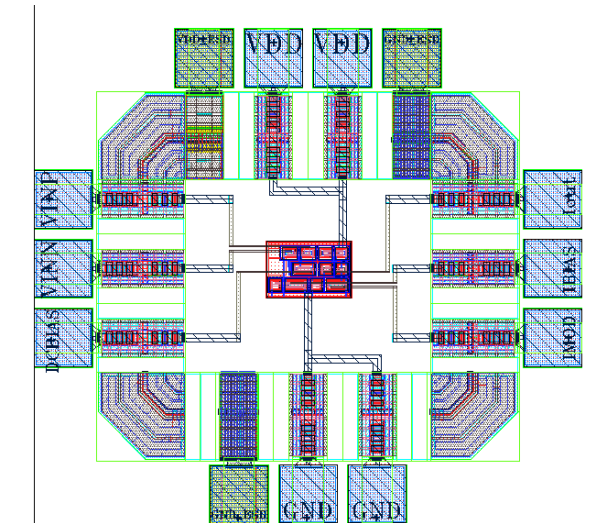


그림 7. 설계된 VCSEL Driver칩 레이아웃.
Fig. 7. Layout of designed VCSEL Driver chip with PAD.

III. 드라이버 시뮬레이션 결과

본 설계에서는 모두 PDK 고속 RF 디바이스를 사용하였고 MOS W/L 값은 대역폭 보장을 위해 출력의 기생 용량을 줄이면서 충분한 전류를 공급하도록 선택된다. 실제로 PMOS, NMOS와 RF PMOS, PF NMOS간에는 특성 차가 크게 나타났으며 PMOS, NMOS로 구성된 회로보다 RF PMOS, RF NMOS로 구성된 회로가 대역폭이 최대 -7dB 감소하였기 때문이다. 시뮬레이션은 성능예측을 위하여 여러 조건에서 수행되었다.

프리 드라이버 설계에 있어서 높은 주파수에서 전압 이득을 갖는 MOSFET 증폭회로의 입력 용량 정전용량(Cgd)의 영향으로 인해 증가하는 Miller 현상으로서 입력단과 출력단 사이에 있는 임피던스가 전압이득에 반비례하는 형태로서 나타나는 오버 슈트에 유의하여야 한다. 공통모드 증폭기를 이용하여 폭넓은 대역을 우선적으로 확보하고자 하였다. 시뮬레이션 결과에서 프리 드라이버의 -3dB 대역폭과 이득은 3.1G 동작에 충분한 마진을 갖는 4.7G, 8dB로 나타났다. 이는 전체 VCSEL 드라이버를 위한 대역폭을 충분히 확보하기 위한 것이다. 프리 드라이버에서 가능한 최대 입력 스윙을 측정하기 위해서 I/O 특성을 평가한 결과, 400mVdc까지 매우 큰 입력 스윙을 취급할 수 있는 것으로 나타났다.

그림 8은 제안된 VCSEL 드라이버의 메인 드라이버의 출력에서 주파수 대역, 전압 이득 및 전력 이득 특성을 시뮬레이션한 결과이다. -3dB 주파수

대역은 3.55G이고 이 때 전압이득은 13.4dB 이다. 주파수 대역 및 전압이득은 당초 설계 목표 값인 3.1G, 10dB에 비교하여 각각 4.5G와 3.4dB의 여유 마진을 갖는 것을 보여준다.

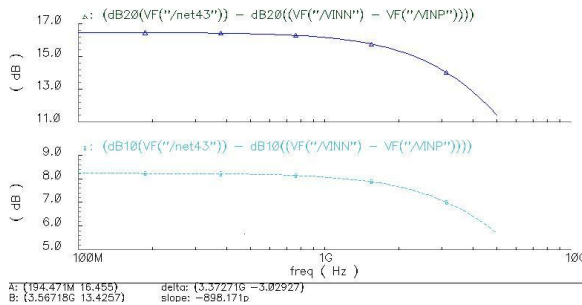


그림 8. 메인 드라이버의 주파수 대역폭, 전압 이득 및 전력 이득 특성.
Fig. 8. Bandwidth, Voltage gain and power gain of Main Driver.

그림 9는 캐스코드 증폭기의 영향을 시뮬레이션을 통해 보여준다. 직렬 연결된 MOSFET의 Finger 값을 1에서 5까지 점진적으로 변화시키면서 관찰한 주파수 대역 및 이득의 변화 추이이다. 이 결과는 Finger 값 1에서 -3dB 주파수 대역폭 3.6G, 전압 이득 5.0dB를 시작 값으로 하여, 점차 Finger 값 증가에 따라 대역폭이 서서히 줄어들면서 전압이득이 크게 향상하는 것을 보여준다. 즉, 캐스코드 증폭기 MOSFET 의 Finger 값에 따라 대역폭과 이득이 상호 trade-off를 가지므로 설계 목표에 따라 적절한 Finger 값을 선택할 수 있다. 시뮬레이션 결과는 Finger 값을 1에서 5까지 변화할 때 대역폭 및 전압 이득은 3.6G, 5dB에서 2.5G 18dB까지 변화한다.

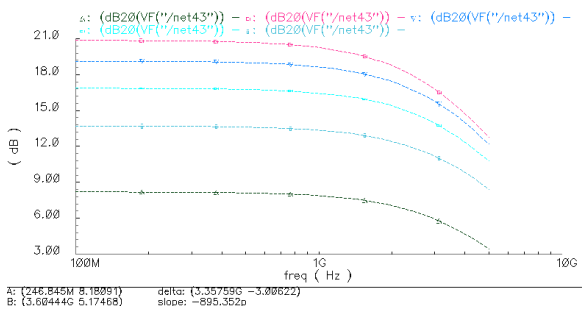


그림 9. 캐스코드 증폭기의 특성.
Fig. 9. Characteristics of Cascode Amplifier.

앞에서 제안된 메인 드라이버에서는 차동 출력에 캐스코드 증폭기를 연결하여 단일 출력으로 바꾼 회로로서 출력이 매우 안정되어 나타나는 것을 볼 수 있다. 즉, 그림 10은 메인 드라이버의 차동 증폭기 W/L(width/length)의 값에 따른 이득변동 특성으로서 W/L 값을 4, 6, 8, 10, 12 으로 각각 변화시켰을 때 가장 위 그래프 곡선부터 5G/7dB, 3.9G/9.5dB, 2.9G/10.8dB, 2.4G 11.7dB, 1.9G/12dB 등과 같이 선형성을 가지면서 대역과 이득이 감소하는 변화 추이를 보여준다. 이 그래프로부터 차동 증폭기의 W/L 값이 증가할수록 이득이 선형적으로 떨어지는 것을 알 수 있다. 이는 MOS 트랜지스터의 W/L 설계 값이 대역과 이득에 영향을 미치는 정도를 보여주는 것으로 설계시 필요한 설계 값에 부합하는 대역 및 이득을 적절히 결정할 수 있다.

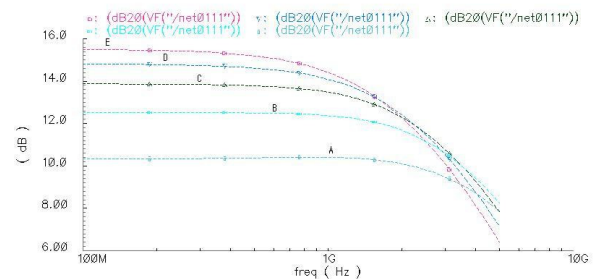


그림 10. 메인 드라이버 MOSFET의 W/L에 따른 이득변동 특성.
Fig. 10 Gain variance vs. W/L size of MOSFET in Main driver circuit.

앞에 기술한 그림 3의 기존 VCSEL 드라이버와 제안된 VCSEL 드라이버에 대해 회로를 구성한 후 시뮬레이션을 통하여 주파수 대역 및 이득 특성을 각각 비교하였다. 그 결과 그림 11과 같이 -3dB 주파수 대역 및 전압 이득 특성이 아래 그래프에서 보여주는 기존 구조의 3.2G 10dB에 비해 위 그래프에서 보여주는 제안된 구조가 3.5G 13dB 로서 더 우세하게 나타났고, 그 밖에 transient 응답 특성 및 아이 다이어그램 형상이 상대적으로 우세한 것으로 나타났다.

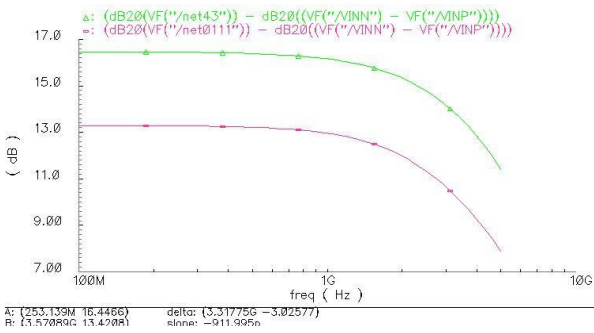


그림 11. 기존 VCSEL 드라이버와 제안된 VCSEL 드라이버의 이득 & 대역폭 특성 비교
Fig. 11 Comparison bandwidth and Voltage gain conventional between VCSEL driver and proposed VCSEL driver.

그림 12는 등가회로를 포함한 전체 VCSEL 드라이버에 대해 각각 transient 응답을 시뮬레이션 한 결과로서 아래 그래프는 드라이버 입력에 인가된 기준전압이고 위 그래프는 드라이버 출력 전압을 보여준다. 주파수 대역 및 이득 특성이 설계 요구조건을 만족하는 조건에서 측정되어야 하며 3μs 동안 400mVdc의 VCSEL 드라이버 입력 전압에 대한 출력전압 특성이 1.8Vdc~3.3Vdc로 이상적으로 제공되는 것을 볼 수 있다. Transient 응답 특성은 MOSFET Finger 값과 부하 저항 값에 크게 영향을 받는다. 이 결과는 아이 다이어그램에 반영된다.

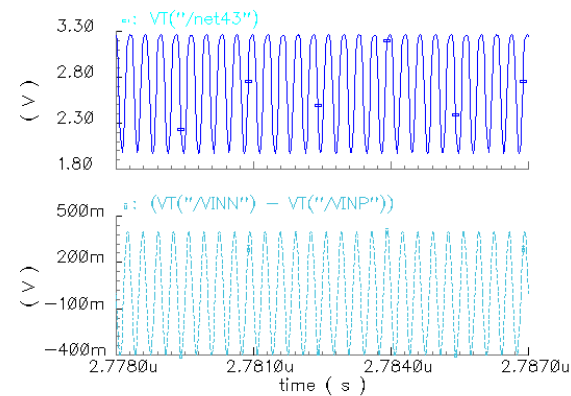


그림 12. Transient 응답 특성.
Fig. 12. Transient Response.

그림 13에 전기적 아이 다이어그램을 나타내었다. 100MHz~5GHz의 랜덤 신호 입력 시 VCSEL 드라이버 출력에서 0~3μs에서 800ps 주기로 아이 다이어그램 응답을 시뮬레이션한 결과로서 왜곡 없이 3.5G에서 양호한 수신감도를 보여준다.

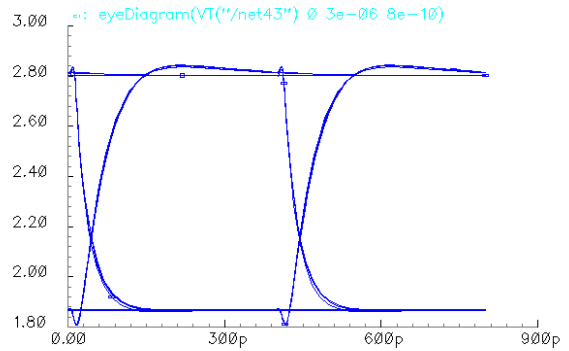


그림 13. 아이 다이어그램 응답.
Fig. 13. Eye Diagram Response

최종적으로 패드를 포함하는 VCSEL 드라이버의 시뮬레이션 결과로 나타난 특성은 그림 14에 나타내었다. <표 2>에 제안된 VCSEL 드라이버의 성능을 요약하였다. 표에서 보는 바와 같이 패드를 포함하는 VCSEL 드라이버의 대역폭 및 이득 특성은 패드를 부착하기 전 3.4G 10.6dB 보다 0.2G 4dB 감소한 3.24G 6.3dB를 최종적으로 확보하였다.

표 2. 제안된 VCSEL driver 성능규격
Table 2. Performance specifications of the proposed VCSEL driver

CMOS Technology	0.18μm
Supply Voltage	1.8Vdc/33Vdc
Data Rate	3.1Gb/s
Bandwidth (-3dB)	3.24GHz
Voltage Gain	6.3dB
Vout	796 mV
VCSEL Max. capacitance	0.8pf
dc current consumption	< 40mA
Chip Area(μm)	960×760

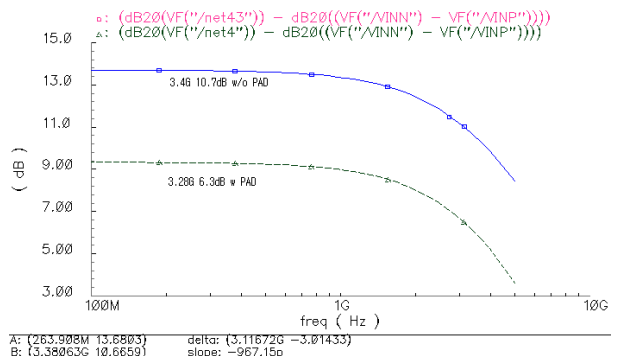


그림 14. 패드를 포함한 메인 드라이버의 주파수 대역 및 전압 이득 특성.
Fig. 14. Bandwidth and voltage gain of Main Driver with PAD.

IV. 결 론

본 논문에서는 0.18 μ m CMOS 기술을 기반으로 멀티채널 어레이에 적합한 싱글 채널의 3.1Gb/s CMOS VCSEL 드라이버 코아 칩을 설계하였다. 칩 크기를 최소화하고 저 전력 소모를 위해 기존 5Gb/s~10Gb/s급 회로에서 사용하는 캐스캐이드 증폭기 또는 네가티브 용량성을 갖는 능동 피드 백 증폭기 등의 구조를 배제하고 차동증폭기를 기본으로 하는 공통모드 구조와 캐스코드 증폭기를 적용하여 기존 구조에 비해 대역폭과 이득이 안정되고 우수한 3.1Gb/s급 VCSEL 드라이버 구조를 설계, TSMC 공정을 통해 코아 칩을 구현하였다. 본 설계에 사용된 토폴로지는 차동증폭기 기반의 공통모드 구조이며 5Gb/s 까지의 대역과 적정 이득의 확보가 가능하였다. 제안된 0.18 μ m 3.1Gb/s CMOS 공정 기반 VCSEL 드라이버는 CMOS 공정을 이용함으로써 홈 네트워크 분야의 무선 인프라로 주목 받고 있는 UWB(ultra wideband) 한국 가용 주파수인 3.1GHz~4.95GHz 대역에 부합하는 다채널 어레이를 위한 VCSEL 드라이버, 10Gb/s VCSEL 드라이버로써 그리고 단거리 고속 광통신 채널 응용을 위해 저 비용 및 저전력 효과를 제공할 수 있을 것으로 기대된다.

향후 10Gb/s급 VCSEL 드라이버 설계를 위해서는 큰 대역폭 확장 및 전압 이득을 위해 프리 엠파시스 등을 포함하는 새로운 토폴로지, 수동 인덕터 또는 입력 커패시터의 영향을 억제하고 네가티브 임피던스 보상을 위해 능동 케환 증폭기, 고속 AGC 등을 추가적으로 고려하여야 할 것이다.

References

[1] J. P. Thibodeau, C. Murray, and D. V. Plant, "A 24 mW 2.5Gb/s VCSEL driver in 0.18 μ m CMOS," in *Proc. IEEE 2004 Digest of the LEOS Summer Topic Meetings*, pp. 61~62, Jun. 2004.

[2] Patent US6272160, "HIGH-SPEED CMOS DRIVER FOR VERTICAL CAVITY SURFACE EMITTING LASERS," 7 Aug. 2001.

[3] A. T. Phan, "Low power 4x5-Gb/s VCSEL driver array in 0.13 μ m CMOS," in *Proc. The IEEE Int. Conf. on Electron., Circ.,*

and Syst. (ICECS), pp. 816~819, Dec. 2009.

[4] W. S Oh, K. Y. Park, and S. Y. Lee "A 4 CH 10Gb/s CMOS VCSEL driver array with adaptive optical power control," in *proc. Int. Conf. on Adv. Commun. Technol. (ICACT)*, pp. 826~829, Feb. 2010.

[5] Heungjun, Park, CMOS Analog Integrated Circuit (1), Sigmappress, pp.391-403, 2010. (박흥준, CMOS 아날로그집적회로(상), 시그마프레스, pp.391-403, 2010.)

양 충 열 (Choong-reol Yang)



1983년 건국대학교 전자공학과 공학사
 1998년 충남대학교 전자공학과 공학석사
 2007년 충남대학교 전자공학과 공학박사

1992년 6월~2013년 1월 현재 한국전자통신연구원 광인터넷연구부 평가입자연구팀 책임연구원

<관심 분야> 광통신, 광패킷스위칭, 광인터넷, 아날로그 회로 집적화

이 상 수 (Sang-soo Lee)



1988년 인하대학교 전자공학과 공학사
 1990년 인하대학교 전자공학과 공학석사
 2001년 인하대학교 전자공학과 공학박사

한국전자통신연구원 1990년 7월~2013년 1월 현재 광인터넷연구부 평가입자연구팀 팀장

<관심 분야> 광액세스망, WDM-PON, 에너지 효율망기술, 아날로그 회로 집적화