

# 디지털 뇌파 전송 프로토콜 개발 및 검증

김도훈\*, 황규성<sup>o</sup>

## Development and Verification of Digital EEG Signal Transmission Protocol

Do-Hoon Kim\*, Kyu-Sung Hwang<sup>o</sup>

### 요 약

본 논문에서는 뇌파 전송 프로토콜 설계하고 이를 검증할 테스트 플랫폼 제작 결과를 소개한다. 건식 전극에서 검출된 뇌파는 인접한 ADC(analog-to-digital converter)를 거쳐 디지털 신호로 변환되고, 각 센서 노드에서 디지털 신호로 변환된 뇌파는 I<sup>2</sup>C(inter-integrated circuit) 프로토콜을 통해서 DSP(digital signal processor) 플랫폼으로 전송된다. DSP 플랫폼에서는 뇌파 전처리 알고리즘 수행 및 뇌 특성 벡터 추출 등의 기능을 수행한다. 본 연구에서는 각 채널당 10비트 또는 12비트 ADC를 사용하여 최대 16채널의 데이터를 전송하기 위하여 I<sup>2</sup>C 프로토콜을 적용하였다. 실험결과 4바이트 데이터 버스트전송을 수행하면 통신오버헤드가 2.16배로 측정이 되어 10 비트 또는 12 비트 1 ksps ADC를 16채널로 사용시 총 데이터전송율이 각각 345.6 kbps, 414.72 kbps 로 확인되었다. 따라서 400 kbps 고속전송모드 I<sup>2</sup>C를 사용할 경우 ADC 비트에 따라서 슬레이브와 마스터의 채널비가 각각 16:1, (8:1)×2 로 되어야 한다.

**Key Words** : Electroencephalogram(EEG), dry-type electrode, FPGA, DSP, I<sup>2</sup>C

### ABSTRACT

This paper presents the implementation result of the EEG(electroencephalogram) signal transmission protocol and its test platform. EEG measured by a dry-type electrode is directly converted into digital signal by ADC(analog-to-digital converter). Thereafter it is transferred DSP(digital signal processor) platform by I<sup>2</sup>C(inter-integrated circuit) protocol. DSP conducts the pre-processing of EEG and extracts feature vectors of EEG. In this work, we implement the I2C protocol with 16 channels by using 10 or 12-bit ADC. In the implementation results, the overhead ratio for the 4 bytes data burst transmission measures 2.16 and the total data rates are 345.6 kbps and 414.72 kbps with 10-bit and 12-bit 1 ksps ADC, respectively. Therefore, in order to support a high speed mode of I<sup>2</sup>C for 400 kbps, it is required to use 16:1 and (8:1)×2 ratios for slave:master in 10-bit ADC and 12-bit ADC, respectively.

### I. 서 론

급속한 고령화 사회 진입으로 인한 고령 인구의 증가, 일상생활 및 사회생활에서의 스트레스 증가

등 다양한 원인으로 인해 미국에서만 200만 명이 상의 신경계 손상환자들이 보고되고 있으며, 국내에서도 루게릭병, 파킨슨병이나 뇌졸중, 진행성연수마비, 척수근육위축 등의 운동 장애가 있는 뇌 신경질

※ 본 논문은 산업통상자원부의 소재부품기술개발사업으로 지원된 과제를 통해 수행되었습니다.

♦ 주저자 : 전자부품연구원 실감정보플랫폼연구센터, speedo@keti.re.kr, 정희원

o 교신저자 : 경일대학교 사이버보안학과, kshwang@kiu.ac.kr, 정희원

논문번호 : KICS2013-04-182, 접수일자 : 2013년 4월 23일, 최종논문접수일자 : 2013년 6월 11일

환 및 퇴행성 뇌질환 환자의 수가 매년 증가 추세에 있다. 뇌 신경질환 환자들의 경우 다양한 행동 및 생활의 어려움을 경험하고 있는데, 구체적으로 사지마비 환자들의 경우 의사소통의 어려움 및 기본적인 움직임이 불가능하여 치료를 위한 비용, 환자의 간호 및 보호를 위한 사회적 비용이 발생하며, 뇌졸중과 같이 운동 장애를 가지는 환자의 경우 재활훈련이 병원과 가정에서 연속적으로 이루어지지 못해 재활기간이 길어지고 이로 인해 추가적인 비용의 발생된다. 이에 따라 현재 BMI(brain-machine interface)의 연구도 활발히 진행되고 있으며, BMI의 핵심부분인 전극은 대부분 습식전극이 사용되고 있는데, 이 경우 습식전극이 머리에 잘 접촉되도록 크림이나 젤을 사용해야하기에 사용자들이 많이 불편함을 느끼고 있는 상황이다. 국외에서는 이미 소형화된 건식전극 기반의 단일 채널 휴대용 뇌파(electroencephalogram, EEG) 측정 장비들이 보급형으로 개발되어 다양한 제품군을 형성하고 있으며, 의료, 뉴로피드백, 게임 등에 적용되는 제품들이 출시되고 있다<sup>1,2</sup>. 일부 선진회사의 경우는 휴대형 헤드셋형태의 다채널 뇌파 측정 시스템을 개발하여 시판 중에 있다. 국내에서는 뇌파 측정기기 전문회사에서 4-32채널 뇌전도 측정장비를 개발하였으나 고가의 대용량 의료 장비이다<sup>3</sup>. 본 연구에서는 두발잡음극복형 건식전극노드와 다채널 뇌파처리 모듈을 개발하기 위한 뇌파 전송 프로토콜을 개발하고 검증하고자 한다.

## II. 디지털 뇌파 전송용 프로토콜 설계

본 논문에서는 16채널의 센서 노드와 하나의 데이터 처리 모듈이 한 세트를 이루어 뇌파 신호의 측정, 전처리 과정을 수행한다. 여기에서 사용되는 전극은 그림 1처럼 일반적인 습식방식이 아닌 건식 전극으로 머리카락에 의한 간섭을 최소화할 수 있도록 끝부분이 탐침형태를 가지도록 설계된다. 그리고, 그림 2는 현재 시중에 출시되고 있는 헤드셋으로 건식 전극을 탑재한 제품을 보여준다<sup>2</sup>. 본 논문에서 다루고 있는 뇌파측정 및 뇌파처리에 관한 블록도는 그림 3과 같다. BMI 센서 노드는 전극,

AFE(analog front-end), ADC(analog-to-digital converter)로 구성되는데 여기에서는 건식 전극을 이용한 뇌파 검출이 이루어지고 AFE와 ADC를 거쳐서 디지털 신호로 변환된다. 변환된 디지털 뇌파는 데이터량이 크지 않기 때문에 I<sup>2</sup>C(inter-integrated circuit)와 같은 직렬통신방식으로 BMI 센서 노드에서 데이터 처리 모듈로 전송된다<sup>4,5</sup>. 기존 기술의 경우 BMI 센서 노드에서 검출된 뇌파 신호가 데이터 처리 모듈로 직접 전송되어 데이터 처리 모듈에서 디지털 신호로 변환하는 형태가 보편적이다<sup>6,7</sup>. 그리고, BMI 센서 노드에서 뇌파 신호를 디지털 값으로 변환하여 데이터 처리 모듈로 전송하는 기술이 소개되었는데, 이 기술은 데이터 전처리 및 필터링을 위한 DSP를 사용하지 않고, BMI 센서 노드의 연결구조가 버스구조로 본 연구에서 사용하는 스타구조와는 차별되는 점이 있다<sup>8</sup>. 데이터 처리 모듈은 상용 DSP(digital signal processor)를 사용할 예정인데, 본 연구에서는 1차적으로 고성능의 DSP(DM8127)를 사용하여 뇌파 전처리 알고리즘 및 뇌 특성 추출 기능을 구현할 예정이다<sup>9</sup>.

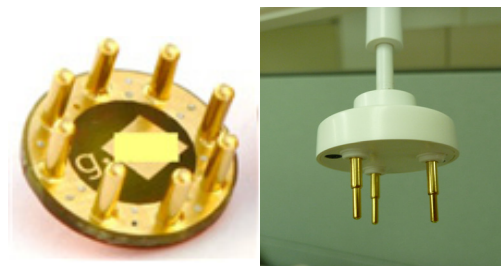


그림 1. 두발잡음 극복형 건식 전극의 예  
Fig. 1. Example of the dry-type electrode



그림 2. 건식 전극을 탑재한 뇌파 측정용 헤드셋 착용 모습  
Fig. 2. Headset with dry-type electrode

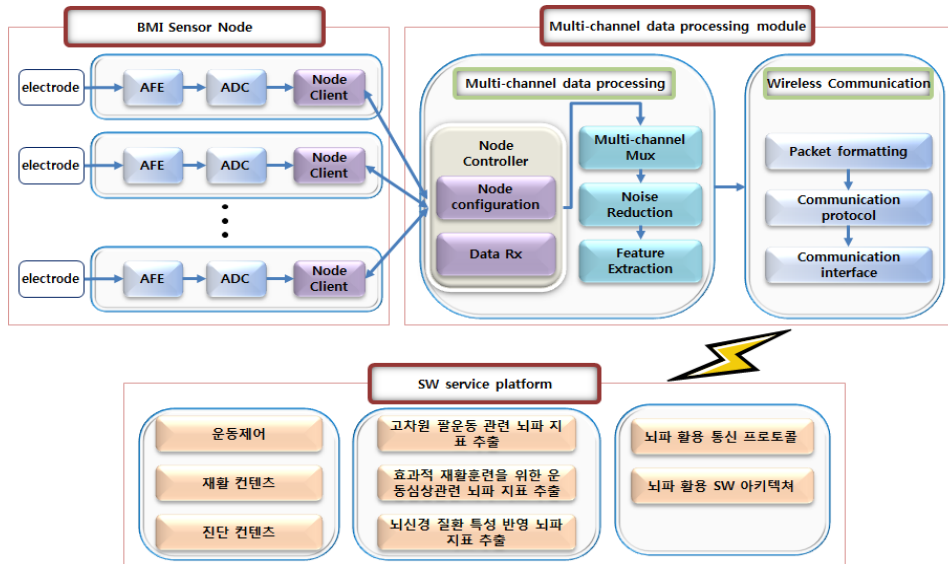


그림 3. 건식전극 기반 BMI 센서 노드 및 다채널 데이터 처리 모듈 블록도 및 SW 서비스 플랫폼  
 Fig. 3. BMI sensor node with a dry-type electrode, multi-channel data processing module block diagram, and SW service platform

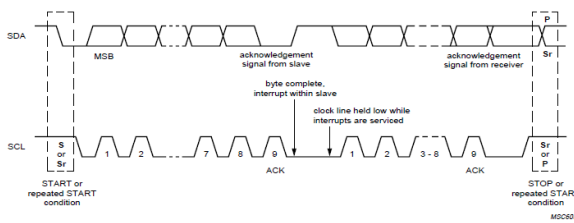


그림 4. I<sup>2</sup>C버스에서의 데이터 전송 방식  
 Fig. 4. Data transfer protocol on the I<sup>2</sup>C-bus

본 논문에서 참고하고 있는 디지털 뇌파 신호 전송 프로토콜은 I<sup>2</sup>C방식으로 표준전송모드에서는 100 kbps, 고속전송모드에서는 400 kbps 속도를 지원한다. 입출력 전압은 최소 2V에서 최대 5V까지 다양한 전압을 지원하여 하드웨어 구현시에 주변상황에 따라서 유연하게 사용할 수 있다. 그림 4는 I<sup>2</sup>C 버스의 데이터 전송 방식을 보여주는데, I<sup>2</sup>C통신은 마스터와 슬레이브간에 두 개의 버스선으로 클럭(SCL)과 데이터(SDA)를 주고 받는다. 일반적으로 클럭은 마스터가 슬레이브에게 보내고, 기본적인 데이터 송수신 원리는 마스터가 슬레이브의 주소를 보내면 해당주소를 가지는 슬레이브가 마스터에게 데이터를 보낸다. 데이터 전송 포맷에 따른 최소 데이터 전송단위는 바이트(8 비트)이기 때문에 한 번의 전송에서 8비트의 데이터가 전송될 수 있다. 따라서 10비트 또는 12비트의 데이터를 전송하기 위해서는 1바이트씩 2번의 데이터 전송이 필요하다.

일반적인 뇌파신호의 대역폭은 수십 Hz 이내이고, 최고 대역폭이 수백 Hz를 넘지 않는다. 따라서

뇌파신호를 디지털 신호로 바꾸는 ADC의 샘플링 주파수는 1 kHz 내외로 결정되며, 비트수는 10비트 내지 12비트정도면 뇌파신호 분석에 충분하다고 알려져 있다. 이를 바탕으로 디지털 변환된 뇌파의 데이터 양과 데이터 처리 모듈간의 통신 속도를 계산해보면 표 1과 같이 정리할 수 있다.

표 1에 의하면 16채널에서 12비트 1 kHz ADC를 사용했을 때 160 kbps의 전송률이 필요한 것으로 계산되었는데, 이 때 I<sup>2</sup>C 마스터와 슬레이브 사이의 핸드셰이킹에 따른 오버헤드를 어떻게 산정하느냐에 따라서 필요한 총 데이터 전송율이 달라지게 된다. 예를 들어 오버헤드를 슬레이브 전송율의 2배로 산정하면 총 데이터 전송율은 320 kbps로 I<sup>2</sup>C 고속전송모드로 16:1 I<sup>2</sup>C 통신이 가능하지만, 오버헤드를 5로 가정하면 총 데이터 전송율이 800 kbps로 16:1 I<sup>2</sup>C 통신은 불가능하고, 8:1 I<sup>2</sup>C을 병렬로 구현하여야 병목현상 없이 디지털 신호 전송이 가능하게 된다. 16:1 I<sup>2</sup>C 통신을 위해서는 그림 5(a)와 같은 형태로 센서노드와 데이터 처리 모듈이 1개의 버스형태로 연결되면 되지만, (8:1)×2 I<sup>2</sup>C 통신을 병렬로 구성한다면 그림 5(b)처럼 센서노드와 데이터 처리 모듈이 2개의 버스선으로 연결되어야 한다. 일반적인 DSP 칩에서는 최소 2개의 I<sup>2</sup>C 인터페이스 핀을 제공하기 때문에 그림 5(b)형태의 구현은 현실적으로 어렵지 않다. I<sup>2</sup>C와 비슷한 직렬통신 방식인 SPI(serial peripheral interface) 통신의 경우 I<sup>2</sup>C보다 고속의 데이터 전송이 가능하지만, 통신에

필요한 전선의 수가 3선으로 I<sup>2</sup>C보다 1선이 많아서 헤드셋 구성에 불리하다고 판단되어 I<sup>2</sup>C통신방식을 우선 고려하였다.

표 1. 디지털 뇌파 신호 전송 속도 비교  
Table 1. Comparison of the digital EEG signal transmission rate

Number of channel	ADC bit	ADC sampling frequency (Hz)	real data rate (kbps)	overhead (× times)	total data rate (kbps)
16	10	500	80	2	160
				5	400
				10	800
	1,000	160	2	320	
			5	800	
			10	1,600	
16	12	500	96	2	192
				5	480
				10	960
	1,000	192	2	384	
			5	960	
			10	1,920	

### III. 프로토콜 테스트

디지털 뇌파 신호 전송 프로토콜을 검증하기 위해서 그림 6의 구조를 갖는 검증 플랫폼을 제작하였다. 전체 블록도를 보면 ADC와 FPGA (field-programmable gate array) 사이에 I<sup>2</sup>C 인터페이스가 있는데, 이는 상용 ADC의 출력이 I<sup>2</sup>C 방식으로만 지원되기 때문에 FPGA내부에 불필요한 블록(I<sup>2</sup>C 마스터)이 추가로 사용된다. 16:1 I<sup>2</sup>C 버스는 실제로는 FPGA내부에서 구현되는데, FPGA와 DSP 사이에는 1:1 I<sup>2</sup>C 인터페이스가 구현될 예정이다<sup>[10]</sup>. 제작된 검증 플랫폼에서 애플리케이션 테스트를 통해 I<sup>2</sup>C 통신방식의 오버헤드를 측정하여 최종적으로 전극/센서노드와 데이터처리모듈 인터페이스 디자인을 최종 확정할 예정이다.

최종 구현 플랫폼은 전식전극과 AFE, I<sup>2</sup>C 슬레이브 인터페이스를 가지는 ADC로 구성되는 BMI 센서노드와 I<sup>2</sup>C 마스터 인터페이스를 가지는 DSP로 구성된다. DSP에서는 뇌파 신호 전처리 및 필터링, 그리고 뇌 특성 신호 추출을 위한 기본적인 기능을 수행한다.

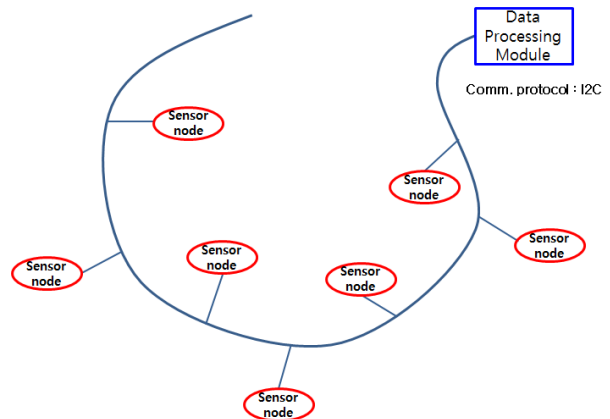


그림 5(a). 슬레이브와 마스터의 채널비가 16:1 I<sup>2</sup>C 연결도  
Fig. 5(a). 16:1 I<sup>2</sup>C slave and master connection diagram

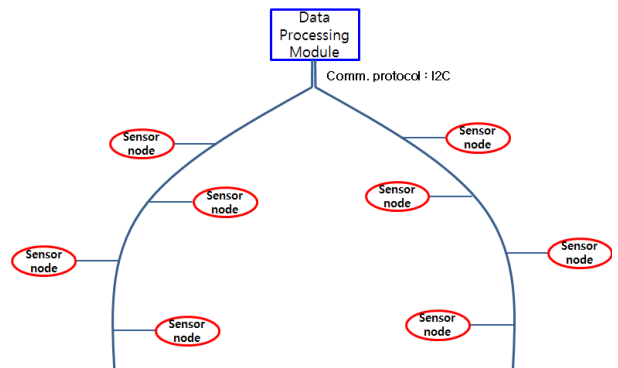


그림 5(b). 슬레이브와 마스터의 채널비가 (8:1)×2 I<sup>2</sup>C 연결도  
Fig. 5(b). (8:1)×2 I<sup>2</sup>C slave and master connection diagram

그림 7은 제작된 FPGA 보드의 전면 사진이고, 그림 8은 DSP 보드와 FPGA 보드의 연결된 모습을 보여준다. 그림 7에서는 하나의 보드에 16개의 ADC를 탑재하여 다채널 데이터 입력을 받도록 하였고, FPGA는 쪽보드를 따로 구성하여 합성된 코드의 양에 따라서 FPGA 교체가 가능하도록 구현하였다. 추가로 신호관찰 및 I<sup>2</sup>C기능검증을 위해서 스위치, LED, DAC를 보드에 추가로 구현하였다. 입력신호의 정확도 및 오류 상태를 확인하기위해서 LED와 DAC에 그 값을 출력하여 확인하도록 하였다.



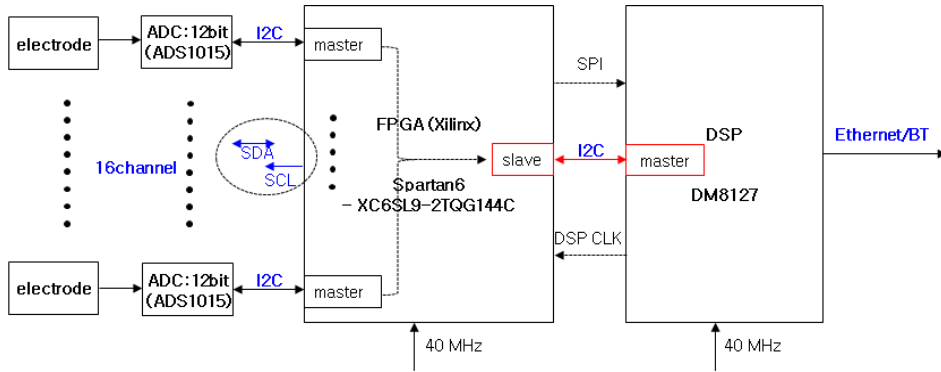


그림 6. BMI 센서 노드 및 다채널 데이터 처리 모듈 검증 플랫폼 블록 구조도  
 Fig. 6. BMI sensor node and multi-channel data processing module test platform block diagram

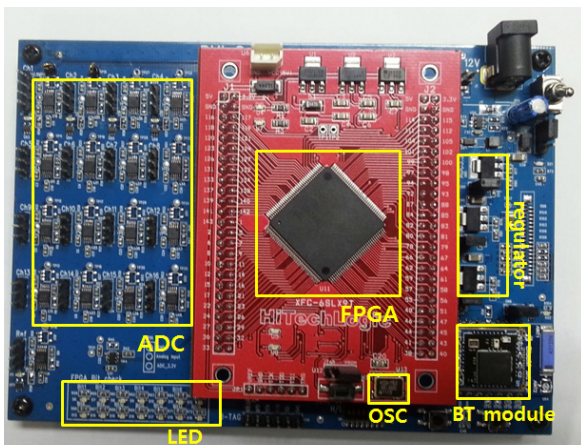


그림 7. 다채널 데이터 처리 모듈 검증 플랫폼  
 Fig. 7. multi-channel data processing module test platform

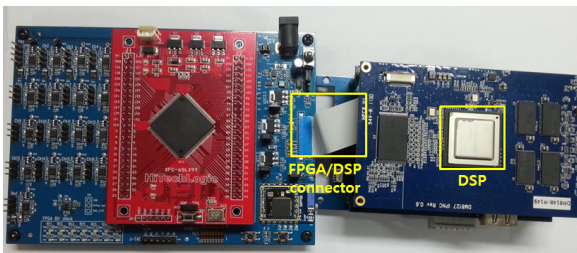


그림 8. FPGA 보드와 DSP 보드 통합 플랫폼  
 Fig. 8. FPGA and DSP test board platform

그림 8은 FPGA 보드와 DSP 보드가 케이블로 연결된 모습을 보여주는데, 이는 각각의 기능 및 성능을 검증한 후 최적화된 FPGA와 DSP를 결정하여 추후에 하나의 완성된 보드형태로 제작을 하기 위함이다. FPGA와 DSP 사이에는 SPI 신호, I<sup>2</sup>C 신호, 그리고 DSP 메인클럭등의 신호가 연결되어 있다. DSP 메인클럭신호는 FPGA 보드와 DSP 보드간

의 클럭 동기화를 위해서 사용되는데, 이는 두 보드 간의 데이터 통신 에러를 막기위함이다.

그림 9는 I<sup>2</sup>C 통신 프로토콜의 오버헤드 테스트 결과이다. 실험에 사용된 I<sup>2</sup>C 슬레이브 코드는 48 MHz의 마스터 클럭으로 동작되며, 마스터의 SCL에서 나오는 클럭은 400 kHz 고속모드로 슬레이브와 통신을 하도록 셋팅하였다. I<sup>2</sup>C 마스터에서 읽기 명령을 실행하는 시각부터 실제 데이터가 완전히 읽을 때까지의 시간을 측정해보면  $165.847 \times 10^{-6}$  초가 걸리는데, 이때 전송된 데이터는 4바이트이다. 이 결과를 바탕으로 실제 데이터 전송속도로 환산해보면 185.2 kbps가 되는데, 이는 I<sup>2</sup>C의 고속모드 속도 400 kbps의 1/2.16 배에 해당한다. 이를 바탕으로 실제 데이터 전송 속도를 표 2와 같이 정리할 수 있다.

저전력 소모 및 노이즈 발생 최소화를 위해서 I<sup>2</sup>C 슬레이브 코드의 마스터 클럭을 최소화하기 위한 작업을 추가로 진행중인데, 마스터 클럭을 8 MHz 로 줄여도 통신 안정성측면에서는 큰 영향이 없음을 확인하였다.

결론적으로, 표2에 의하면 10 비트 ADC를 사용할 경우 ADC의 샘플링 주파수는 1 kHz까지 높여서 사용할 수 있지만, 12 비트 ADC를 사용할 경우는 ADC의 샘플링 주파수를 500 Hz까지만 사용할 수 있다. 따라서 본 실험결과에 따라서 최대 1 kHz 샘플링 주파수를 사용하려면 11 비트 ADC를 사용할 수 있다는 결론을 얻었다.

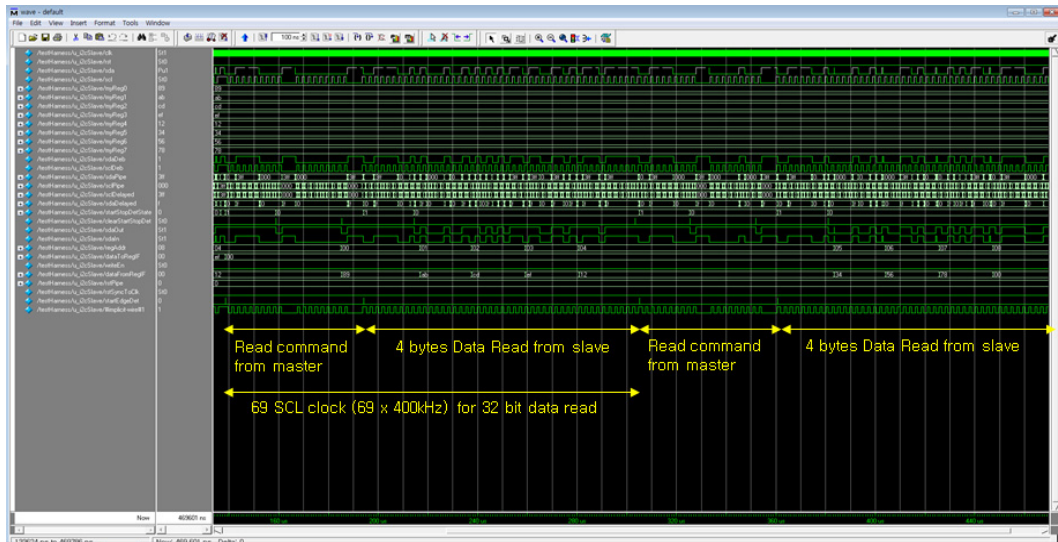


그림. 9. 4바이트 데이터 버스트 전송 I2C 슬레이브 코드 시뮬레이션 결과  
 Fig. 9 byte data burst transmission simulation result of I<sup>2</sup>C slave code

표 2. 실제 측정된 디지털 뇌파 신호 전송 속도  
 Table 2. the digital EEG signal transmission rate based on measured overhead

Number of channel	ADC bit	ADC sampling frequency (Hz)	real data rate (kbps)	overhead (× times)	total data rate (kbps)
16	10	500	80	2.16	172.8
		1,000	160	2.16	345.6
	12	500	96	2.16	207.36
		1,000	192	2.16	414.72

#### IV. 결 론

본 논문에서는 뇌파 측정 및 전송을 위한 다채널 뇌파 신호 전송 프로토콜 설계를 위한 전송 속도 분석 및 검증 플랫폼 설계를 제시하였다. 향후에는 검증 플랫폼에서 실제 I<sup>2</sup>C 통신 상태 및 총 데이터 전송율을 측정하여 16:1 I<sup>2</sup>C 적용이 가능한지를 판별하여 최종적으로 I<sup>2</sup>C 인터페이스를 결정할 예정이다. 이론상으로는 초고속 모드 I<sup>2</sup>C를 사용하면 3.4 Mbps 속도를 지원하여 I<sup>2</sup>C 인터페이스 디자인을 간단하게 할 수 있지만, 최종적으로 헤드셋에 부품들이 장착되어 동작할 것이기 때문에 클럭 속도를 너무 높이는 것은 전자파관련 위험요소가 커서 고속모드 I<sup>2</sup>C를 사용하여 통신 프로토콜을 설계하고자 한다. I<sup>2</sup>C와 비슷한 직렬통신 방식인 SPI 통신의 경우 I<sup>2</sup>C보다 고속의 데이터 전송이 가능하

지만, 통신에 필요한 버스트의 수가 3개로 I<sup>2</sup>C보다 1개가 더 많아서 헤드셋 구성에 불리하다고 판단되어 I<sup>2</sup>C통신방식을 우선 고려하였다.

#### References

- [1] NeuroSky, *MindWave(2013)*, Retrieved Jun., 11, 2013, from <http://www.neurosky.com>.
- [2] Nielsen Company, *NeuroFocus(2013)*, Retrieved Jun., 11, 2013, from <http://www.neurofocus.com>.
- [3] Laxtha, *Electroencephalograph(2013)*, Retrieved Jun., 11, 2013, from <http://www.laxtha.com>.
- [4] Philips Semiconductors, *The I2C-BUS specification version 2.1*, Jan. 2000.
- [5] D. H. Kim, H. S. Lee, J. W. Cho, and K. H. Seo, "MB-OFDM UWB modem SoC design," *J. KICS*, vol. 34, no. 8C, pp. 806-813, Aug. 2009.
- [6] Texas Instruments, *TI healthTech Health Guide(2013)*, Retrieved Jun., 11, 2013, from <http://www.ti.com>.
- [7] D. W. Ko, G. T. Lee, S. M. Kim, C. H. Lee, Y. J. Jung, C. H. Lim, and K. Y. Jung, "Development of an active dry EEG electrode using an impedance-converting circuit," *Korean J. Clin. Neurophysiol.*, vol. 13, no. 2,

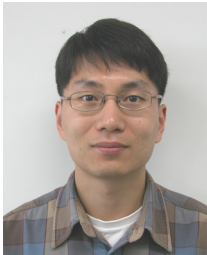
pp. 80-86, Dec. 2011.

[8] S, Lee, L. Yan, T. Roh, S. Hong, and H.-J. Yoo, "A 75  $\mu$ W real-time scalable body area network controller and a 25  $\mu$ W ExG sensor IC for compact sleep monitoring applications," *IEEE J. Solid-State Circuits*, vol. 47, no. 1, pp. 323-334, Jan. 2012.

[9] Texas Instruments, *TMS320DM814X DaVinci\_Technical Reference Manual(2012)*, Retrieved Jun., 11, 2013, from <http://www.ti.com>.

[10] Xilinx, *Spartan-6 Family Overview(2011)*, Retrieved Jun., 11, 2013, from <http://www.xilinx.com>.

**김도훈 (Do-Hoon Kim)**



1998년 2월 POSTECH 전자  
전기공학과 공학사  
2000년 2월 POSTECH 전자  
전기공학과 공학석사  
2013년 2월 연세대학교 전기전  
자공학과 공학박사  
2005년 10월~현재 전자부품연

구원 실감정보플랫폼연구센터 책임연구원  
<관심분야> 통신이론, 신호처리, 디지털통신시스템

**황규성 (Kyu-Sung Hwang)**



2004년 8월 고려대학교 전기전  
자전파공학부 공학사  
2010년 2월 고려대학교 전자  
컴퓨터공학과 공학박사  
2010년 1월~2011년 8월 전자  
부품연구원 통신네트워크 연  
구센터 선임연구원

2011년 9월~현재 경일대학교 사이버보안학과 조교  
수  
<관심분야> 통신이론, 신호처리, 디지털통신시스템