

SDR기반 디지털 위성 트랜스폰더를 위한 가변 표본화율의 재귀 연산 구조

백대성*, 임원규*, 김종훈^o

A Variable Sample Rate Recursive Arithmetic Half Band Filter for SDR-based Digital Satellite Transponders

Dae-sung Baek*, Won-gyu Lim*, Chong-hoon Kim^o

요 약

위성 트랜스폰더의 설계에 있어서 위성체의 제한된 전원자원으로 인해 연산 알고리즘의 최소화와 하드웨어 구현에 필요한 연산 및 논리 자원의 최소화가 필수적이다. 아울러 위성의 환경에 따라 다양한 대역폭에 대한 효율적 신호처리가 요구되는데 이러한 조건들은 SDR기반의 디지털 방식 구현에 적합하다. 본 논문에서는 SDR 기반의 위성 트랜스폰더 수신부에서 반송파와 레인징 및 Command 부밴드 신호에 대해 각각의 대역과 데이터율을 가변적으로 선택 할 수 있는 하향 표본화기를 제안하였다. 제안된 하향표본화기는 한 개의 하프밴드 필터로부터 재귀적 연산구조를 통해 다수의 임의의 2^M -하향 표본화된 신호를 얻을 수 있으며, 연산량 및 구현에 따르는 논리자원을 최소화 할 수 있다. 또한 재귀적 연산 하드웨어 구현을 위한 알고리즘과 함께 하향표본화에 따르는 대역평탄도 및 에일리어싱을 분석하고 이를 FPGA 실험을 통하여 동작 및 성능을 입증하였다.

Key Words : Half Band Filter, Recursive Arithmetic, SDR, Transponder, Filter Chain

ABSTRACT

Due to the limited power supply resources, it is essential that the minimization of algorithmic operation and the reduction of the hardware logical-resources in the design of the satellite transponder. It is also required that the transponder process the signals of various bandwidth efficiently, that is suitable for the SDR-based implementation. This paper proposes a variable rate down sampler which can provide variable bandwidth and data rate for carrier, ranging and sub-band command signals respectively. The proposed down sampler can provide multiple 2^M decimated outputs from a single half band filter with recursive arithmetic architecture, which can minimize the hardware resources as well as the arithmetic operations. The algorithm for hardware implementation as well as the analysis for the passband flatness and aliasing is presented and verified by the FPGA implementation.

I. 서 론

위성-지상국 또는 위성-위성 간의 통신을 위하여 위

성에 탑재되는 트랜스폰더의 수신 시스템은 위성의 용도에 따라 매우 다른 통신환경에 직면하게 된다. 예를 들어 근궤도 위성에서 수신되는 지상국 신호의

◆ First Author : 숭실대학교 정보통신전자 공학부 무선통신시스템연구실, daesungb@gmail.com, 학생회원

○ Corresponding Author : 숭실대학교 정보통신전자 공학부 무선통신시스템연구실, chkim@ssu.ac.kr, 정회원

* 한국 항공우주연구원, wglim@kari.re.kr

논문번호 : KICS2013-05-215, 접수일자 : 2013년 5월 23일, 심사일자 : 2013년 5월 30일, 최종논문접수일자 : 2013년 12월 9일

SNR이 비교적 큰 관계로 고속의 통신이 가능한 반면 심우주(Deep Space)탐사선의 경우 지구와의 거리에 따라 SNR 확보를 위하여 수백Kbps에서 수bps까지의 다양한 비트율이 제공되어야 한다^[1]. SDR(Software Defined Radio) 개념의 디지털 수신기는 이러한 다양한 비트율을 하나의 하드웨어 안에서 제공할 수 있도록 설계되어야 하며, 이를 위한 디지털 신호처리 구조는 입력 데이터를 여러 단계로 하향 표본화(Down Sampling) 하고, 각 단계별로 신호를 선택할 수 있도록 단계별 출력을 다중화기(Multiplexer)를 통해 디지털 복조기에 입력하는 구조가 된다. 한편 위성에 탑재되는 전자 장비는 극한의 온도와 고 에너지 우주선(Cosmic Ray)과 같은 우주환경에서 동작의 신뢰도를 확보하기위해 고장허용시스템(Fault Tolerant System)으로 구성되어야 하며 주로 TMR(Triple Modular Redundancy)구조를 사용하는데, 이 경우 하나의 디지털 신호처리 블록을 구성하는데 상용 시스템의 약 3 배의 하드웨어 자원이 소요되며, 이는 위성체의 제한된 전원자원과 진공에서의 열 방출문제로 인해 시스템 설계에 많은 제약을 받게 된다. 따라서 위성 트랜스폰더의 수신기 설계에 있어서 하드웨어 자원을 최소화 하면서 임의의 하향 표본화가 가능한 디지털 신호처리 구조의 설계는 대단히 중요한 문제이다. 이러한 배경을 고려할 때 Zero-Phase FIR 타입 하프밴드 필터(HBF)는 다상 필터 뱅크 구조로 구현하면 곱셈 연산량이 계수 수의 1/4 인 매우 효율적인 하드웨어 구성이 가능하며, 재표본화기(Resampler)는 임의의 유리수 비로 표본화율을 변경할 수 있으므로, 그림 (1-a) 와 같이 M개의 HBF를 연결하고 각 출력중 하나를 선택하여 표본화율 α ($0.5 \leq \alpha \leq 1$) 로 재표본화하면 출력신호의 데이터율과 입력신호의 데이터율의 비를 β 라 할 때 $1/2 \geq \beta \geq 2^{-(M+1)}$ 범위 내에서 임의의 표본율을 구현할 수 있다. 본 논문에서는 하나의 HBF에서 동일한 계수로 여러 단의 HBF 연산을 수행하면서 최종 출력에서 에일리어싱(Aliasing)이 없는 재귀적 HBF구조를 제안하며(그림 1-b), 그 하드웨어 구조를 VHDL 코드로 작성하여 모의실험을 통해 성능을 검증하고 Xilinx Virtex5 FPGA에 구현하여 논리자원의 최소화를 입증하였다.

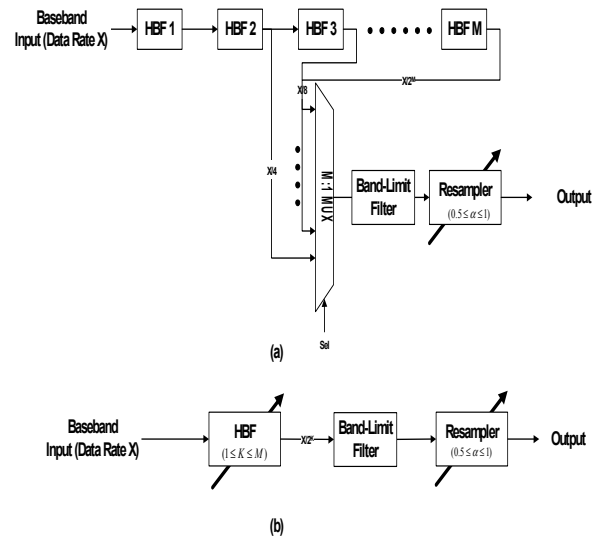


그림 1. M개의 HBF 를 사용한 하향표본화기(a) 와 등가인 한 개의 재귀연산 구조 HBF를 사용한 하향 표본화기 Fig. 1. Down Sampler with M-Stage HBF's (a) and Equivalent Down Sampler using a signle recursive arithmetic HBF(b)

II. 재귀 연산 구조의 HBF 특성

2.1. 동일 계수의 M단 Zero-Phase 타입 HBF 하향 표본화기 특성

실수 계수의 Zero-Phase FIR 타입 HBF는 $4N+3$ 개의 계수를 가지며 임펄스 응답은 다음과 같은 특성을 가지고 있다^[2].

$$h(n) = h(-n), \quad h(2n) = \begin{cases} 1 & n=0 \\ 0 & \text{otherwise} \end{cases} \quad (1)$$

이러한 HBF의 주파수 응답을 $H(e^{j\omega})$ 라 할 때 그 응답특성은 위상값이 항상 0이며, 진폭 응답이 $\pi/2$ 를 중심으로 대칭이다. 이를 수학적으로 표현하면 다음과 같다.

$$|H(e^{j\omega})| = H(e^{j\omega}), \quad H(e^{j\omega}) + H(e^{j(\pi-\omega)}) = 1 \quad (2)$$

여기서 $0 \leq \omega \leq \omega_p$ 인 주파수 ω 에 대하여 $1-\delta \leq |H(e^{j\omega})| \leq 1+\delta$ 인 ω_p 를 차단주파수, 대역 $[-\omega_p, \omega_p]$ 를 통과대역, $[\pi-\omega_p, \pi+\omega_p]$ 를 차단대역이라 각각 정의하면 식(2)로부터 차단대역의 진폭 응답은 $|H(e^{j\omega})| \leq \delta$ 를 만족한다. 이러한 HBF M 개를 직렬로 연결 했을 때 출력의 응답특성을 $H_M(e^{j\omega})$ 라 하면

$$H_M(e^{j\omega}) = \prod_{k=1}^M H(e^{jk\omega}) \quad (3)$$

이며, K 번째 HBF 의 특성 $H(e^{jk\omega})$ 에 대하여 $A_K(m)$ 을

$$A_K(m) \equiv \left[(m\pi - \omega_p)2^{-(K-1)}, (m\pi + \omega_p)2^{-(K-1)} \right] \quad (4)$$

$$, (0 \leq m < 2^K)$$

로 정의할 때 $A_K(m)$ 의 특성은 다음과 같다.

- ① $A_K(0)$ 는 통과 대역
- ② m 이 0이 아닌 짝수이면 $A_K(0)$ 는 에일리어싱 대역을 일으키는 대역이며 $A_K(2m) \subset A_{K-1}(m)$ 이다.
- ③ m 이 홀수이면 $A_K(m)$ 는 차단대역

특성 ①,② 및 ③으로부터 M 단의 동일 계수 HBF 하향 표본화기에서 최종 단의 통과대역은 이전 $1 \sim M-1$ 단의 통과대역에 속하며, 에일리어싱 대역은 $1 \sim M-1$ 단의 차단대역중 적어도 하나의 차단대역 내에 속하여 최종단의 모든 에일리어싱 대역에서 신호 소거비가 δ 이하임을 알 수 있다. 그림 2는 3 단 HBF 하향 표본화기의 응답특성을 그린 것이다. 사용된 HBF는 11개의 계수를 가지며 통과 대역 0.23 π , 차단 대역 신호소거비 $\delta = -60$ [dB]로 설계된 필터이다. 왼쪽의 검은 영역이 통과 대역이고 빗금으로 채워진 영역이 에일리어싱 대역이며, 에일리어싱 대역의 응답은 설계된 필터의 차단대역 신호소거비 보다 적음을 알 수 있다. 한편 M 단 HBF의 물리적인 최종 표본화율을 f_s [Hz]라 할 때 통과대역 f_p 는 $f_p = \omega_p f_s / \pi$ [Hz]이며, 식(2)에 의해 f_p 부터 Nyquist주파수 $f_s/2$ 에 이르는 과도대역은 에일리어싱을 피할 수 없다. 따라서 최종적으로 이 대역은 차단되어야 하며 이를 위해 그림 1과 같이 M 단 필터 뒤에 대역차단 필터를 사용해야한다. 한편 통과대역 내에서 리플은 각 단의 리플의 곱이 되나 M 값이 커질 수록 앞단에서의 리플은 적어지고 DC 응답에 가까워 지므로 리플이 리플이 늘어나지 않고 일정한 값에 수렴한다. 그림 3은 5 종류의 다른 탭 수를 가진 Parks-McClellan HBF 필터에 대하여 M 값에 따른 통과대역 리플을 나타낸 것이다. M 값이 5 이상이 되면 리플이 일정한 값에 수렴함을 관찰할 수 있다.

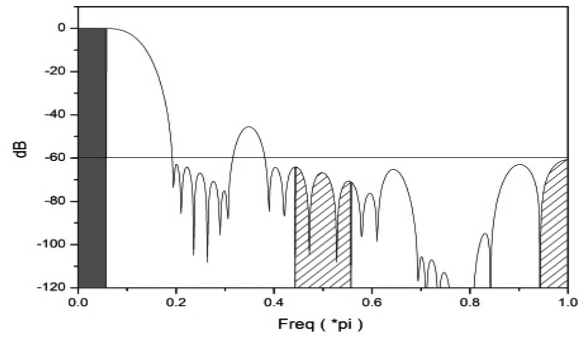


그림 2. 직렬 Zero-Phase FIR HBF 하향표본화기의 주파수 응답(M=3, Ntap = 11)
Fig. 2. Frequency Response of Cascaded Zero-Phase FIR HBF Down Sampler (M=3, Ntap = 11)

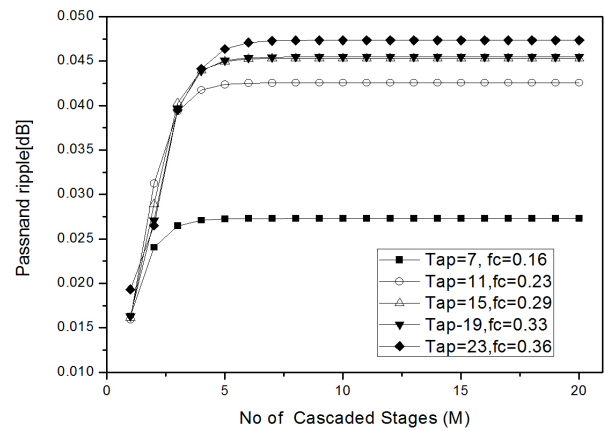


그림 3. M 값에 따른 통과대역 리플의 변화 (fc 는 통과대역 최대주파수)
Fig. 3. Passband ripple with respect to M (fc is the maximum passband frequency)

2.2. M단 HBF 하향 표본화기의 연산량과 출력 데이터율

식 (1)과 같은 특성을 가진 $4N+3$ 계수의 HBF를 사용한 하향 표본화기를 2채널의 다상필터 뱅크 방식으로 구현할 때 한 채널은 $2N$ 개의 대칭 계수 FIR 필터로 구성되고 다른 한 채널은 0.5값을 가지는 하나의 계수와 나머지 계수의 값이 0인 FIR 필터로 구성되며, 전자의 경우 대칭 필터이므로 N 회의 곱셈 및 누산 연산(Multiplication - Accumulation:MAC)이 필요하고, 후자의 경우 곱셈 연산 없이 신호의 지연만으로 구현될 수 있다. 이 때 입력 신호의 주기를 T [Sec]라 하고 대칭계수 FIR 채널의 연산시간이 $\tau (\leq T)$ 이하라 가정하면 HBF의 출력 주기는 $2T$ 이고 단위 시간당 MAC비율은 $\tau/2T$ 이다. 이러한 HBF M 개를 직렬로 연결했을 때 k 번째($1 \leq k \leq M$) HBF의 입력 주기는 $1/2^{k-1}T$ 이며 단위시간당 MAC비율은

$MAC(k)$ 라 하면 $MAC(k) = \tau/2^k T$ 로 표현되며 M 개의 HBF 전체의 단위시간당 연산비율은

$$MAC = \sum_{k=1}^M 2^{-k} \frac{\tau}{T} = \frac{(1-2^{-M})\tau}{T} \quad (5)$$

로 계산된다. 식(5)에서 $\tau \leq T$ 이면 M 단 HBF의 단위시간당 MAC 비율은 항상 1보다 적음을 알 수 있으며 이는 하나의 HBF 구조에서 M 단 HBF의 연산을 모두 수행할 수 있음을 시사한다. 그림 4는 3단 HBF에서의 MAC 시간 분포를 나타낸 것이다($\tau = T$ 로 가정). MAC 연산이 수행되는 구간은 입력 8 샘플당 7회 이므로 단위 시간당 MAC 비율은 식(5)와 일치함을 보여준다.

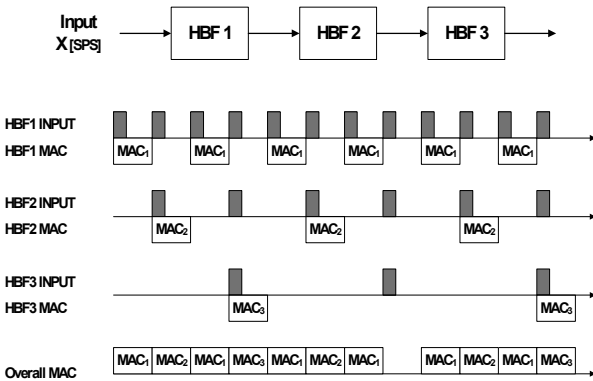


그림 4. 3 단 HBF 하향 표본화기의 곱셈 및 누산 연산 시간 분포
Fig. 4. Multiplication and Accumulation (MAC) Time Distribution of 3-Stage HBF Decimator

III. 재귀 연산 구조 HBF 하드웨어 구현

3.1. 구현 구조 및 알고리즘

기본적인 다상필터 구조의 HBF 구현은 입력 데이터와 필터 계수를 저장하기 위한 DPRAM과 계수 저장 ROM, 데이터 지연을 위한 시프트 레지스터 그리고 MAC과 덧셈기로 구현 가능하며, MAC에서는 $2N$ 개의 대칭 계수 FIR필터의 경우 N 개의 곱셈기가 요구되나 필터 동작 클럭과 입력 샘플 속도의 비율(Clock Per Sample rate:CPS)이 N 보다 큰 경우 하나의 곱셈기를 사용하여 MAC 구현이 가능하다. 본 논문에서는 CPS가 앞의 조건을 만족하는 상황을 가정하여 재귀 연산 구조의 HBF를 구현하였으며, 그림 5는 본 논문에서 제안하는 재귀 연산 구조 HBF 구현 구조의 블록도이다.

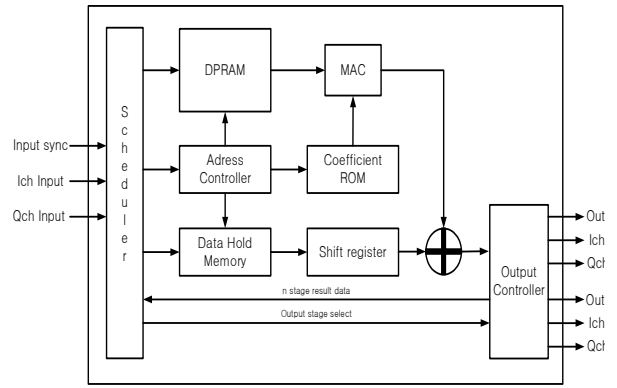


그림 5. 재귀적 하프밴드 필터 구현 블록도
Fig. 5. Recursive Half-Band Filter Block Diagram

재귀 연산 구조 HBF의 구현은 다상 필터 구조의 HBF를 기반으로 다단의 HBF 동작을 수행하기 위해 각 단의 지연 데이터를 저장하기 위한 메모리를 추가했으며, 사용된 메모리들의 주소제어기와 연산 결과의 캐환과 출력 동작을 제어하는 출력제어기가 사용되었다. 또한 출력제어기는 다양한 비트율을 제공해야 하는 SDR 기반의 디지털 수신기의 특성에 적합하도록 구현된 재귀 연산 구조 HBF의 각 단의 결과 중 임의로 두 개단의 결과를 출력할 수 있도록 구현하였다. 재귀 연산 구조 HBF에서 각 단의 연산 순서 분배와 입력 및 캐환 데이터의 분배를 제어하기 위해 스케줄러가 사용되었으며 그림 6은 스케줄러에 사용된 알고리즘을 나타내는 순서도로써 스케줄링을 통한 연산 분배를 구현하기 위한 알고리즘은 재귀적 하프밴드 필터의 입력을 카운팅하여 연산분배의 스케줄을 제어하는 방식을 사용하였으며 이때 K 개의 단을 가지는 스케줄링이 적용된 재귀적 HBF의 연산분배를 제어하기 위해서는 $K+1$ 비트의 카운터가 필요하다. 연산 순서 제어에 사용되는 $K+1$ 비트 카운터의 이름은 Schedule_time으로 설정하였고, 입력신호의 존재를 알리는 i_sync 신호가 입력과 함께 필터에 입력되게 되면 Schedule_time의 값은 1 증가하게 된다. 그 후 Schedule_time의 값을 판단하여 그 값이 0인 경우 연산이 이루어지지 않는 상태로 판단하게 되며 이 상태를 null이라고 판단하고 입력된 데이터를 저장하기만 한다. 그리고 카운터 Schedule_time의 값이 0이 아닌 경우 Schedule_time의 LSB에서 MSB로 1비트씩 증가시키며 처음으로 1의 값을 가지는 비트를 검색하게 된다. 첫 번째로 검색되는 1의 값을 가지는 비트가 해당 동작을 수행해야 하는 재귀 연산 구조 HBF의 단이 되는 것이다. 즉 Schedule_time(0)가 1의 값을 가지는 경우 첫 번째 단에 해당하는 동작을 수행하기 위

한 필터 내부의 메모리 주소로 이동하게 되는 것이다. 하프밴드 필터에서 입력에 대한 두 가지 동작인 입력을 지연시키는 동작과 메모리에 저장하여 필터계수와 연산을 시작하는 동작에 대한 판단 또한 `Schedule_time`의 값을 통해서 판단하게 된다. 연산의 순서를 찾기 위해 `Shchedule_time`의 값을 LSB에서 1비트씩 증가시키며 l 번째 비트에서 처음 1의 값을 찾았다면 $l+1$ 번째 비트의 값을 통해서 해당하는 재귀적 하프밴드 필터의 단의 동작을 판단하게 된다. $l+1$ 번째 비트의 값이 0인 경우 재귀 연산 구조 HBF는 이전 단의 출력을 시프트 레지스터에 입력하기 위해 임시로 그 값을 저장하게 되며, 1의 값을 가지는 경우 이전 단의 출력을 다시 입력 받아 필터 계수와 연산 동작을 시작하게 된다. 표 1은 3개 단으로 설정된 경우의 재귀 연산 구조 HBF의 `Schedule_time` 값에 따른 연산 순서 및 상황을 나타낸 표이다.

0100	세 번째 단 [입력 저장]	1100	세 번째 단 [연산 시작]
0101	첫 번째 단 [입력 저장]	1101	첫 번째 단 [입력 저장]
0110	두 번째 단 [연산 시작]	1110	두 번째 단 [연산 시작]
0111	첫 번째 단 [연산 시작]	1111	첫 번째 단 [연산 시작]

3.2. 모의실험 및 FPGA 구현

본 논문에서 제안된 재귀 연산 구조의 HBF를 HDL을 통하여 구현하였으며, 모의 실험에서 구현된 재귀연산 구조 HBF의 검증은 위해서 6단으로 필터의 단을 설정하고 1KHz의 QPSK신호를 128 KHz로 상향 표본화 하여 필터의 입력으로 사용하였다. 그림 7은 구현된 6단 재귀 연산 구조 HBF 모델심 시뮬레이션 결과로 각 단의 연산 순서 제어에 사용되는 `Schedule_time`과 각 단의 출력 동기 신호인 `Schedule` 신호를 나타내는 그림이다. 그림 7에서와 같이 연산 순서 제어에 사용되는 카운터인 `Schedule_time`은 입력 동기 신호마다 1씩 증가하게 되며 `Schedule_time`의 각 비트에 의해 그림 5와 같은 연산 순서 제어 알고리즘을 수행하게 된다. 재귀 연산 구조 HBF의 첫 번째 단 출력은 `Schedule_time(0)` 비트 값이 1인 경우에 출력되게 되며 n 번째 단의 출력은 `Schedule_time(n-1)` 비트의 값이 1이고 하위 비트들이 0인 경우 출력된다.

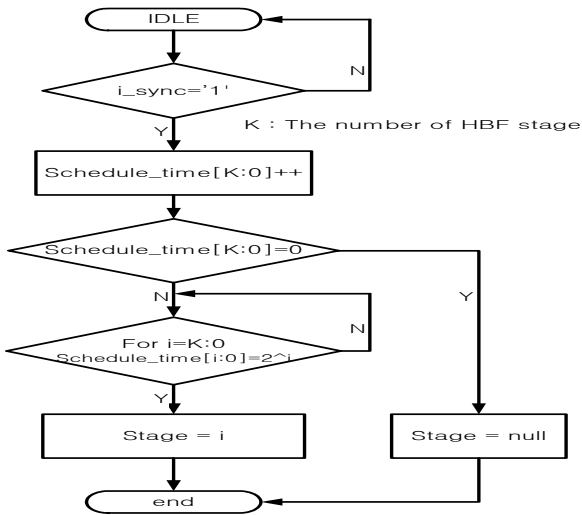


그림 6 . 연산 분배가 적용된 하프밴드 필터의 연산 순서 제어 순서도
Fig. 6. Flow Chart of Scheduling applied Recursive Half Band Filter operation control

표 1. `Schedule_time` 값에 따른 연산 순서 및 상황
Table 1. Operation state according to `schedule_time` value

Schedule_time[3:0]	연산 순서 및 상황	Schedule_time[3:0]	연산 순서 및 상황
0000	null [입력 저장]	1000	null [입력 저장]
0001	첫 번째 단 [입력 저장]	1001	첫 번째 단 [입력 저장]
0010	두 번째 단 [입력 저장]	1010	두 번째 단 [입력 저장]
0011	첫 번째 단 [연산 시작]	1011	첫 번째 단 [연산 시작]

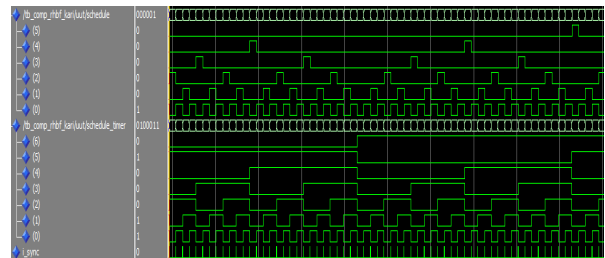


그림 7. 재귀 연산 구조 HBF의 연산 스케줄링
Fig. 7. Scheduling of Recursive Arithmetic Half-Band Filter

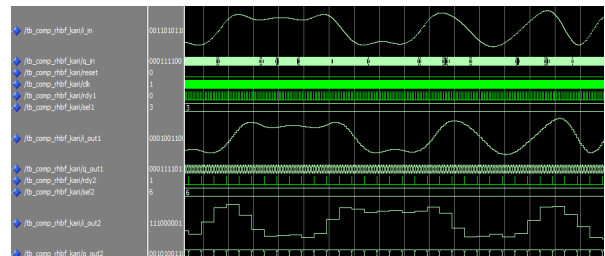


그림 8. 재귀 연산 구조 HBF의 I채널 출력
Fig. 8. I channel output of Recursive Arithmetic Half-Band Filter

그림 8은 구현된 재귀 연산 구조 HBF의 I채널 입력과 임의로 설정된 두 개 단의 출력을 나타내는 그림으로써 입력에서 8 하향 표본화 된 재귀 연산 구조 HBF의 3단 출력과 64 하향 표본화된 6단의 출력 결과를 나타낸 그림으로 HDL을 통해 구현된 재귀 연산 구조의 HBF의 하향 표본화 동작이 정상적으로 수행되는 것을 검증하였다. 또한 본 논문에서 제안된 필터를 사용하여 다수의 HBF를 대체하는 경우의 FPGA 내부 자원 감소를 검증하기 위해 I/Q 채널에서 각각 6개의 다상 필터 구조로 구현된 HBF와 재귀 연산 구조 HBF를 합성결과를 비교하였으며, Xilinx ISE 13.2를 사용하여 FPGA 타겟을 XC5VSX50T로 설정하고 합성을 진행 하였다. 표 2는 합성 결과 중 일부를 나타낸 표이다.

표 2. 합성결과 비교
Table 2. Implementation result

Slice Logic Utilization	FPGA	재귀 연산 구조 HBF	6 하프밴드 필터 체인
Number of Slice logic	32,640	564 (1%)	2,269 (6%)
Number of Slice LUTs	32,640	572 (1%)	2,245 (6%)
Number used as logic	32,640	402 (1%)	1,392 (4%)
Number used as Memory	12,480	168 (1%)	841 (6%)
Number of occupied Slices	8,160	331 (4%)	883 (10%)
Number of DSP48Es	288	2 (1%)	12 (4%)

표 2의 합성 결과를 통하여 연속적으로 사용되는 다수의 하프밴드 필터를 하나의 재귀 연산 구조의 HBF로 대체하게 되면 FPGA 내부의 자원 소모가 감소된다는 것을 확인 하였으며, 특히 곱셈 연산에 소모되는 DSP48E의 경우에는 M개의 연속적으로 사용되는 HBF를 재귀 연산 구조 HBF로 대체하는 경우 제안된 구조의 필터에서는 I/Q 채널 각각 1개의 곱셈기가 사용되므로 그 소모량이 1/M으로 감소된다는 것을 확인하였다.

IV. 결 론

본 논문에서는 SDR 기반의 디지털 수신기 내부에서 다양한 데이터 비트율을 제공하기 위해 반복적으로 사용되는 HBF를 대체 가능한 재귀 연산 방식을 적용한 HBF 구조를 제안하고 그 특성을 분석 하였다. 또한 재귀 연산 구조 HBF 구현을 위한 알

고리즘을 제안하고 모의실험과 FPGA 합성 결과를 통하여 다수의 HBF를 하나의 재귀 연산 구조 HBF로 대체 가능함과 실제 적용시 FPGA 내부의 자원 소모가 감소됨을 보였으며, 이를 통해 다양한 데이터 비트율을 제공하며 한정된 자원을 효율적으로 사용하여 구현해야하는 SDR 기반의 디지털 위성 트랜스 폰더의 수신기에 적합함을 보였다.

References

- [1] P. P. Vaidyanathan and T. Q. Nguyen, "A trick for the design of FIR half-band filters," *IEEE Trans. Circuits Syst.*, vol. 34, no. 3, pp. 297 - 300, Mar. 1987.
- [2] P. P. Vaidyanathan, *Multirate Systems and Filter Banks*, Prentice Hall, 1993.
- [3] R. E. Crochiere and L. R. Rabiner, *Multirate Digital Signal Processing*, Prentice Hall, 1983.
- [4] J.B erner et al., "The NASA Spacecraft Transponding Modem", *Aero space Conference Proceedings, 2000 IEEE*, Vol.7 ,pp. 195~209, March, 2000
- [5] L. Simone et al. "A novel digital platform for deep space transponders: the receiver side." *Proc. of IEEE 2004 Aerospace Conference*, vol. 03, pp. 1432-1445, Feb, 2004.
- [6] K.-N. Seo, S.-W. Choi, and C.-H. Kim, "A SNR estimation algorithm for digital satellite transponder," *J. Korea Infom. Commun. Soc. (KICS)*, vol. 35, no. 9, pp. 729-734, Jan, 2010.

백 대 성 (Dae-sung Baek)



2010년 2월 한국산업기술대학교 전자공학과 학사
 2012년 2월 숭실대학교 전자공학과 석사
 2012년 3월~현재 숭실대학교 전자공학과 박사과정
 <관심분야> 무선통신 시스템, 고속 신호처리 회로 설계

임 원 규 (Won-gyu Lim)



2002년 2월 경북대학교 전자공학과 학사

2004년 8월 한국과학기술원 전기 및 전자공학과 석사

2008년 8월 한국과학기술원 전기 및 전자공학과 박사

2008년 9월~2009년 9월 한국과학기술원 정보 연구소 근무

2009년 10월~현재 한국항공우주연구원 위성전자팀 재직

<관심분야> 인공위성 원격측정명령계, RF 통신시스템, RFID 리더 통신 시스템, 전자파 진단 장치 시스템, EMI/EMC, 이동 통신 안테나

김 종 훈 (Chong-hoon Kim)



1984년 서울대학교 전자공학과 학사

1986년 서울대학교 전자공학과 학사

1993년 미국 Northwestern 대학교 EECS박사

1996년~현재 숭실대학교 정보통신전자공학부 교수

<관심분야> 무선통신 시스템, 고속 신호처리 회로 설계