

DVB-T2 기반의 UHD TV 방송을 위한 초고차 성상 변조방식의 비트 인터리버 설계

강인웅*, 김영민*, 서재현*, 김흥목*, 김형남^o

Bit Interleaver Design of Ultra High-Order Modulations in DVB-T2 for UHD TV Broadcasting

In-Woong Kang*, Youngmin Kim*, Jae Hyun Seo*, Heung Mook Kim*, Hyoung-Nam Kim^o

요 약

UHD TV(ultra-high definition television)가 초고해상도 방송 서비스를 지향하는 차세대 방송 서비스로 논의되고 있다. 그러나 상용 방송 시스템으로 UHD TV의 요구 전송량을 온전히 충족시킬 수 없으므로, 초 고차 성상을 이용한 전송량 증대관련 연구가 진행되고 있다. 특히, 기존의 시스템 중에서 UHD TV 전송에 가장 적합한 DVB-T2(Digital video broadcasting-2nd generation terrestrial) 시스템에 초 고차 변조를 적용할 경우 오류 정정 부호의 부호어와 성상의 Unequal error protection을 적절히 이어주는 비트 매핑이 필요하다. DVB-T2 시스템의 비트 매핑은 비트 인터리버와 비트-셀 역다중화기로 나누어져 있으며, 두 가지 블록에 대한 많은 연구가 진행되었다. 그러나 비트 인터리버 설계와 관련된 연구가 부족하여 UHD TV 시스템에 적용될 초 고차 성상의 비트 인터리버 설계 방법론에 대한 정립이 필요하다. 이에 따라 본 논문은 DVB-T2의 비트 인터리버의 설계 방법을 제안하고, 1024-QAM과 4096-QAM의 비트 인터리버를 제안된 설계 방법을 통하여 설계하였다.

Key Words : Bit interleaver, Bit mapper, High-order constellation, DVB-T2, UHD TV

ABSTRACT

The ultra-high definition television (UHD TV) has been considered as a next generation broadcasting service. However the conventional digital terrestrial transmission system cannot afford the required transmission data rate of UHD TV, and thus adopting ultra-high order constellation, such as 4096-QAM, into the conventional DTT systems has been studied. In particular, when the ultra-high order constellation is adopted into the digital video broadcasting-2nd generation terrestrial (DVB-T2) unequal-error protection (UEP) properties of a codeword of an error correction coding and ultra-high order constellations should be properly matched by bit mapper in order to enhance the decoding performance. Because long codeword results in a heavy computational complexity to design the bit mapper, the DVB-T2 divided it into cascaded blocks, the bit interleaver and the bit-to-cell DEMUX, and there have been many researches related to each block. However, there are few published study related to design methodology of bit interleaver. In this respect, this paper proposes a design methodology of the bit interleaver

* 본 연구는 미래창조과학부가 지원한 2013년 정보통신·방송(ICT) 연구개발사업 및 BK21플러스, IT기반 융합산업 창의인력양성사업단에 의하여 지원되었음.

• First Author : Department of Electrical and Computer Engineering, Pusan National University, helaman88@pusan.ac.kr, 학생회원

o Corresponding Author : Department of Electronics Engineering, Pusan National University, hnkim@pusan.ac.kr, 종신회원

* 한국전자통신연구원 지상파방송연구실, tomatos@etri.re.kr, 정희원, jhseo@etri.re.kr, 정희원, hmkim@etri.re.kr

논문번호 : KICS2014-01-021, Received January 28, 2014; Revised March 31, 2014; Accepted April 8, 2014

and presents bit interleavers of 1024-QAM and 4096-QAM according to the proposed design algorithm. The newly designed interleavers improved the decoding performance of the error correction coding by maximally 0.6 dB SNR over both of AWGN and random fading channel.

1. 서 론

UHDTV (Ultra-high Definition Television) 표준은 HDTV (High Definition Television)에 비해 최대 16배 큰 해상도의 화면을 지원하며, 추가적으로 화면 주사율 및 화소 당 비트수 또한 개선되어 화면을 통하여 시청자가 느끼는 실감도를 대폭 향상시킨 차세대 방송 서비스 표준이다^[1-3]. 이와 같은 고 품질의 차세대 서비스가 요구하는 전송시스템의 전송률을 지상파에서 확보하기 위하여 기존의 지상파 방송 시스템에 1024-QAM, 4096-QAM과 같은 초 고차 성상 변조 기술을 적용하는 연구가 진행되고 있다^[4-6]. 참고문헌 [1]과 [7]에서는 UHDTV의 요구 전송량을 만족할 수 있는 방안으로서 기존 지상파 방송 표준 중에서 가장 우수한 주파수 효율을 보이는 DVB-T2(Digital video broadcasting-2nd generation terrestrial) 전송 시스템이 최적의 방법 중의 하나가 될 수 있다고 제시하였다^[1,7].

DVB-T2 시스템이 UHDTV 방송에 적합한 이유는 전송량 증대에 직접적으로 기여하는 고차 성상 변조와 강력한 오류정정 성능을 보이는 LDPC 부호를 사용하여 다른 지상파 전송 시스템에 비교하여 우수한 주파수 효율(spectral efficiency)을 나타내기 때문이다. DVB-T2 시스템의 LDPC 부호와 성상 변조는 BILCM(Bit-interleaved LDPC coded modulation)의 구조로 설계 되어 수신 신호의 복호 성능을 향상시킨다. 이와 같은 구조의 비트 인터리버는 일반적으로 채널 부호어를 복호하는 과정에서 다이버시티 이득을 취하는 데에 일차적인 목표가 있으며 간단한 블록 인터리버 또는 대각 인터리버로 구현될 수 있다. 일반적인 인터리버의 다이버시티 이득에 더하여, DVB-T2의 LDPC 부호어 내의 비트들이 각각 서로 다른 오류 정정 능력을 갖는 비정규 LDPC 부호(Irregular LDPC codes)이고 이와 같은 LDPC 부호어에 고차 성상 변조를 적용 하는 경우, 인터리버가 LDPC 부호어의 서로 다른 오류 정정 능력과 고차 성상 내의 서로 다른 비트 용량(bitwise capacity)을 적절히 매핑하는 역할을 수행할 때 복호기의 성능이 향상된다. 이와 같이 복잡한 역할을 수행하는 인터리버를 DVB-T2의 긴 부호어에 대하여 설계하는 것은 대단히 큰 설계 복잡

도를 요구하여, DVB-T2의 인터리버는 ‘비트 인터리버’와 ‘비트-셀 역다중화기’로 나뉘어져 설계되었으며 이 둘을 합쳐서 ‘비트 매퍼’라고 부른다. 비트 인터리버는 일차적으로 부호어의 시간 다이버시티를 확보할 수 있도록 기본적으로 블록 인터리버의 구조를 가지며, 뒷단의 비트-셀 인터리버는 비트 인터리버 출력을 고차성상의 서로 다른 비트용량에 적절히 연결하여 추가적인 다이버시티 이득을 얻는 역할을 수행하여 전체 비트 매퍼로 동작한다.

비트 매퍼와 관련된 기존의 심층적인 연구는 비트 매퍼를 통해 오류 정정 부호의 성능이 상당히 개선될 수 있음을 밝히고 있으며 비트 매퍼를 설계하는 방법 또한 알려져 있다^[8-11]. 참고문헌 [10]과 [12]는 고차 성상 변조가 사용된 시스템의 비트 매퍼를 LDPC 복호 성능의 분석 기법인 Density evolution 분석 또는 EXIT(Extrinsic information transfer) 차트 분석을 근거로 설계하여 복호 성능을 최적화하였다. 특히 참고문헌 [13]은 미리 주어진 DVB-T2의 비트 인터리버에 대하여 비트-셀 역다중화기를 EXIT 차트 분석에 근거하여 개선하였다. 참고문헌 [14]와 [15]는 하나의 고차 심볼 내의 다수의 비트들이 같은 패리티 검사 방정식(Parity check equation)에 연결된 경우 LDPC 복호 성능이 저하됨을 확인하고, 일반적인 BICM(Bit-interleaved coded modulation) 구조에서 다중 에지 심볼을 생성하지 않도록 부호어를 추가로 섞는 비트 인터리버 설계 방법을 제안하였다. 한 심볼 내 다수의 비트들이 같은 패리티 검사 방정식에 연결된 경우 이 심볼을 다중 에지 심볼(Multi-edge symbol)이라고 하며 참고문헌 [16]은 DVB-T2 시스템의 비트 인터리버가 어떻게 다중 에지를 제거하는지에 대하여 분석하고 비트 인터리버의 다중 에지 제거에 의한 복호 성능 개선을 평가하였다. 그러나 [14]와 [15]의 비트 인터리버 설계 방식은 단지 일반적인 BICM 구조의 비트 인터리버 설계와 관련된 내용이며, 현재까지 DVB-T2의 비트 인터리버 설계 관련 연구는 다중 에지 제거에 대한 고찰에서 멈추어 있고 DVB-T2의 비트 인터리버 앞의 LDPC 부호와 뒤의 비트-셀 역다중화기에 중속적인 설계 방법론을 일련의 알고리즘으로 구체화하지 않았다. 또한, UHDTV 서비스를 위한 전송률 증대와 관련된 핵심 기술인 초 고차 성상(1024-QAM,

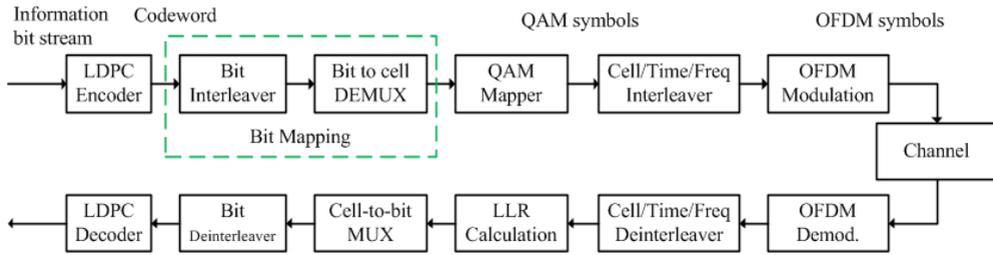


그림 1. DVB-T2 시스템 블록도
Fig. 1. Block diagram of DVB-T2 system

4096-QAM의 비트 인터리버 설계와 관련된 연구도 아직은 많이 부족한 편이다. 이에 따라, 본 논문은 기본적인 시간 다이버시티 이득을 얻는 역할 및 다중 에지 제거를 수행하는 DVB-T2의 비트 인터리버 설계 알고리즘을 제안하고 알고리즘을 통해 설계한 초고차 성상의 비트 인터리버 성능을 BER(Bit-error rate) 관점에서 확인한다.

본 논문에서 제안하는 비트 인터리버 설계 알고리즘은 각 변조 성상에 대하여 DVB-T2에서 지원하는 모든 LDPC에 적용이 되는 비트 인터리버를 설계할 수 있다. 알고리즘을 통해 얻은 1024-QAM과 4096-QAM의 비트 인터리버의 SNR (Signal-to-Noise ratio) 대비 BER 성능을 AWGN과 TU-6(Typical urban-6) 채널에서 확인한다. 다중 에지 제거를 통한 성능 향상을 검토하기 위하여 널리 사용되는 랜덤 인터리버(random interleaver)가 사용된 경우와 새롭게 설계된 인터리버가 사용된 경우의 BER 성능을 비교하여 본 논문에서 제안하는 인터리버 설계 방법의 적합성을 확인하였다.

본 논문의 구성은 다음과 같다. DVB-T2 시스템의 BICM(Bit-interleaved coded modulation) 모듈을 II장에서 설명한 뒤, 이어지는 III장에서 제안하는 비트 인터리버 설계 알고리즘을 설명한다. IV장에서 제안한 설계 방법으로 설계한 인터리버의 성능을 BER 관점에서 제시한 후, V장에서 결론을 맺는다.

II. DVB-T2 시스템의 Bit-Interleaved Coded Modulation

DVB-T2 시스템은 LDPC-coded OFDM 변조를 기초로 하는 지상파 방송 시스템이며 블록 다이어그램은 그림 1에 도시되어 있다¹⁷⁾. 방송 정보를 담고 있는 정보 비트열(Information bit stream)은 LDPC 오류 정정 부호에서 부호화되어 부호어(Codeword)가 되며

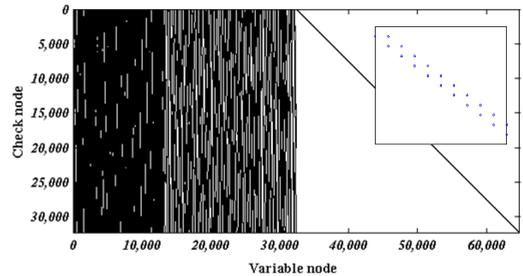


그림 2. LDPC 부호의 패리티 검사 행렬
Fig. 2. Parity check matrix of 1/2 LDPC code

부호어 내 비트들은 각각 다른 수준의 오류 정정 능력을 정의된 패리티 검사 행렬(Parity check matrix)에 의해 부여받는다. DVB-T2 표준에는 1/2, 3/5, 2/3, 3/4, 4/5 및 5/6의 LDPC 부호율이 포함되어 있으며 그림 2에 한 가지 예시로 1/2 LDPC 부호의 패리티 검사 행렬 H 가 주어져 있다. 그림 2의 패리티 검사 행렬의 가로축(variable node)은 부호어를 나타내며, 세로축(check node)은 검사 방정식에 해당한다. 그림 속의 점은 1인 H 행렬의 원소를 나타내며 행렬 중 패리티에 해당하는 오른쪽 영역은 좌측 상단에서 우측 하단까지 두 줄의 성분이 1인 형태를 나타낸다.

LDPC 부호어는 전송량 증대를 위하여 2~8비트씩 QAM 심볼로 기저대역 변조된 후 OFDM의 부분송파에 변조되며 이 때 심볼 내 비트의 수를 변조 차수 M 으로 정의한다. 이와 같이 다수의 부호화된 비트를 하나의 심볼로 변조할 때 심볼 내 비트들이 하나의 패리티 검사 방정식에 연결되는 경우가 생긴다. 전송 채널 내에 심각한 페이딩이 존재하면, 이렇게 하나의 패리티 검사 방정식에 연결된 비트들이 함께 훼손되며 훼손된 비트들을 이용하여 복호를 수행하는 패리티 검사 방정식은 복호 결과를 내놓는 데 많은 반복 연산을 요구하거나 오류 정정에 실패한다^{16,18)}.

이와 같은 복호 성능 열화를 극복하기 위하여

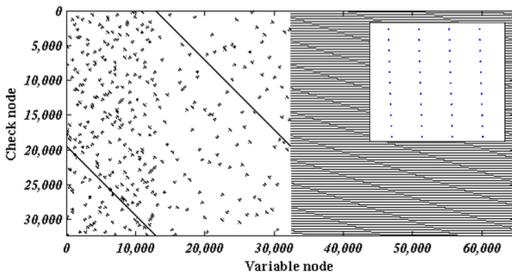


그림 3. 패리티 인터리빙 후 1/2 LDPC 부호의 패리티 검사 행렬
 Fig. 3. Parity check matrix of 1/2 LDPC code after parity interleaving

DVB-T2 시스템은 LDPC 오류 정정 부호와 고차 성상 변조 사이에 비트 인터리버와 비트-셀 역다중화를 삽입하였다. 비트 인터리버는 기본적인 군집 오류 분산 기능을 수행할 뿐만 아니라 한 성상 내 비트들이 하나의 패리티 검사 방식식으로 몰리지 않도록 비트열을 재배치하여 복호 성능향상에 기여한다^[12]. 이와 같은 비트열 재배치 과정을 다중 에지 제거 (multi-edge elimination) 과정이라고 하며^[16] 구체적으로 DVB-T2의 비트 인터리빙은 H 행렬 중 패리티 부분의 다중 에지 제거 과정을 수행하는 패리티 인터리빙 (parity interleaving)과 전체적인 다중 에지 제거 과정을 수행하는 열-트위스트 인터리빙 (column-twist interleaving)으로 나뉜다. 패리티 인터리빙은 정보 비트열 부분에 변화를 주지 않고 패리티 검사 행렬 \mathbf{H} 의 패리티 부분의 다중 에지를 제거하는데, 패리티 인터리빙 결과 패리티 부분이 달라진 행렬 \mathbf{H} 가 그림 3에 도시되어 있다. 그림 2와 달리 패리티 부분의 “1” 원소들이 준주기성 (quasi-cyclic)을 나타나게 됨으로써 패리티 검사 행렬이 이후 열-트위스트 인터리빙을 통해서 다중 에지 제거가 가능한 형태가 된다^[16]. 패리티 인터리빙은 기저 대역 변조와는 독립적으로 LDPC 부호가 생성하는 행렬 \mathbf{H} 의 패리티 부분을 처리하는 작업이다.

패리티 인터리빙을 통하여 패리티 부분의 다중 에지 제거에 필요한 선 처리를 마친 후 그림 4에서 설명하고 있는 것과 같이 열-트위스트 인터리빙을 통하여 FEC 프레임 길이의 인터리빙 길이로 프레임을 뒤섞는다. 구체적으로 먼저 N 개의 열과 $64800/N$ 개의 행을 갖는 임시 저장 공간을 열 방향으로 패리티 인터리빙된 부호어를 기록한 후 행 방향으로 기록된 비트열을 읽어내서 페이딩에 의한 군집 오류를 분산 시킨다. 뿐만 아니라 기록하는 과정에서 그림과 같이 트위스팅

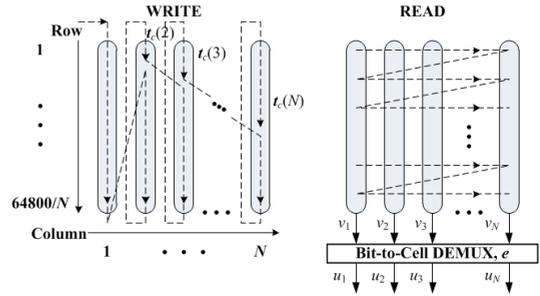


그림 4. DVB-T2 비트 인터리버와 비트-셀 역다중화 동작 개념도
 Fig. 4. Bit interleaving and Bit-to-cell de-multiplexing scheme of DVB-T2 system

계수 (twisting factor, t_c)만큼 순환 자리 옮김 (circular shift)하여 하나의 검사 방식식에 연결된 다수의 부호어 비트들이 하나의 고차 성상에 존재하지 않고 여러 심볼에 분산시킴으로써 다중 에지 제거를 수행한다. 이 때 임시 저장 공간의 열의 크기는 DVB-T2 표준에서 변조 차수에 따라 $N=2M$ 으로 정의한다. 열-트위스트 인터리빙된 부호어가 M 차 심볼에 변조를 마치면 이 때의 다중 에지 제거가 적절히 이루어 졌는가에 관한 평가는 아래의 수식과 같이 검사 행렬 \mathbf{H} 에서 나뉜 N 개의 부 행렬 \mathbf{H}_{sub} 을 행렬 합한 결과 \mathbf{S} 를 통하여 수행한다.

$$\mathbf{H}_{sub}(i) = \left[\mathbf{H}_{PI, L_{row} \times i - t_c(i) + 1 : L_{row} \times i} \quad \mathbf{H}_{PI, L_{row} \times (i-1) + 1 : L_{row} \times i - t_c(i)} \right] \quad (1)$$

$$\mathbf{S} = \sum_{i=1}^N \mathbf{H}_{sub}(i) \quad (2)$$

이 때 \mathbf{H}_{PI} 는 패리티 인터리빙을 거친 후의 패리티 검사 행렬을 나타내고 L_{row} 는 열-트위스트 인터리버 임시 저장 공간의 행 길이이며 $64800/N$ 으로 N 에 의해 결정된다. 행렬 \mathbf{H} 의 임의의 열 색인은 아래첨자를 이용하여 나타내며 (1)의 콜론(:)은 행렬 내의 열방향으로 일정 범위를 나타낸다. (1)에서 \mathbf{H}_{PI} 를 열방향으로 트위스팅 계수 $t_c(i)$ 만큼 순환 자리 옮김을 수행하여 부 행렬 \mathbf{H}_{sub} 을 생성한 후 (2)에서 모든 부 행렬을 합한 결과로 \mathbf{S} 행렬을 얻는다. 합 행렬 \mathbf{S} 의 세로축은 기존의 패리티 검사 행렬과 마찬가지로 패리티 검사 방식식을 나타내며 가로축은 기존의 \mathbf{H} 행렬과는 달리 기저대역 변조후의 심볼을 나타낸다. 따라서 \mathbf{S} 행렬의

(x,y) 원소의 값은 x 심볼 내의 몇 개의 비트가 y 패리티 검사 방정식에 연결되어 있는지를 나타내므로 다중 에지 제거가 적절히 이루어진 후의 합 행렬 S 의 어떤 심볼도 하나의 검사 방정식에 복수의 비트가 연결되어 있지 않게 되어 합 행렬 S 는 “1” 이하의 원소로만 이루어진다.

그림 4에서 비트-셀 역다중화기는 비트 인터리버 출력을 새로운 순서열 e 로 추가적으로 재배치하여 고차 성상과 LDPC 부호의 UEP (unequal-error protection) 특성을 최적으로 연결하는 기능을 수행한다^[13,10]. 구체적으로, 비트 인터리버를 통과한 후 N 개의 부 비트열 v_i 로 나누어진 부호어는 비트-셀 역다중화기에서 정의된 순서열 e 에 따라서 부 비트열의 순서가 바뀌어 u_i 로 출력된다. 부 비트열 v_i 와 u_i 의 관계는 아래의 수식과 같다.

$$u_i = v_{e(i)} \quad (3)$$

이 때 e 가 비트-셀 역다중화기에서 정의하는 새로운 순서열이다. 표 1은 부호화율 5/6이고 부호어 길이가 64800비트인 DVB-T2의 LDPC 부호어가 256-QAM 성상에 매핑되는 경우, DVB-T2의 비트-셀 역다중화기에 의한 LDPC 복호기 성능의 변화를 설명하는 VND(variable node degree) 분포이다. VND란 부호어 내의 각 비트들이 연결된 패리티 검사 방정식의 수를 의미하며 많은 패리티 검사 방정식과 연결된 부호어의 비트가 강한 오류 정정 능력을 나타내므로 큰 VND의 비트는 작은 VND의 비트보다 더 강한 오류

정정 능력을 보이게 된다. 표 1의 왼쪽 열들과 오른쪽 열들은 각각 비트-셀 역다중화기가 동작하기 전과 후에 비트 인터리버 출력의 VND 분포를 256-QAM 성상 내의 1~8 변조 레벨에 따라서 정리한 것이다. 비트-셀 역다중화기가 동작하기 전에는 VND가 큰(13) 비트들이 성상 내의 MSB(most significant bit)쪽으로 몰려 있고 작은 VND(2)의 비트들은 LSB(least significant bit)에 몰려 있다. 반대로 비트-셀 역다중화기 출력의 VND 분포는 비트 인터리버 출력의 VND 분포와 달리 MSB에 낮은 VND의 비트들이 몰려 있고 LSB에 큰 VND의 비트들이 다수 옮겨 온다. 이와 같이 고차 성상 내의 변조 레벨에 따라서 성상 내 비트들의 비트 신뢰성을 보이기 때문에 부호어 안에서 다른 오류 정정 능력을 보이는 비트들을 비트-셀 역다중화기를 통해서 적절히 성상 내 변조 레벨에 매핑하는 것이 중요하다^[13]. 예를 들어, 낮은 신호 대 잡음비 (SNR) 환경에는 비트 신뢰성이 큰 변조 레벨의 비트들이 평균 비트 오류율 관점에서 더욱 중요하기 때문에 큰 오류 정정 능력을 갖는 비트들을 높은 변조 레벨에 매핑해야 하며, 반대로 지상파 방송 수신 환경과 같이 20dB 근처의 상대적으로 높은 SNR 환경에서는 큰 오류 정정 능력을 갖는 비트들을 낮은 변조 레벨에 매핑해야 한다^[7].

이어지는 III장에서는 1024-QAM과 4096-QAM과 같이 UHDTV 전송에 적합한 초 고차 성상 변조에 대하여 DVB-T2의 모든 LDPC 부호에서 다중 에지 제거를 수행하는 비트 인터리버 설계 방법을 제안한다.

III. 제안하는 비트 인터리버 설계

비트 인터리버의 패리티 인터리버는 LDPC 코드의 부호화율에 의해서만 결정되는 것이기 때문에 새로운 LDPC 부호가 추가되지 않는다면 추가적인 설계는 필요하지 않다. LDPC 부호의 패리티 검사 행렬 중 패리티 부분의 행렬이 대각성분과 이에 인접한 원소들이 “1”이고 나머지는 모두 “0”인 특성이 있기 때문에 이 부분을 열-트위스트 인터리빙을 수행하기 전에 먼저 처리하여 패리티 부분의 패리티 검사 행렬이 준 순환 구조를 갖도록 한다.

열-트위스트 인터리버는 부호화된 비트열을 QAM 성상 변조 차수에 따라 부 비트열로 나누어 저장 공간에 저장한 후 행 방향으로 읽어내어 군집 오류를 분산시킨다. 부 비트열을 저장 공간에 저장할 때 한 성상 내 다중 에지 문제가 발생하지 않도록 각 부 비트열에 오프셋(offset)을 주어 저장하는데 이를 트위스팅 계수

표 1. DVB-T2 비트-셀 역다중화기에 따른 variable node degree(VND) 분포 변화
Table. 1. Variable node degree(VND) distribution with DVB-T2 bit-to-cell DEMUX

VND	Befor Bit-to-cell DEMUX			After bit-to-cell DEMUX		
	2	3	13	2	3	13
b_{1+8i} (MSB)	0	4050	4050	4050	4050	0
b_{2+8i}	0	6750	1350	0	6750	1350
b_{3+8i}	0	8100	0	2700	5400	0
b_{4+8i}	0	8100	0	0	8100	0
b_{5+8i}	0	8100	0	0	8100	0
b_{6+8i}	2700	5400	0	0	8100	0
b_{7+8i}	4050	4050	0	0	4050	0
b_{8+8i} (LSB)	4050	4050	0	0	4050	4050

256-QAM, Code rate = 5/6, FEC Frame length:64,800, $i = 0,1,\dots,8099$
 $e=[16, 2, 14, 4, 9, 12, 10, 6, 11, 7, 5, 8, 13, 3, 15, 1]$

INPUT

Modulation order : M
 Code rate set : $\mathbf{r} = [r_1, r_2, \dots, r_L]$
 Length of \mathbf{r} : L

INITIALIZATION : Twisting factor

Twisting factor : t_c
 Length of t_c : $N = 2M$
 Twisting factor check flag : $t_{check} = 0$

DESIGN ALGORITHM

- 1) $l = 1$
(Parity check matrix generation, Parity interleaving)
- 2) l th code rate : r_l
 Parity check matrix of r_l : \mathbf{H}
 Parity interleaved \mathbf{H} : \mathbf{H}_{PI}
 Twisting factor index : $i = 1$
 Twisting factor update parameter : $i_t = N$
 Number of columns of sub matrix : $L_{row} = 64800/N$
 Summation matrix : $\mathbf{S} = \mathbf{0}$ (zero matrix)

(Multi-edge check)

- 3) Circular shift sub matrices :

$$\mathbf{H}_{sub}(i) = [\mathbf{H}_{PI, L_{row} \times i - t_c(i) + 1 : L_{row} \times i} \quad \mathbf{H}_{PI, L_{row} \times (i-1) + 1 : L_{row} \times i - t_c(i)}]$$

Summation matrix update :

$$\mathbf{S} = \mathbf{S} + \mathbf{H}_{sub}(i)$$

- 4) If $\text{MAX}(\mathbf{S}) > 1$, $t_{check} = 1$, $i_t = \text{MIN}(i_t, i)$
- 5) If $i < N$, $i = i + 1$, go to 3)

(Twisting factor update)

$$6) \quad t_c = t_c + \left[\begin{matrix} i-1 \\ 0, \dots, 0 \end{matrix}, \begin{matrix} N-i+1 \\ 1, \dots, 1 \end{matrix} \right]$$

- 7) If $l < L$, $l = l + 1$, go to 2)
- 8) If $t_{check} == 1$, go to 1)
- 9) **OUTPUT** : t_c

그림 5. 비트 인터리버 디자인 알고리즘의 구현
 Fig. 5. Implementation of the bit interleaver design algorithm

라고 한다. 따라서 초 고차 성상에 적합한 비트 인터리버 설계를 식 (2)의 합 행렬 \mathbf{S} 의 원소들 중 1보다 큰 원소가 없도록 하는 트위스팅 계수를 찾는 문제로 바꾸어 정의하고 본 장에서 이 트위스팅 계수를 찾는 알고리즘을 제안한다.

열-트위스트 인터리버의 트위스팅 계수를 설계하는 구체적인 알고리즘은 그림 5에서 설명하고 있다. 설계 알고리즘은 변조 차수 M , DVB-T2 표준에서 제공하는 L 개의 LDPC 부호화율을 원소로 갖는 집합 \mathbf{r} 을 입력받아서 트위스팅 계수를 초기화 한다. 초기화 단계에서 설계하고자 하는 트위스팅 계수열 t_c 가 길이 $N=2M$ 인 벡터로 초기화 된다. 한편 이후 최종적인 설계 종료를 판단하는 데 사용된 검사 플래그 t_{check} 가 0으로 초기화 되어, 최종 단계에서 이 플래그가 0으로

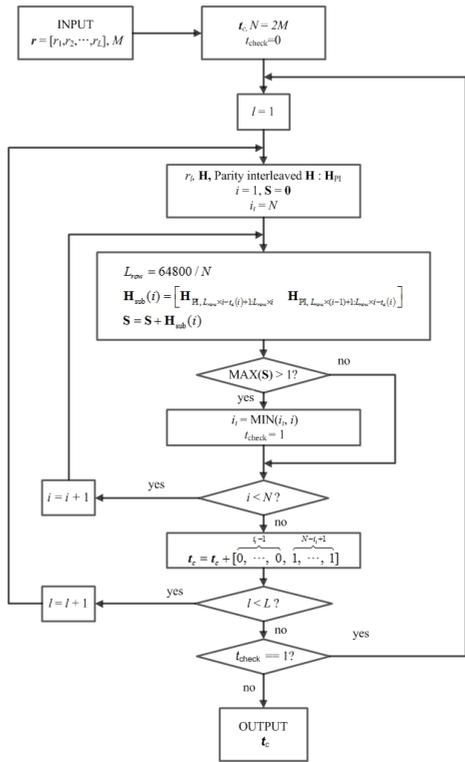


Fig. 6. Flowchart of the bit interleaver design algorithm
 그림 6. 비트 인터리버 디자인 알고리즘의 순서도

유지될 때 설계 과정이 종료되었음을 알리고 이 때의 트위스팅 계수가 최종 설계 결과로 결정된다.

설계 알고리즘은 크게 다중 에지 검사 단계와 트위스팅 계수 갱신 단계로 나뉜다. 1)에서 부호화율 번호 l 을 1로 초기화한 뒤 2)에서 l 번째 LDPC 부호화율의 패리티 검사 행렬 \mathbf{H} 를 생성하여 이 행렬에 대한 패리티 인터리빙을 수행한 결과를 패리티 \mathbf{H}_{PI} 에 저장한다. 이후 다중 에지 검사에 사용될 검사 행렬 \mathbf{S} 를 영행렬 $\mathbf{0}$ 으로 초기화하고 트위스팅 계수 색인 i 를 1로 초기화한다. 이 때 제로 행렬의 행과 열의 수는 LDPC 부호화율 r_l 과 트위스팅 계수의 길이 N 에 의해 $64800 \times (1-r_l)$ 과 $64800/N$ 로 각각 결정된다.

다중 에지 검사는 3)~5) 단계에 걸쳐 이루어진다. 패리티 인터리빙된 패리티 검사 행렬 \mathbf{H}_{PI} 를 N 개의 $(64800 \cdot (1-r_l)) \times (64800/N)$ 부행렬로 나누어 i 번째의 부행렬을 이에 해당하는 $t_c(i)$ 만큼 순환 자리 옮김하여 $\mathbf{H}_{sub}(i)$ 에 저장한다. 트위스팅 계수만큼 순환 자리 옮김 된 부행렬 $\mathbf{H}_{sub}(i)$ 는 검사 행렬 \mathbf{S} 에 누적된 뒤 4)에서 \mathbf{S} 행렬 내 1보다 큰 원소가 존재하는 경우 트위스팅 계수의 갱신 필요성을 가리키는 t_{check} 를 1로 수

정하고 트위스팅 계수 갱신의 기준점이 될 색인 i 또한 갱신한다. 다중 예지 검사를 마친 후 5)에서는 트위스팅 계수 색인 i 가 N 보다 작은 경우, 색인 i 를 1 증가시켜 다음 색인 i 에 대한 부행렬($H_{sub}(i)$)에 대해 다중 예지 검사를 수행하도록 3) 단계로 돌아간다.

1번째 LDPC 패리티 검사 행렬에 대해 다중 예지 검사 결과 얻은 트위스팅 계수 갱신 파라미터 i_c 를 기준으로 6) 단계에서 i_c 를 갱신한다. 7) 단계에서는 추가적으로 설계에 포함시켜야할 LDPC 부호의 유무를 판단한 후 남아있는 부호가 존재하면 LDPC 부호 색인 i 를 1 증가시킨 후 2)단계로 돌아가고 그렇지 않으면 8)단계에서 추가적인 i_c 의 갱신 필요성 유무를 t_{check} 값으로 검사하여 추가 적인 갱신이 필요한 경우 1)단계로 돌아가 현재까지 갱신한 i_c 에 추가적인 갱신을 수행하고 추가 갱신이 필요하지 않은 경우 지금까지 갱신한 i_c 를 최종 결과로 출력한다.

제안된 알고리즘은 그림 6의 순서도로 정리하였으며 설계한 1024-QAM과 4096-QAM의 트위스팅 계수가 표 2에 주어져 있다. 설계 알고리즘을 통해 얻은 트위스팅 계수는 다중 예지 제거를 DVB-T2의 모든 LDPC 코드율에서 수행하며, 이어지는 IV장에서 모의 실험을 통해 추출한 BER를 통해 설계한 비트 인터리버의 성능을 평가한다.

IV. 모의 실험 결과

모의실험에 사용된 파라미터 및 채널 정보가 표 3에 정리되어 있다. 6MHz 대역폭에 해당하는 단위 샘플 주기(elementary period)는 7/48 μ s이며 OFDM의 FFT 크기 및 보호 구간(guard interval)은 각각 32K와 1/128 표준을 적용하였다. 사용된 채널은 AWGN 채널과 TU-6(Typical urban-6) 채널이며 TU-6 채널은 6개의 탭(tap)으로 구성되어 있으며 각 탭의 지연(delay)은 표 3에 정리되어 있다. TU-6 채널은 기본적으로 Rayleigh 분포의 주파수 선택적 페이딩하는 랜덤 채널이며 표 3에 각 탭의 APG(Average power gain)가 주어져 있다. 표 3에 따라 적용된 FFT 크기로

표 2. 비트 인터리버 설계 결과
Table 2. Bit interleaver design result

Modulation	t_c
1024-QAM	[0 1 3 3 5 6 6 9 12 15 15 16 19 19 21 21 23 25 28 28]
4096-QAM	[0 5 7 9 12 12 20 23 28 34 38 43 45 48 50 53 57 60 64 68 71 73 76 78]

생성한 OFDM 심볼 길이는 데이터 부분이 약 4.8ms이며 보호구간의 길이는 약 37 μ s정도로 채널 모델로 사용한 TU6(Typical urban-6) 모델의 최대 지연인 5 μ s보다 매우 길어서 OFDM 복조에서 직교성 파괴에 의한 신호의 훼손이 발생하는 것을 막고 채널 등화를 통해 효과적으로 다중경로에 의한 신호 왜곡을 보상할 수 있다. 기저 대역 변조로서 1024-QAM과 4096-QAM을 적용하였으며 DVB-T2 표준의 데이터 신호에 적용되는 모든 LDPC 부호율을 적용하였다.

표 4는 비트-셀 역다중화기의 설계 결과를 정리한 표이다. DVB-T2 표준에는 1024-QAM과 4096-QAM의 역다중화기는 제공되어 있지 않으므로, 비트 인터리버의 성능을 확인하기 위하여 반드시 함께 제공되어야 하는 비트-셀 역다중화기는 기존의 역다중화기 설계와 관련된 연구 결과를 활용하여 설계하였다¹³⁾.

표 3. 시뮬레이션 파라미터 및 채널 모델
Table 3. Simulation parameters and channel model

Parameter	Specification						
Elementary period	7/48 μ s						
FFT size	32 K						
Guard interval	1/128						
Modulation	1024-QAM, and 4096-QAM						
Code rate	1/2, 3/5, 2/3, 3/4, 4/5, and 5/6						
Channel model	Typical urban-6 (TU6) channel model						
	Tap number	1	2	3	4	5	6
	Delay (μ s)	0.0	0.2	0.5	1.6	2.3	5.0
	APG (dB)	-3	0	-2	-6	-8	-10

APG: Average Power Gain

표 4. 1024-QAM과 4096-QAM의 비트-셀 역다중화기
Table 4. Bit-to-cell DEMUX of 1024-QAM and 4096-QAM

Modulation	Code rate (R)	i	$e(i)$											
			1	2	3	4	5	6	7	8	9	10		
1024-QAM	1/2 (1)	$e(i)$	2	6	4	5	8	1	3	10	7	9		
			4	5	6	10	8	3	2	9	7	1		
	2/3 (3)	$e(i)$	9	3	10	8	1	4	5	2	6	7		
			6	5	8	7	1	9	4	3	1	2		
	3/4 (4)	$e(i)$	3	1	4	6	8	5	10	7	9	2		
			8	6	9	10	2	5	4	1	3	7		
4/5 (5)	$e(i)$	3	1	4	6	8	5	10	7	9	2			
		8	6	9	10	2	5	4	1	3	7			
5/6 (6)	$e(i)$	8	6	9	10	2	5	4	1	3	7			
		8	6	9	10	2	5	4	1	3	7			
Modulation	Code rate (R)	i	$e(i)$											
			1	2	3	4	5	6	7	8	9	10	11	12
4096-QAM	1/2 (1)	$e(i)$	12	4	5	8	7	3	11	6	2	10	9	1
			9	11	12	6	8	7	5	2	4	3	10	1
	2/3 (3)	$e(i)$	9	7	10	11	1	2	6	4	3	5	8	12
			3	4	9	7	10	1	12	5	8	2	6	11
	3/4 (4)	$e(i)$	2	5	12	9	3	1	7	4	8	6	11	10
			6	8	5	9	7	2	12	1	10	3	11	4
4/5 (5)	$e(i)$	2	5	12	9	3	1	7	4	8	6	11	10	
		6	8	5	9	7	2	12	1	10	3	11	4	
5/6 (6)	$e(i)$	6	8	5	9	7	2	12	1	10	3	11	4	
		6	8	5	9	7	2	12	1	10	3	11	4	

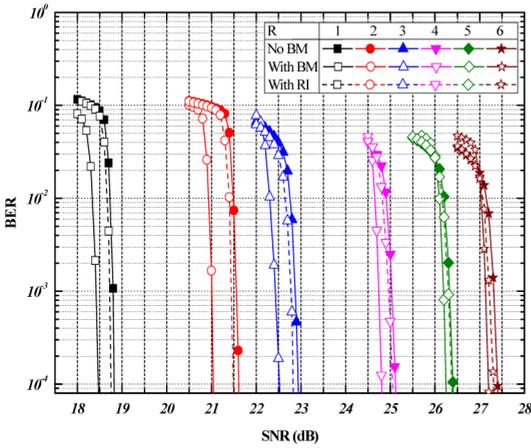


그림 7. AWGN 채널에서 새롭게 설계된 1024-QAM 비트 인터리버의 BER 성능
 Fig. 7. BER performance of the newly designed 1024-QAM bit interleaver over AWGN channel

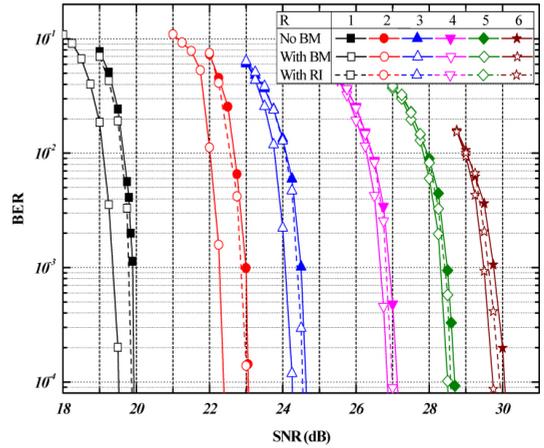


그림 9. TU6 채널에서 새롭게 설계된 1024-QAM 비트 인터리버의 BER 성능
 Fig. 9. BER performance of the newly designed 1024-QAM bit interleaver over TU6 channel

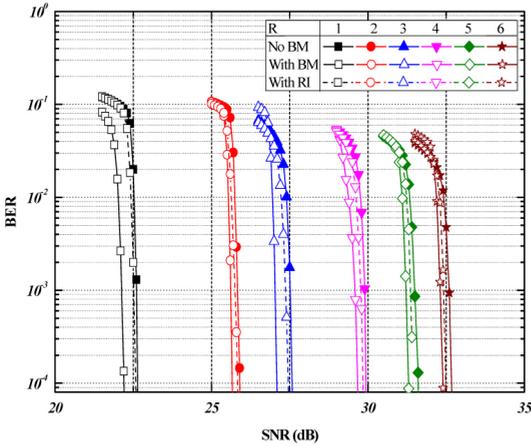


그림 8. AWGN 채널에서 새롭게 설계된 4096-QAM 비트 인터리버의 BER 성능
 Fig. 8. BER performance of the newly designed 4096-QAM bit interleaver over AWGN channel

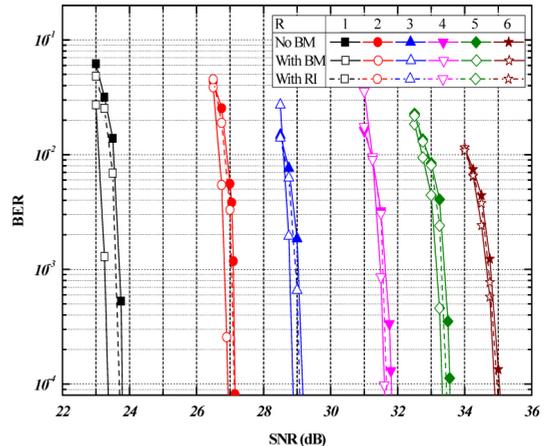


그림 10. TU6 채널에서 새롭게 설계된 4096-QAM 비트 인터리버의 BER 성능
 Fig. 10. BER performance of the newly designed 4096-QAM bit interleaver over TU6 channel

그림 7과 8은 AWGN 채널에서 DVB-T2 시스템의 비트 인터리버에 따른 BER 성능이다. 비트 인터리버와 비트-셀 역다중화기로 구성된 비트 매퍼가 적용된 BER 곡선은 속이 비어있는 기호를 사용하였으며, 비트 매퍼가 사용되지 않은 것은 속이 찬 기호를 사용하여 구분하였다. 기본적인 시간 다이버시티 이득만을 얻는 랜덤 인터리버를 사용한 경우의 BER 성능은 점선으로 표시하였다. 이와 관련하여 BER 성능 곡선 그림의 범례는 비트 매퍼를 BM으로 표기하고 랜덤 비트 인터리버는 RI로 표기하였다. AWGN 채널에서 BER 성능은 LDPC 부호율과 기저 대역 변조에 따라서 차이를 보이고 있으나 일반적으로 랜덤 인터리버

를 사용한 경우가 비트 매퍼를 사용하지 않은 경우에 비하여 0.2 dB SNR 정도의 이득을 보이며 새롭게 설계한 비트 인터리버를 사용한 경우에는 그렇지 않은 경우에 비하여 약 0.2 ~ 0.6 dB SNR 이득이 있는 것으로 확인되었다. TU6 채널이 사용된 그림 9와 10은 AWGN 환경에 비하여 1dB 정도 전체적으로 BER 성능이 열화된 것을 확인할 수 있으나, AWGN 상황과 마찬가지로 랜덤 인터리버를 사용하는 경우 인터리버를 사용하지 않는 경우 대비 0.2 dB SNR 정도의 다이버시티 이득이 있으며 비트 매퍼를 사용하는 경우가 일반적으로 약 0.2 ~ 0.6 dB 정도의 이득을 보임을 알 수 있다. 이와 같은 실험 결과 DVB-T2에서의

도하는 바와 같이 일반적인 랜덤 인터리버를 사용한 인터리버의 성능을 통해 얻을 수 있는 시간 다이버시티 이득에 추가적인 다중 에지 제거를 통한 복호 성능 개선이 이루어짐을 확인하였다.

V. 결 론

본 논문은 DVB-T2의 모든 LDPC 부호화율에서 다중 에지 제거를 수행하는 비트 인터리버의 설계 방법을 제안하였다. 순서대로 정리된 제안된 설계 방법으로 1024-QAM과 4096-QAM의 비트 인터리버를 설계하였고 이들의 성능을 BER 관점에서 제시하여, 제안한 설계 방법을 통해 얻은 비트 인터리버가 효과적으로 LDPC 오류 정정 부호의 성능을 향상시킴을 확인하였다. 이와 같은 연구 결과는 향후 UHDTV 서비스에 적합한 초 고차 성상이 지상파 전송 시스템 표준에 추가될 때, 시스템 설계에 중요하게 사용될 선행 연구로서의 역할을 할 것으로 기대된다. 한편, 오류 정정 부호의 복호 성능 향상을 위해 비트셀 역다중화기가 비트 인터리버와 함께 비트 매퍼로서 동작하므로, 초 고차 성상 비트셀 역다중화기의 최적 설계에 대한 연구가 향후 필요할 것으로 보인다.

References

[1] G. M. Park, Y. J. Lee, K. J. Lee, S. J. Ahn, D. S. Jun, J. S. Choi, and J. W. Kim, "Consideration factors for UHDTV technology and service development," in *Proc. Korea Soc. Broadcast Eng. (KSOBE)*, pp. 1-3, Seoul, Korea, Nov. 2011.

[2] S. K. Cho, D. S. Jun, and J. S. Choi, "Technology and standardization trends of Ultra-High-Definition TV," *J. TTA*, vol. 140, pp. 49-54, Apr. 2012.

[3] D. S. Jun, S. K. Cho, S. Y. Jeong, H. Y. Kim, and J. S. Choi, "Technology and standardization trends of Ultra-High-Definition TV," *J. ETRI*, vol. 26, no. 4, pp. 123-133, Aug. 2011.

[4] K. Murayama, M. Taguchi, T. Shitomi, H. Hamazumi, and K. Shibuya, "Transmission technology for next-generation digital terrestrial broadcasting - increasing transmission capacity toward Super Hi-Vision," *ATSC Symp. Next Generation Broadcast Technology*,

Oct. 2010.

[5] M. Taguchi, K. Murayama, T. Shitomi, S. Asakura, and K. Shibuya, "Field experiments on dual-polarized MIMO transmission with ultra-multilevel OFDM signals toward digital terrestrial broadcasting for the next generation," in *Proc. IEEE BMSB*, Jun. 2011.

[6] T. Shitomi, K. Murayama, M. Taguchi, S. Asakura, and K. Shibuya, "Technology for next-generation digital terrestrial broadcasting - Field experiments of dual-polarized MIMO-OFDM transmission using LDPC codes," in *Proc. IEEE BMSB*, pp. 1-6, Seoul, Korea, Jun. 2012.

[7] I. -W. Kang, Y. Kim, J. H. Seo, H. M. Kim, and H. -N. Kim, "Performance analysis of a bit mapper of the dual-polarized MIMO DVB-T2 system," *J. KICS*, vol. 38, no. 8, pp. 817-825, 2013.

[8] G. Caire, G. Taricco, and E. Biglieri, "Bit-Interleaved coded modulation," *IEEE Trans. Inf. Theory*, vol. 44, no. 3, pp. 927-946, May 1998.

[9] M. Lunglmayer and J. Berkmann, "Optimized mapping schemes for LDPC coded higher order modulated QAM transmission," in *Proc. EUROCAST*, pp. 952-959, Canary Islands, Spain, Feb. 2007.

[10] L. Gong, L. Gui, B. Liu, B. Rong, Y. Xu, Y. Wu, and W. Zhang, "Improve the performance of LDPC coded QAM by selective bit mapping in terrestrial broadcasting system," *IEEE Trans. Broadcast.*, vol. 57, no. 2, pp. 263-269, Jun. 2011.

[11] J. Jei and W. Gao, "Code-matched interleaver design over surrogate channels," in *Proc. IEEE WCNC*, pp. 1-6, Budapest, Hungary, May 2009.

[12] T. Cheng, K. Peng, J. Song, and K. Yan, "EXIT-aided bit mapping design for LDPC coded modulation with APSK constellations," *IEEE Commun. Lett.*, vol. 16, no. 6, pp. 777-780, Jun. 2012.

[13] K. Yan, T. Cheng, F. Yang, K. Peng, and J. Song, "Improved design of bit mapping based

on EXIT-chart analysis for DVB-T2 system,” *IEEE Trans. Consum. Electron.*, vol. 57, no. 4, pp. 1579-1585, Nov. 2011.

- [14] J. Lei, W. Gao, P. Spasojevic, and R. Yates, “Demultiplexer design for multi-edge type LDPC coded modulation,” in *Proc. ISIT*, pp. 933-937, Seoul, Korea, Jul. 2009.
- [15] K. Jiang, Y. Wang, and Y. Zeng, “Multi-edge elimination-based interleaver for LDPC-coded BICM systems,” in *Proc. WiCOM*, pp. 1-4, Wuhan, China, Sept. 2011.
- [16] T. Yokokawa, M. Kan, S. Okada, and L. Sakai, “Parity and column twist bit interleaver for DVB-T2 LDPC codes,” in *Proc. IEEE Int. Symp. Turbo Codes and Related Topics*, pp. 123-127, Lausanne, Switzerland, 2008.
- [17] ETSI, *Digital Video Broadcasting(DVB); Frame structure channel coding and modulation for a second generation digital terrestrial television broadcasting system (DVB-T2)*, ETSI EN 302 755 V1.2.1, Oct. 2010.
- [18] C. Di, D. Proietti, I. E. Telatar, T. J. Richardson, and R. L. Urbanke, “Finite-length analysis of low-density parity-check codes on the binary erasure channel,” *IEEE Trans. Inf. Theory*, vol. 48, no. 6, pp. 1570-1579, 2002.

강 인 응 (In-Woong Kang)



2011년 2월 : 부산대학교 전자전 기공학과 졸업
 2011년 3월~현재 : 부산대학교 전자전기컴퓨터공학과 석박사통합과정
 <관심분야> 디지털 방송신호 처리

김 영 민 (Youngmin Kim)



2009년 2월 : 전북대학교 전자정보공학부 공학사
 2011년 2월 : 전북대학교 전자공학과 공학석사
 2011년 7월~현재 : 한국전자통신연구원 지상파방송연구실 연구원
 <관심분야> 디지털 방송/통신 신호처리

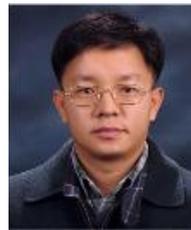
서 재 현 (Jae Hyun Seo)



1999년 2월 : 경북대학교 전자공학과 공학사
 2001년 2월 : 경북대학교 전자공학과 공학석사
 2001년 1월~현재 : 한국전자통신연구원 지상파방송연구실 선임연구원

<관심분야> 디지털 방송시스템, 디지털 통신 신호처리

김 흥 목 (Heung Mook Kim)



1993년 2월 : 포항공대 전자전 기공학과 공학사
 1995년 2월 : 포항공대 전자전 기공학과 공학석사
 2013년 2월 : KAIST 정보통신공학과 공학박사
 1993년~2001년 : POSCO 기술연구소 연구원

2002년~2003년 : (주)맥스웨이브 연구개발팀 팀장
 2004년 2월~현재 : 한국전자통신연구원 지상파방송연구실 실장
 <관심분야> RF 신호처리, 디지털 방송/통신 신호처리

김 형 남 (Hyoung-Nam Kim)



1993년 2월 : 포항공과대학교 전
자전기공학과 졸업

1995년 2월 : 포항공과대학교 전
자전기공학과 석사

2000년 2월 : 포항공과대학교 전
자전기공학과 박사

2000년 3월~2003년 2월 : 한국
전자통신연구원 선임연구원

2003년 3월~2007년 2월 : 부산대학교 전자전기통신공
학부 조교수

2007년 3월~2012년 2월 : 부산대학교 전자전기공학부
부교수

2012년 3월~현재 : 부산대학교 전자공학과 교수
<관심분야> 적응신호처리, 레이더 신호처리, 디지털
방송신호처리, BCI